



# TMS320F28335 DSP

## 原理及开发编程

刘陵顺 高艳丽 编著  
张树团 王 昉

# TMS320F28335 DSP 原理与开发编程

刘陵顺 高艳丽 张树团 王 昉 编著

北京航空航天大学出版社

## 内 容 简 介

本书介绍了 TI 公司最新推出的 TMS320F28335 DSP 芯片的基本结构、工作原理、应用配制以及示例程序等。全书共 13 章,第 1 章是对 TMS320F28335 的概述,第 2 章介绍系统控制与中断,第 3 章介绍外部接口,第 4 章介绍 ePWM 模块,第 5 章介绍增强捕捉 eCAP 模块,第 6 章介绍增强正交编码脉冲 eQEP 模块,第 7 章介绍模数(A/D)转换器,第 8 章介绍串行外设接口(SPI)模块,第 9 章介绍串行通信接口(SCI)模块,第 10 章介绍 eCAN 总线模块,第 11 章介绍 I<sup>2</sup>C 总线,第 12 章介绍 Boot ROM 引导模式,第 13 章介绍直接存储访问(DMA)模块。

本书可作为 DSP 开发应用的初、中级读者学习 TMS320F28335 的教材,也可为其他层次的 DSP 开发应用人员提供参考。

### 图书在版编目(CIP)数据

TMS320F28335 DSP 原理与开发编程 / 刘陵顺等编著

. — 北京 : 北京航空航天大学出版社, 2011. 12

ISBN 978 - 7 - 5124 - 0607 - 0

I. ①T… II. ①刘… III. ①数字信号处理—高等学校—教材②数字信号—微处理器—高等学校—教材 IV. ①TN911.72②TP332

中国版本图书馆 CIP 数据核字(2011)第 199437 号

版权所有,侵权必究。

### TMS320F28335 DSP 原理与开发编程

刘陵顺 高艳丽 张树团 王 昉 编著

责任编辑 金友泉

\*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱: bhpres@263.net 邮购电话:(010)82316936

北京时代华都印刷有限公司印装 各地书店经销

\*

开本:787×1 092 1/16 印张:29 字数:742 千字

2011 年 12 月第 1 版 2011 年 12 月第 1 次印刷 印数:4 000 册

ISBN 978 - 7 - 5124 - 0607 - 0 定价:50.00 元

---

若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

## 前 言

TMS320F28335 DSP 是 TI 公司新推出的一款浮点型数字信号处理器。它在已有的 DSP 平台上增加了浮点运算内核,既保持了原有 DSP 芯片的优点,又能够执行复杂的浮点运算,可以节省代码执行时间和存储空间,具有精度高、成本低、功耗小、外设集成度高,数据及程序存储量大和 AD 转换更精确快速等优点,是更加优秀的嵌入式工业应用软件。

TMS320F28335 的频率可达 150 MHz, CPU 采用 32 位定点并包含单精度浮点单元(FPU)。该芯片具有利于更高精度操作的增强型控制外设,即包含最多 18 路 PWM 输出口,其中 6 路为高分辨率脉宽调制模块(HRPWM),6 路为 32 位的事件捕捉输入端口 eCAP;也可通过软件设置工作于 PWM 模式下,包含 2 路为 32 位的正交编码器通道 eQEP。芯片内部集成了 12 位的 2 个 8 通道的 ADC,高通道的转换时间可达 80 ns。该芯片还引入了 6 路直接存储器模块(DMA),在不需 CPU 仲裁的情况下为外设和内存之间传递数据提供了一种硬件办法;还可以为其他系统函数释放存储单元的带宽。具有高达 88 个独立可编程的复用通用输入/输出(GPIO)引脚,有最多 4 种可选的工作模式。另外还包含了提高通信功能的 2 个 eCAN 通信模块,3 个 SCI 模块,1 个 SPI 模块,2 个可设置为 SPI 的 McBSP 模块以及 1 个 I<sup>2</sup>C 模块等。

本书是作者近年来在 DSP 开发应用的基础上编写而成,汇集了 TI 公司 DSP 开发技术的最新资料,重点介绍了 TMS320F28335 DSP 的基本功能、工作原理和寄存器配制等内容,另外还给出了应用示例的 C 语言开发程序,为读者的学习提供更好的帮助。

参加本书编写的还有王晶、鹿珂珂、张海鹰、刘迪、王冬梅、张大为、陆成海、张海洋、苗正戈等同志。在本书的编写过程中,还参阅了一些优秀的图书和资料文献,并引用了一些参考资料中的有关内容,在此一并表示感谢!尤其要感谢北京航空航天大学出版社为本书的出版所做的大量工作。

由于时间仓促,书中的错误和不当之处,恳请广大读者批评指正。

编 者  
2011.7

# 目 录

|  |    |
|--|----|
| <b>第 1 章 TMS320F28335 DSP 概述</b> .....     | 1  |
| 1.1 TMS320F28335 性能 .....                  | 1  |
| 1.2 TMS320F28335 封装与引脚描述 .....             | 2  |
| 1.2.1 引脚分配 .....                           | 2  |
| 1.2.2 信号说明 .....                           | 3  |
| 1.3 TMS320F28335 外设功能概述 .....              | 15 |
| 1.4 简要描述 .....                             | 18 |
| 1.4.1 TMS320F28335 CPU .....               | 18 |
| 1.4.2 存储器总线(哈佛总线结构) .....                  | 19 |
| 1.4.3 外设总线 .....                           | 19 |
| 1.4.4 实时在线仿真 .....                         | 19 |
| 1.4.5 外部接口(XINTF) .....                    | 19 |
| 1.4.6 Flash .....                          | 19 |
| 1.4.7 M0、M1 SARAMS .....                   | 20 |
| 1.4.8 L0、L1、L2、L3、L4、L5、L6、L7 SARAMS ..... | 20 |
| 1.4.9 Boot ROM .....                       | 20 |
| 1.4.10 安全性 .....                           | 20 |
| 1.4.11 外设中断扩展模块 .....                      | 20 |
| 1.4.12 外设中断(XINT1~XINT7, XNMI) .....       | 21 |
| 1.4.13 振荡器和 PLL .....                      | 21 |
| 1.4.14 看门狗 .....                           | 21 |
| 1.4.15 外设时钟 .....                          | 21 |
| 1.4.16 低功耗模式 .....                         | 21 |
| 1.4.17 外设结构 0、1、2、3(PFn) .....             | 21 |
| 1.4.18 多功能 GPIO .....                      | 22 |
| 1.4.19 32 位 CPU 定时器(0、1、2) .....           | 22 |
| 1.4.20 控制外设 .....                          | 22 |
| 1.4.21 串行端口 .....                          | 23 |
| 1.5 与 DSP2812 的性能对比 .....                  | 23 |
| <b>第 2 章 TMS320F28335 系统控制与中断</b> .....    | 25 |
| 2.1 Flash 和 OPT 存储器 .....                  | 25 |
| 2.1.1 Flash 存储器 .....                      | 25 |
| 2.1.2 OPT 存储器 .....                        | 25 |
| 2.1.3 Flash 或 OTP 寄存器 .....                | 27 |

|              |                          |            |
|--------------|--------------------------|------------|
| 2.1.4        | 代码安全模块(CSM)              | 31         |
| 2.2          | 时钟与系统控制                  | 34         |
| 2.2.1        | 时 钟                      | 34         |
| 2.2.2        | 振荡器和 PLL(锁相环电路)模块        | 40         |
| 2.2.3        | 低功耗模式单元                  | 42         |
| 2.2.4        | 看门狗模块                    | 44         |
| 2.2.5        | 32 位 CPU 定时器 0/1/2       | 48         |
| 2.3          | TMS320F28335 通用 I/O      | 52         |
| 2.3.1        | GPIO 模块概述                | 52         |
| 2.3.2        | 输入限制                     | 59         |
| 2.3.3        | GPIO 和外设复用功能概述           | 60         |
| 2.3.4        | GPIO 寄存器                 | 63         |
| 2.4          | TMS320F28335 外设结构        | 74         |
| 2.5          | TMS320F28335 外设中断扩展      | 76         |
| 2.5.1        | PIE 控制器概述                | 76         |
| 2.5.2        | 向量表映射                    | 77         |
| 2.5.3        | 中断源                      | 79         |
| 2.5.4        | PIE 配置寄存器                | 87         |
| 2.5.5        | 外部中断控制寄存器                | 93         |
| 2.6          | DSP28335 软件中断优先级应用程序举例   | 95         |
| <b>第 3 章</b> | <b>TMS320F28335 外部接口</b> | <b>103</b> |
| 3.1          | 外部接口功能概述                 | 103        |
| 3.1.1        | 与 TMS320F2812 外部接口的区别    | 104        |
| 3.1.2        | XINTF 区域的访问              | 105        |
| 3.1.3        | 外部接口的写操作紧跟读操作的流水线保护      | 105        |
| 3.2          | XINTF 配置概述               | 105        |
| 3.2.1        | 外部接口配置和时序寄存器的配置          | 106        |
| 3.2.2        | 外部接口时钟                   | 106        |
| 3.2.3        | 写缓冲器                     | 107        |
| 3.2.4        | 各区域访问的建立、激活和跟踪的时序        | 107        |
| 3.2.5        | 各区域 XREADY 信号采样          | 108        |
| 3.2.6        | 存储区域切换                   | 108        |
| 3.3          | 配置建立、激活和跟踪等待状态           | 109        |
| 3.4          | 外部接口的 DMA 访问             | 112        |
| 3.5          | 外部接口寄存器                  | 113        |
| 3.6          | 操作时序图                    | 118        |

|                                 |     |
|---------------------------------|-----|
| <b>第 4 章 ePWM 模块</b> .....      | 122 |
| 4.1 ePWM 模块概述 .....             | 122 |
| 4.1.1 ePWM 子模块概述 .....          | 123 |
| 4.1.2 寄存器映射 .....               | 126 |
| 4.2 ePWM 子模块功能 .....            | 128 |
| 4.2.1 时间基准子模块 .....             | 128 |
| 4.2.2 计数比较子模块 .....             | 135 |
| 4.2.3 动作限定子模块 .....             | 139 |
| 4.2.4 死区控制子模块 .....             | 149 |
| 4.2.5 PWM 斩波器子模块 .....          | 152 |
| 4.2.6 错误控制子模块 .....             | 154 |
| 4.2.7 事件触发子模块 .....             | 157 |
| 4.3 ePWM 寄存器 .....              | 163 |
| 4.3.1 时间基准寄存器 .....             | 163 |
| 4.3.2 计数比较子模块寄存器 .....          | 166 |
| 4.3.3 动作限定子模块寄存器 .....          | 169 |
| 4.3.4 死区控制子模块寄存器 .....          | 172 |
| 4.3.5 PWM 斩波器寄存器 .....          | 174 |
| 4.3.6 错误控制和状态寄存器 .....          | 175 |
| 4.3.7 事件触发子模块寄存器 .....          | 179 |
| 4.3.8 正确的中断初始化程序 .....          | 183 |
| 4.4 ePWM 应用编程 .....             | 183 |
| 4.5 高精度脉宽调制模块(HRPWM) .....      | 190 |
| 4.5.1 概 述 .....                 | 190 |
| 4.5.2 HRPWM 的操作 .....           | 191 |
| 4.5.3 HRPWM 寄存器描述 .....         | 199 |
| <b>第 5 章 增强捕捉(eCAP)模块</b> ..... | 202 |
| 5.1 概 述 .....                   | 202 |
| 5.1.1 简 介 .....                 | 202 |
| 5.1.2 功能描述 .....                | 202 |
| 5.2 捕捉单元与 APWM 操作模式 .....       | 203 |
| 5.3 捕捉操作 .....                  | 206 |
| 5.3.1 事件预定标 .....               | 206 |
| 5.3.2 边沿极性选择与量化 .....           | 206 |
| 5.3.3 连续/单次控制 .....             | 207 |
| 5.3.4 32 位计数器和相位控制 .....        | 207 |
| 5.3.5 CAP1~CAP4 寄存器 .....       | 208 |

|              |                                 |            |
|--------------|---------------------------------|------------|
| 5.3.6        | 中断控制 .....                      | 208        |
| 5.3.7        | 双映射装载与控制 .....                  | 209        |
| 5.3.8        | APWM 模式操作 .....                 | 209        |
| 5.4          | 控制与状态寄存器 .....                  | 211        |
| 5.5          | 寄存器映射 .....                     | 220        |
| 5.6          | eCAP 模块的应用例程 .....              | 221        |
| 5.6.1        | 上升沿触发绝对时间标签操作 .....             | 222        |
| 5.6.2        | 上升和下降沿触发绝对时间标签操作 .....          | 223        |
| 5.7          | APWM 模式 .....                   | 225        |
| 5.7.1        | 独立通道 PWM 产生 .....               | 225        |
| 5.7.2        | 相位控制多通道 PWM 产生 .....            | 226        |
| 5.7.3        | 应用例程 .....                      | 228        |
| <b>第 6 章</b> | <b>增强正交编码脉冲 (eQEP) 模块 .....</b> | <b>233</b> |
| 6.1          | 概 述 .....                       | 233        |
| 6.1.1        | eQEP 输入 .....                   | 235        |
| 6.1.2        | eQEP 功能描述 .....                 | 235        |
| 6.1.3        | eQEP 存储器映射 .....                | 235        |
| 6.2          | 正交译码单元 .....                    | 237        |
| 6.2.1        | 位置计数输入模式 .....                  | 237        |
| 6.2.2        | eQEP 输入极性选择 .....               | 240        |
| 6.2.3        | 位置比较同步输出 .....                  | 240        |
| 6.3          | 位置计数器与控制单元 .....                | 240        |
| 6.3.1        | 位置计数操作模式 .....                  | 240        |
| 6.3.2        | 位置计数锁存 .....                    | 243        |
| 6.3.3        | 位置计数初始化 .....                   | 244        |
| 6.3.4        | 位置比较单元 .....                    | 245        |
| 6.4          | eQEP 边沿捕获单元 .....               | 246        |
| 6.5          | eQEP 看门狗 .....                  | 248        |
| 6.6          | eQEP 定时器基准单元 .....              | 249        |
| 6.7          | eQEP 中断结构 .....                 | 249        |
| 6.8          | eQEP 寄存器 .....                  | 250        |
| 6.9          | eQEP 应用例程 .....                 | 264        |
| <b>第 7 章</b> | <b>模数 (A/D) 转换 .....</b>        | <b>268</b> |
| 7.1          | 概 述 .....                       | 268        |
| 7.2          | 自动转换排序器的工作原理 .....              | 269        |
| 7.2.1        | 顺序采样模式 .....                    | 272        |
| 7.2.2        | 同步采样模式 .....                    | 272        |



|              |  |            |
|--------------|--|------------|
| 7.2.3        | 双排序器同步采样模式实例 .....                           | 273        |
| 7.2.4        | 级联排序器同步采样模式实例 .....                          | 274        |
| 7.3          | 连续自动排序模式 .....                               | 274        |
| 7.3.1        | 排序器的启动/停止模式 .....                            | 276        |
| 7.3.2        | 同步采样模式 .....                                 | 277        |
| 7.3.3        | 输入触发源 .....                                  | 278        |
| 7.3.4        | 排序器转换的中断操作 .....                             | 278        |
| 7.4          | ADC 预定标时钟 .....                              | 280        |
| 7.5          | 低功耗模式 .....                                  | 281        |
| 7.6          | 上电次序 .....                                   | 281        |
| 7.7          | 排序器覆盖功能 .....                                | 281        |
| 7.8          | ADC 校验 .....                                 | 282        |
| 7.9          | ADC 内外参考电压选择 .....                           | 282        |
| 7.10         | ADC 到 DMA 的接口 .....                          | 283        |
| 7.11         | ADC 寄存器 .....                                | 283        |
| 7.11.1       | ADC 控制寄存器 .....                              | 284        |
| 7.11.2       | 最大转换通道寄存器(ADCMAXCONV) .....                  | 289        |
| 7.11.3       | 自动排序状态寄存器(ADCASEQSR) .....                   | 290        |
| 7.11.4       | ADC 状态和标志寄存器(ADCST) .....                    | 291        |
| 7.11.5       | ADC 参考选择寄存器(ADCREFSSEL) .....                | 292        |
| 7.11.6       | ADC 偏移调整寄存器(ADCOFFTRIM) .....                | 293        |
| 7.11.7       | ADC 输入通道选择序列控制寄存器 .....                      | 293        |
| 7.11.8       | ADC 转换结果缓冲寄存器(ADCRESULY <sub>n</sub> ) ..... | 294        |
| 7.12         | ADC 应用例程 .....                               | 295        |
| <b>第 8 章</b> | <b>串行外设接口(SPI) .....</b>                     | <b>299</b> |
| 8.1          | 增强的 SPI 模块概述 .....                           | 299        |
| 8.2          | SPI 模块寄存器概述 .....                            | 301        |
| 8.3          | SPI 操作 .....                                 | 303        |
| 8.3.1        | 操作介绍 .....                                   | 303        |
| 8.3.2        | 主控制器模式 .....                                 | 304        |
| 8.3.3        | 从控制器模式 .....                                 | 304        |
| 8.4          | SPI 中断 .....                                 | 305        |
| 8.4.1        | SPI 中断控制位 .....                              | 305        |
| 8.4.2        | 数据格式 .....                                   | 305        |
| 8.4.3        | 波特率和时钟设置 .....                               | 306        |
| 8.4.4        | 复位的初始化 .....                                 | 308        |
| 8.4.5        | 数据传送示例 .....                                 | 308        |
| 8.5          | SPI FIFO 描述 .....                            | 309        |

|               |   |            |
|---------------|---|------------|
| 8.6           | SPI 控制寄存器 .....                               | 311        |
| 8.6.1         | SPI 配置控制寄存器(SPICCR) .....                     | 311        |
| 8.6.2         | SPI 操作控制寄存器(SPICTL) .....                     | 313        |
| 8.6.3         | SPI 状态寄存器(SPISTS) .....                       | 314        |
| 8.6.4         | SPI 波特率寄存器(SPIBRR) .....                      | 315        |
| 8.6.5         | SPI 仿真缓冲器寄存器(SPIRXEMU) .....                  | 316        |
| 8.6.6         | SPI 串行接收缓冲器寄存器(SPIRXBUF) .....                | 316        |
| 8.6.7         | SPI 串行发送缓冲器寄存器(SPITXBUF) .....                | 317        |
| 8.6.8         | SPI 串行数据寄存器(SPIDAT) .....                     | 317        |
| 8.6.9         | SPI FIFO 发送、接收和控制寄存器 .....                    | 318        |
| 8.6.10        | SPI 优先级控制寄存器(SPIPRI) .....                    | 321        |
| 8.7           | SPI 模块的 C 语言程序设计 .....                        | 321        |
| <b>第 9 章</b>  | <b>TMS320F28335 串行通信接口 .....</b>              | <b>324</b> |
| 9.1           | 概 述 .....                                     | 324        |
| 9.1.1         | 强化 SCI 模块概述 .....                             | 324        |
| 9.1.2         | SCI 的模块结构 .....                               | 325        |
| 9.2           | SCI 寄存器 .....                                 | 336        |
| 9.2.1         | SCI 组件寄存器概要 .....                             | 337        |
| 9.2.2         | SCI 通信控制寄存器(SCICCR) .....                     | 338        |
| 9.2.3         | SCI 控制寄存器 1(SCICTL1) .....                    | 339        |
| 9.2.4         | SCI 波特-选择寄存器 .....                            | 341        |
| 9.2.5         | SCI 控制寄存器 2(SCICTL2) .....                    | 342        |
| 9.2.6         | SCI 接收器状态寄存器(SCIRXST) .....                   | 342        |
| 9.2.7         | 接收器数据缓冲寄存器(SCIRXEMU, SCIRXBUF) .....          | 344        |
| 9.2.8         | SCI 发送器数据缓冲寄存器(SCITXBUF) .....                | 345        |
| 9.2.9         | SCI FIFO 寄存器(SCIFFTX, SCIFFRX, SCIFFCT) ..... | 345        |
| 9.2.10        | 优先控制寄存器(SCIPRI) .....                         | 348        |
| 9.3           | 应用例程 .....                                    | 349        |
| <b>第 10 章</b> | <b>eCAN 总线模块 .....</b>                        | <b>355</b> |
| 10.1          | eCAN 概述 .....                                 | 355        |
| 10.2          | eCAN 网络与模块 .....                              | 356        |
| 10.3          | eCAN 控制器概述 .....                              | 358        |
| 10.3.1        | 标准 CAN 控制器(SCC)模式 .....                       | 359        |
| 10.3.2        | 存储器映射 .....                                   | 359        |
| 10.3.3        | eCAN 控制和状态寄存器 .....                           | 362        |
| 10.4          | 消息邮箱 .....                                    | 363        |
| 10.4.1        | 发送邮箱 .....                                    | 365        |

|               |                                  |            |
|---------------|----------------------------------|------------|
| 10.4.2        | 接收邮箱                             | 366        |
| 10.4.3        | 常规配置中的 CAN 模块操作                  | 366        |
| 10.5          | eCAN 寄存器                         | 366        |
| 10.5.1        | 邮箱激活寄存器(CANME)                   | 366        |
| 10.5.2        | 邮箱方向寄存器(CANMD)                   | 367        |
| 10.5.3        | 发送请求置位寄存器(CANTRS)                | 367        |
| 10.5.4        | 发送请求复位寄存器(CANTRR)                | 368        |
| 10.5.5        | 发送应答寄存器(CANTA)                   | 368        |
| 10.5.6        | 中止应答寄存器(CANAA)                   | 369        |
| 10.5.7        | 接收消息挂起寄存器(CANRMP)                | 369        |
| 10.5.8        | 接收消息丢失寄存器(CANRML)                | 370        |
| 10.5.9        | 远程帧挂起寄存器(CANRFP)                 | 370        |
| 10.5.10       | 局接受屏蔽寄存器(CANGAM)                 | 372        |
| 10.5.11       | 主控制寄存器(CANMC)                    | 373        |
| 10.5.12       | 位时序配置寄存器(CANBTC)                 | 376        |
| 10.5.13       | 错误和状态寄存器(CANES)                  | 377        |
| 10.5.14       | CAN 错误计数寄存器(CANTEC/CANREC)       | 379        |
| 10.5.15       | 中断寄存器                            | 380        |
| 10.5.16       | 覆盖保护控制寄存器(CANOPC)                | 385        |
| 10.5.17       | eCAN I/O 控制寄存器(CANTIOC, CANRIOC) | 385        |
| 10.5.18       | 定时器管理单元                          | 386        |
| 10.5.19       | 邮箱构成                             | 390        |
| 10.5.20       | 接收过滤器                            | 393        |
| 10.6          | eCAN 模块的配置                       | 394        |
| 10.6.1        | eCAN 模块初始化                       | 394        |
| 10.6.2        | eCAN 配置的步骤                       | 398        |
| 10.6.3        | 远程帧邮箱的处理                         | 400        |
| 10.6.4        | 中 断                              | 401        |
| 10.6.5        | CAN 模块掉电模式                       | 406        |
| <b>第 11 章</b> | <b>I<sup>2</sup>C 总线</b>         | <b>408</b> |
| 11.1          | I <sup>2</sup> C 总线概述            | 408        |
| 11.1.1        | 主要特征                             | 408        |
| 11.1.2        | 功能概述                             | 409        |
| 11.1.3        | 时钟产生                             | 410        |
| 11.2          | I <sup>2</sup> C 总线操作            | 411        |
| 11.2.1        | 输入和输出电平                          | 411        |
| 11.2.2        | 数据状态                             | 411        |
| 11.2.3        | 操作模式                             | 411        |

|               |                                    |            |
|---------------|------------------------------------|------------|
| 11.2.4        | I <sup>2</sup> C 模块启动与停止条件 .....   | 412        |
| 11.2.5        | 串行数据格式 .....                       | 413        |
| 11.2.6        | 不响应信号(NACK)方式 .....                | 415        |
| 11.2.7        | 时钟同步 .....                         | 415        |
| 11.2.8        | 仲裁 .....                           | 416        |
| 11.3          | I <sup>2</sup> C 模块产生的中断请求 .....   | 416        |
| 11.3.1        | I <sup>2</sup> C 模块基本中断 .....      | 417        |
| 11.3.2        | I <sup>2</sup> C 模块的 FIFO 中断 ..... | 418        |
| 11.4          | 复位/禁止 I <sup>2</sup> C 模块 .....    | 418        |
| <b>第 12 章</b> | <b>Boot ROM 引导模式 .....</b>         | <b>420</b> |
| 12.1          | Boot ROM 存储器映射 .....               | 420        |
| 12.2          | 片内 Boot ROM 数学表 .....              | 420        |
| 12.3          | CPU 向量表 .....                      | 421        |
| 12.4          | Bootloader 的特征 .....               | 422        |
| 12.4.1        | Bootloader 功能操作 .....              | 422        |
| 12.4.2        | Bootloader 的配置 .....               | 423        |
| 12.4.3        | Bootloader 模式 .....                | 424        |
| 12.4.4        | Bootloader 数据流结构 .....             | 427        |
| 12.4.5        | 基本传输过程 .....                       | 429        |
| 12.4.6        | InitBoot 汇编程序 .....                | 429        |
| 12.4.7        | 模式选择函数 .....                       | 430        |
| 12.4.8        | ADC_cal 汇编程序 .....                 | 430        |
| 12.4.9        | CopyData 函数 .....                  | 430        |
| 12.4.10       | SCI_Boot 函数 .....                  | 431        |
| 12.4.11       | Parallel_Boot 函数 (GPIO) .....      | 431        |
| 12.4.12       | SPI_Boot 函数 .....                  | 434        |
| <b>第 13 章</b> | <b>直接存储访问(DMA)模块 .....</b>         | <b>437</b> |
| 13.1          | 概 述 .....                          | 437        |
| 13.2          | 结 构 .....                          | 438        |
| 13.2.1        | 结构图 .....                          | 438        |
| 13.2.2        | 外设中断事件触发源 .....                    | 438        |
| 13.2.3        | DMA 总线 .....                       | 440        |
| 13.3          | 流水线定时和流量 .....                     | 441        |
| 13.4          | CPU 仲裁 .....                       | 442        |
| 13.4.1        | 外部存储器接口 .....                      | 442        |
| 13.4.2        | 应用于其他外设/存储器 .....                  | 442        |
| 13.5          | 通道优先级 .....                        | 443        |

|                               |     |
|-------------------------------|-----|
| 13.5.1 Round - robin 模式 ..... | 443 |
| 13.5.2 通道 1 高优先级模式 .....      | 443 |
| 13.6 地址指针和发送控制 .....          | 444 |
| 13.7 ADC 的同步特征 .....          | 446 |
| 13.8 溢出检测特征 .....             | 446 |
| 参考文献 .....                    | 449 |

# 第 1 章 TMS320F28335 DSP 概述

TMS320F2000 系列 DSP 融合了控制外设的集成功能与微处理器(MCU)的易用性,具有强大的控制和信号处理能力以及 C 语言编程效率,能够实现复杂的控制算法,使该系列 DSP 在工业控制中得到了广泛的应用,譬如早期的 TMS320F24xx 系列和 TMS320F281x 系列。TI 公司新推出的一款浮点型数字信号处理器 TMS320F28335,是在已有的 DSP 平台上增加了浮点运算内核,在保持了原有 DSP 芯片优点的同时,能够执行复杂的浮点运算,可以节省代码执行时间和存储空间,具有精度高,成本低,功耗小,外设集成度高,数据及程序存储量大和 A/D 转换更精确快速等优点,为嵌入式工业应用提供更加优秀的性能和更加简单的软件设计。

## 1.1 TMS320F28335 性能

① 高性能静态 CMOS 技术:主频可达 150 MHz,指令周期为 6.67 ns;内核电压为 1.9 V,I/O 引脚电压为 3.3 V。

② 高性能的 32 位 CPU:单精度浮点运算单元(FPU), $16 \times 16$  位和  $32 \times 32$  位乘法累加操作,两个  $16 \times 16$  位乘法累加器;采用哈佛流水线总线结构;能够快速执行中断响应;具有统一的寄存器编程模式;可用 C++ 和汇编语言进行高效编程。

③ 六通道嵌入式处理器(DMA)控制器。

④ 16 位或 32 位的外部接口(XINTF):超过  $2M \times 16$  的地址空间。

⑤ 片内存储器:256K $\times$ 16 的 Flash 存储器,34K $\times$ 16 的 SARAM;1K $\times$ 16 的 OTP(一次性可编程)ROM。

⑥ 引导 ROM(8K $\times$ 16):带有软件引导模式和标准的数学表。

⑦ 时钟与系统控制:支持动态改变锁相环(PLL)的倍频系数;片上振荡器;看门狗定时器模块。

⑧ GPIO0 到 GPIO63 可以与 8 个外部内核中断的任一个相连。

⑨ 外围中断扩展模块(PIE)支持全部 58 个外围中断。

⑩ 128 位安全密码:保护 Flash/OTP/RAM 存储器;防止系统固件被盗取。

⑪ 增强的控制外设:18 个 PWM 输出端口;6 个高分辨率脉宽调制模块(HRPWM);6 个事件捕捉输入端口;2 个正交编码器通道(QEP)。

⑫ 3 个 32 位 CPU 定时器,定时器 0 和定时器 1 用作一般的定时器,定时器 0 接至 PIE 模块,定时器 1 接至中断 INT13,定时器 2 用作 DSP/BIOS 的片上实时系统,连接到中断 14,若系统不用 DSP/BIOS,定时器 2 可用作一般定时器。

⑬ 串行接口外围为 2 通道 CAN 模块、3 个 SCI(UART)模块、2 个多通道缓冲串行接口 McBSP 模块(可配置为串行外围接口 SPI)、1 个 SPI 模块、1 个集成电路(I<sup>2</sup>C)总线。

⑭ 12 位 A/D 转换器具有 16 个转换通道:80 ns 的快速转换时间;2 $\times$ 8 通道的多路输入选择器;2 个采样保持器;具有单/连续通道转换模式;内部或外部参考电压。

- ⑮ 可达 88 个独立可编程的复用通用输入/输出(GPIO)引脚。
- ⑯ 支持 JTAG 边界扫描。
- ⑰ 先进的仿真功能:具有分析和断点功能;硬件实时调试。
- ⑱ 支持工具包括:ANSI C/C++ 编译/汇编/连接器;代码设计师工作室 IDE 平台。基于 DSP 的基本输入/输出系统(DSP/BIOS);数字化电动机控制和数字化电源软件库。
- ⑲ 低功耗模式和节电模式:支持 IDLE、STANDBY 及 HALT 模式;禁止外设独立时钟。
- ⑳ 温度范围: A: -40~85 °C (PGF, ZHH, ZJZ); S: -40~125 °C (ZJZ)。

## 1.2 TMS320F28335 封装与引脚描述

### 1.2.1 引脚分配

F28335 的 176 引脚 PZ LQFP 封装顶视图如图 1.1 所示。

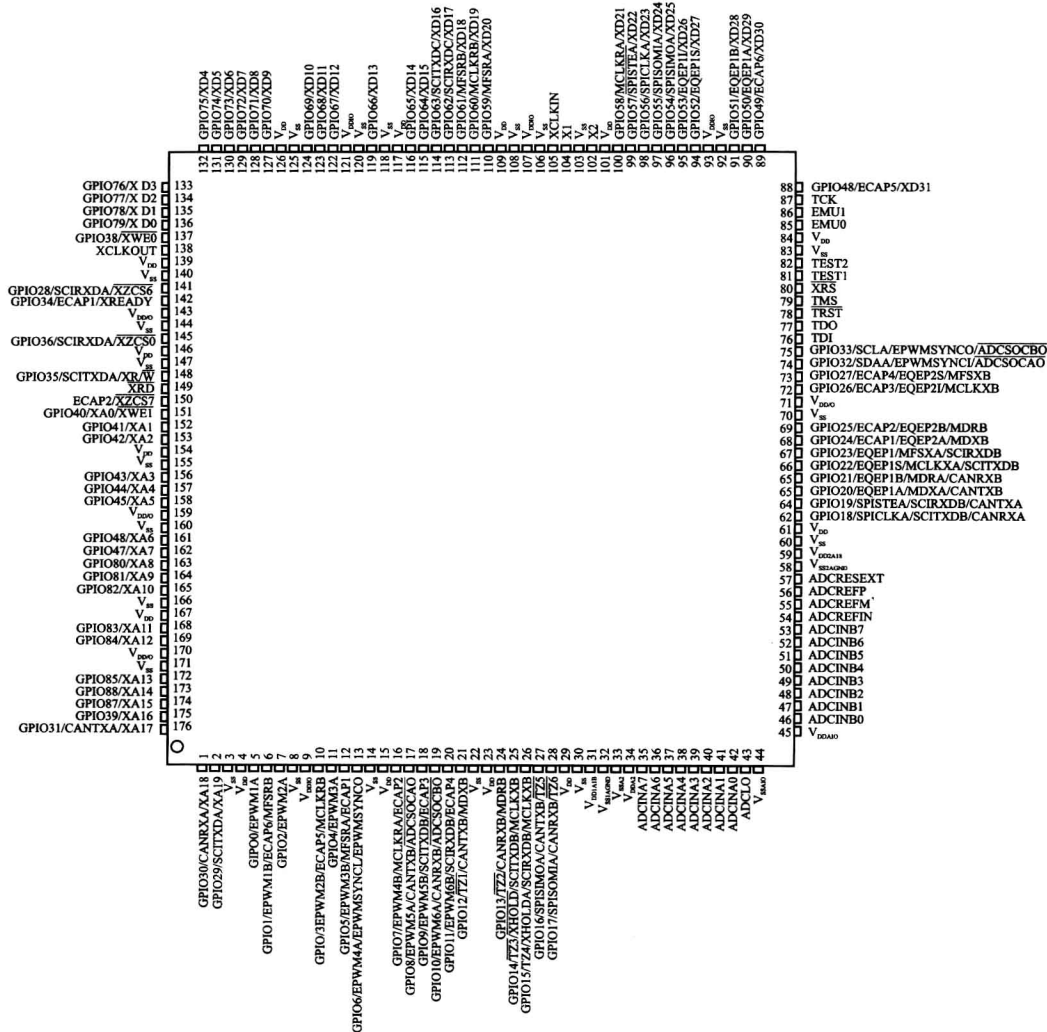


图 1.1 176 引脚 PZ LQFP 封装顶视图

## 1.2.2 信号说明

表 1.1 为 F28335 的信号说明,所有数字输入引脚均为 TLL 兼容,所有输出引脚均是 3.3 V 的 CMOS 电平,输入引脚不兼容 5 V。

表 1.1 信号说明

| 名字                  | 引脚号             |                  |                  | 说明 <sup>(1)</sup>   |
|---------------------|-----------------|------------------|------------------|---|
|                     | PGF<br>PIN<br># | ZHH<br>BAL<br>L# | ZJZ<br>BAL<br>L# |   |
| <b>JTAG</b>         |                 |                  |                  |   |
| TRST                | 78              | M10              | L11              | JTAG 测试复位引脚,带有内部下拉功能。为高电平时,给出器件操作扫描系统控制。当信号悬空或为低电平时,器件以功能模式操作,测试复位信号被忽略<br>注意: TRST 引脚内部有下拉功能,不要再外接上拉电阻。在高噪声环境中需要外接下拉电阻,该阻值根据调试器设计的驱动能力而定,一般取 2.2 kΩ 就能提供足够的保护(I, ↓)                  |
| TCK                 | 87              | N12              | M14              | JTAG 测试时钟。带有内部上拉功能(I, ↑)  |
| TMS                 | 79              | P10              | M12              | 带有内部上拉功能的 JTAG 测试模式选择端。在 TCK 的上升沿,该串行控制输入被锁存在 TAP 控制器中(I, ↑)  |
| TDI                 | 76              | M9               | N12              | 带有内部上拉功能的 JTAG 测试数据输入端。在 TCK 的上升沿,TDI 被锁存在被选择的寄存器(指令和数据)中(I, ↑)   |
| TDO                 | 77              | K9               | N13              | JTAG 扫描输出,测试数据输出。在 TCK 的下降沿,将被选择寄存器的内容从 TDO 移出(O/Z 8 mA 驱动)   |
| EMU0                | 85              | L11              | N7               | 仿真引脚 0。当 TRST 为高电平时,该引脚作为中断输入或中断来自仿真系统,并通过 JTAG 扫描定义为输入/输出。当 EMU0 在逻辑高位而 EMU1 在逻辑低位时,TRST 的上升沿会将设备锁存至边界扫描模式(I/O/Z 8 mA 驱动, ↑)。建议外部上拉电阻连在这个引脚上。这个电阻值应该根据调试器设计的驱动能力而定,一般取 2.2~4.7 kΩ 之间 |
| EMU1                | 86              | P12              | P8               | 仿真引脚 1。当 TRST 为高电平时,该引脚作为中断输入或中断来自仿真系统,并通过 JTAG 扫描定义为 I/O。当 EMU0 为逻辑高而 EMU1 为逻辑低时,TRST 的上升沿会将设备锁存至边界扫描模式(I/O/Z 8 mA 驱动, ↑),外接上拉电阻同 EMU0   |
| <b>FLASH</b>        |                 |                  |                  |   |
| V <sub>DD3VFL</sub> | 84              | M11              | L9               | 3.3 V Flash 的内核电源引脚。该引脚应该一直连在 3.3 V 电源上   |
| TEST1               | 81              | K10              | M7               | 测试引脚。为 TI 保留,使用时必须悬空(I/O)   |
| TEST2               | 82              | P11              | L7               | 测试引脚。为 TI 保留,使用时必须悬空(I/O)   |



| 名 字                     | 引 脚 号           |                  |                  | 说 明 <sup>(1)</sup>   |
|-------------------------|-----------------|------------------|------------------|--|
|                         | PGF<br>PIN<br># | ZHH<br>BAL<br>L# | ZJZ<br>BAL<br>L# |  |
| CLOCK                   |                 |                  |                  |  |
| XCLKOUT                 | 138             | C11              | A10              | 时钟输出来自于 SYSCLKOUT。XCLKOUT 与 SYSCLKOUT 的频率可以相等，可以是它的 1/2 或 1/4，这是由 XINTCNF2 寄存器的字节 18:16(XTIMCLK)和字节 2(CLKMODE)控制的。复位后，XCLKOUT=SYSCLKOUT/4<br>将 XINTCNF2[CLKMODE]置 1 可以关闭 XCLKOUT。与其他 GPIO 引脚不同，XCLKOUT 在复位时不在高阻抗状态(O/Z 8 mA 驱动)                      |
| XCLKIN                  | 105             | J14              | G13              | 外部振荡器输入。该引脚是从外部的 3.3 V 振荡器获得时钟信号。所以，X1 引脚必须接地。如果使用晶振/谐振器(或一个外部 1.9 V 振荡器为 X1 提供时钟信号)，这个引脚必须接地(I)   |
| X1                      | 104             | J13              | G14              | 内部/外部振荡器输入。作为内部振荡器时，一个石英晶体或陶瓷谐振器可连接在 X1 和 X2 之间。引脚 X1 可为标准的 1.9 V 内核数字电源。一个 1.9 V 的外部振荡器可能与引脚 X1 相连，此时，XCLKIN 引脚必须接地。如果一个 3.3 V 的外部振荡器与 XCLKIN 引脚相连，X1 必须接地(I)   |
| X2                      | 102             | J11              | H14              | 内部振荡器输出，一个石英晶体或陶瓷谐振器可连接在 X1 和 X2 之间，当不用 X2 时，该引脚必须悬空(O)  |
| RESET                   |                 |                  |                  |  |
| $\overline{\text{XRS}}$ | 80              | L10              | M13              | 复位脚(输入)和看门狗复位(输出)<br>复位脚， $\overline{\text{XRS}}$ 使器件终止运行。PC 指针指向地址 0x3FFFC0。当 $\overline{\text{XRS}}$ 为高电平时，程序从 PC 所指的位置开始运行。当看门狗产生复位时，该引脚为低电平。在看门狗复位期间，引脚为低电平，看门狗将持续 512 个 OSCCLK 周期(I/OD, $\uparrow$ )。<br>该引脚的输出缓冲器为带有内部上拉功能的开漏缓冲器，建议该引脚由开漏驱动器驱动 |
| ADC 信号                  |                 |                  |                  |  |
| ADCINA7                 | 35              | K4               | K1               | 模/数转换器 A 的 8 通道模拟输入(I)   |
| ADCINA6                 | 36              | J5               | K2               |  |
| ADCINA5                 | 37              | L1               | L1               |  |
| ADCINA4                 | 38              | L2               | L2               |  |
| ADCINA3                 | 39              | L3               | L3               |  |
| ADCINA2                 | 40              | M1               | M1               |  |
| ADCINA1                 | 41              | N1               | M2               |  |
| ADCINA0                 | 42              | M3               | M3               |  |