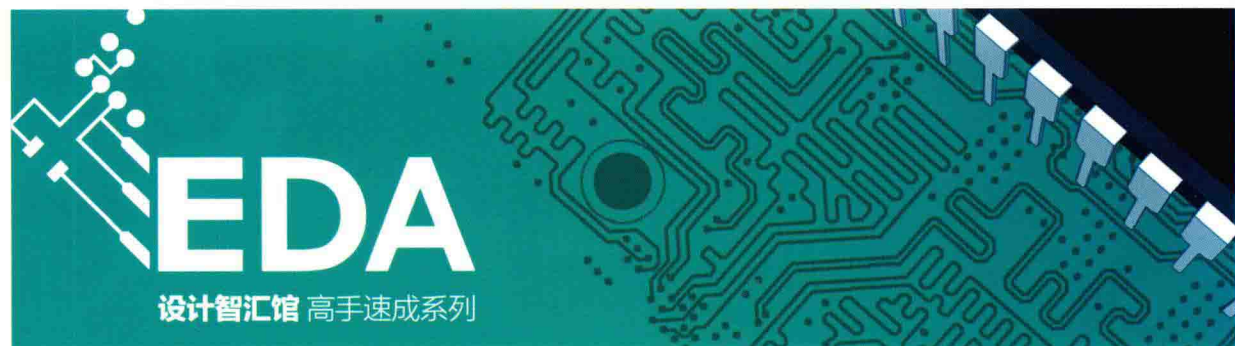
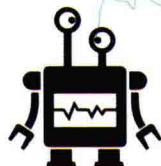


- 业界一本真正由资深一线研发人员联合编写以Cadence 16.6作为开发平台的高速PCB书籍
- 理论知识+实战经验作为基准和指导
- 分享先进的高速PCB设计技术
- 这是一本有技术支持的硬件设计实战书籍



# Cadence

## 高速 PCB 设计 实战攻略 (配视频教程)

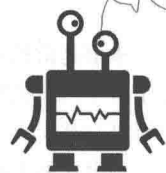
© 李 增 林超

 中国工信出版集团

 电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>



含光盘1张



# EDA

设计智汇馆 高手速成系列

# Cadence

## 高速 PCB 设计 实战攻略 (配视频教程)

◎ 李增 林超文 蒋修国 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书是由长期在业界著名设计公司从事第一线的高速电路设计开发工程师编写的，书内融合了作者工作十多年以来接触并熟练使用 Cadence 相关 EDA 工具的经验、体会和心得。本书力求用工程师能够听懂的语言进行知识点讲解，用最为简洁的操作，让读者在短时间内快速、彻底掌握 Cadence 的使用技巧。

本书立足实践，结合实际工作中的案例，并加以辅助分析。在 PCB 设计领域，真正的高手能够将 PCB 设计做成一件艺术品。那么高手们是如何锻炼而成的呢？一方面需要自己的勤奋实践，俗话说得好，高手们都是用大量的 PCB 设计“堆”出来的；另一方面更需要有“武功秘籍”。希望本书能成为高手们手中的一本秘籍。

本书可作为在校电子类的大学生、Layout 工程师、电子工程师、硬件工程师、EMC/SI/PI 工程师、信号仿真工程师，以及有志于从事电子电路 PCB 设计的开发人员的参考书。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有，侵权必究。

### 图书在版编目 (CIP) 数据

Cadence 高速 PCB 设计实战攻略/李增, 林超文, 蒋修国编著. —北京: 电子工业出版社, 2016. 6  
(EDA 设计智汇馆高手速成系列)

配视频教程

ISBN 978-7-121-28502-8

I. ①C… II. ①李… ②林… ③蒋… III. ①印刷电路-计算机辅助设计 IV. ①TN410.2

中国版本图书馆 CIP 数据核字 (2016) 第 066165 号

策划编辑: 王敬栋

责任编辑: 底 波

印 刷: 北京京科印刷有限公司

装 订: 三河市皇庄路通装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 41.5 字数: 1062 千字

版 次: 2016 年 6 月第 1 版

印 次: 2016 年 6 月第 1 次印刷

印 数: 3 000 册 定价: 99.00 元 (含光盘 1 张)

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888, 88258888。

质量投诉请发邮件至 [zltz@phei.com.cn](mailto:zltz@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

本书咨询联系方式: [wangjd@phei.com.cn](mailto:wangjd@phei.com.cn)。

# 目 录

第 1 章 原理图 OrCAD Capture CIS .....	1
1.1 OrCAD Capture CIS 基础使用 .....	1
1.1.1 新建 Project 工程文件 .....	2
1.1.2 普通元件放置方法 (快捷键 P) .....	3
1.1.3 Add library 增加元件库 .....	4
1.1.4 Remove Library 移除元件库 .....	4
1.1.5 当前库元件的搜索办法 .....	4
1.1.6 使用 Part Search 选项来搜索 .....	5
1.1.7 元件的属性编辑 .....	6
1.1.8 放置电源和 GND 的方法 .....	7
1.2 元件的各种连接办法 .....	8
1.2.1 同一个页面内建立互连线连接 .....	8
1.2.2 同一个页面内 NET 连接 .....	10
1.2.3 无电气连接的引脚, 放置无连接标记 .....	11
1.2.4 不同页面间建立互连的方法 .....	12
1.2.5 总线的使用方法 .....	13
1.2.6 总线中的说明 .....	15
1.3 浏览工程及使用技巧 .....	16
1.3.1 Browse 的使用方法 .....	16
1.3.2 浏览 Parts 元件 .....	17
1.3.3 浏览 Nets .....	18
1.3.4 利用浏览批量修改元件的封装 .....	19
1.4 常见的基本操作办法 .....	20
1.4.1 选择元件 .....	20
1.4.2 移动元件 .....	21
1.4.3 旋转元件 .....	21
1.4.4 镜像翻转元件 .....	21
1.4.5 修改元件属性 .....	22
1.4.6 放置文本和图形 .....	22
1.5 创建新元件库 .....	24
1.5.1 创建新的元件库 .....	24
1.5.2 创建新的库元件 .....	25
1.5.3 创建一个 Parts 的元件 .....	25
1.5.4 创建多个 Parts 的元件 .....	29
1.5.5 一次放置多个 Pins, Pin Array 命令 .....	33
1.5.6 低电平有效 PIN 名称的写法 .....	34



1.5.7	利用 New Part Creation Spreadsheet 创建元件	34
1.5.8	元件库的常用编辑技巧	36
1.5.9	Homogeneous 类型元件画法	36
1.5.10	Heterogeneous 类型元件画法	37
1.5.11	多 Parts 使用中出现的错误	38
1.5.12	解决办法	38
1.6	元件增加封装属性	39
1.6.1	单个元件增加 Footprint 属性	39
1.6.2	元件库中添加 Footprint 属性, 更新到原理图	40
1.6.3	批量添加 Footprint 属性	41
1.7	相应的操作生成网络表相关内容	43
1.7.1	原理图编号	43
1.7.2	进行 DRC 检查	45
1.7.3	DRC 警告和错误	48
1.7.4	统计元件 PIN 数	48
1.8	创建元件清单	49
1.8.1	标准元件清单	49
1.8.2	Bill of Material 输出	51
<b>第 2 章</b>	<b>Cadence 的电路设计流程</b>	<b>52</b>
2.1	Cadence 板级设计流程	52
2.1.1	原理图设计阶段	52
2.1.2	PCB 设计阶段	52
2.1.3	生产文件输出阶段	53
2.2	Allegro PCB 设计流程	53
2.2.1	前期准备工作	53
2.2.2	PCB 板的结构设计	53
2.2.3	导入网络表	54
2.2.4	进行布局、布线前的仿真评估	54
2.2.5	在约束管理中建立约束规则	54
2.2.6	手工布局及约束布局	54
2.2.7	手工进行布线或自动布线	54
2.2.8	布线完成以后进行后级仿真	55
2.2.9	网络、DRC 检查和结构检查	55
2.2.10	布线优化和丝印	55
2.2.11	输出光绘制版	55
<b>第 3 章</b>	<b>工作界面介绍及基本功能</b>	<b>57</b>
3.1	Allegro PCB Designer 启动	57
3.2	软件工作的主界面	58
3.3	鼠标的功能	64
3.4	鼠标的 Stroke 功能	65

3.5	Design parameters 命令的 Display 选项卡 .....	67
3.6	Design parameters 命令的 Design 选项卡 .....	71
3.7	Design parameters 命令的 Text 选项卡 .....	72
3.8	Design parameters 命令的 Shape 选项卡 .....	73
3.9	Design parameters 命令的 Flow planning 选项卡 .....	73
3.10	Design parameters 命令的 Route 选项卡 .....	74
3.11	Design parameters 命令的 Mfg Applications 选项卡 .....	74
3.12	格点设置 .....	75
3.13	Allegro 中的层和层设置 .....	76
3.14	PCB 叠层 .....	79
3.15	层面显示控制和颜色设置 .....	80
3.16	Allegro 常用组件 .....	86
3.17	脚本录制 .....	89
3.18	用户参数及变量设置 .....	89
3.19	快捷键设置 .....	91
3.20	Script 脚本做成快捷键 .....	94
3.21	常用键盘命令 .....	95
3.22	走线时用快捷键改线宽 .....	96
3.23	定义快捷键换层放 Via .....	96
3.24	系统默认快捷键 .....	96
3.25	文件类型介绍 .....	97
<b>第 4 章</b>	<b>焊盘知识及制作方法 .....</b>	<b>98</b>
4.1	元件知识 .....	98
4.2	元件开发工具 .....	99
4.3	元件制作流程和调用 .....	99
4.4	获取元件库的方式 .....	100
4.5	PCB 正片和负片 .....	100
4.6	焊盘的结构 .....	101
4.7	Thermal Relief 和 Anti Pad .....	103
4.8	Pad Designer .....	106
4.9	焊盘的命名规则 .....	109
4.10	SMD 表面贴装焊盘的制作 .....	112
4.11	通孔焊盘的制作 (正片) .....	114
4.12	制作 Flash Symbol .....	115
4.13	通孔焊盘的制作 (正负片) .....	117
4.14	DIP 元件引脚尺寸和焊盘尺寸的关系 .....	120
4.15	SMD 元件引脚尺寸和焊盘尺寸的关系 .....	121
4.16	SMD 分立元件引脚尺寸和焊盘尺寸的关系 .....	121
4.17	常用的过孔孔径和焊盘尺寸的关系 .....	122
4.18	实例: 安装孔或固定孔的制作 .....	122
4.19	实例: 自定义表面贴片焊盘 .....	124

4.20	实例: 制作空心焊盘 .....	128
4.21	实例: 不规则带通孔焊盘的制作 .....	129
<b>第5章</b>	<b>元件封装命名及封装制作 .....</b>	<b>133</b>
5.1	SMD 分立元件封装的命名方法 .....	133
5.2	SMD IC 芯片的命名方法 .....	134
5.3	插接元件的命名方法 .....	135
5.4	其他常用元件的命名方法 .....	137
5.5	元件库文件说明 .....	139
5.6	实例: 0603 电阻封装制作 .....	141
5.7	实例: LFBGA100 封装 .....	148
5.8	利用封装向导制作 msop8 封装 .....	155
5.9	实例: 插件电源插座封装制作 .....	160
5.10	实例: 圆形锅仔片封装制作 .....	170
5.11	实例: 花状固定孔的制作办法 .....	175
5.12	实例: LT3032 DE14MA 封装制作 .....	178
<b>第6章</b>	<b>电路板创建与设置 .....</b>	<b>184</b>
6.1	电路板的组成要素 .....	184
6.2	使用向导创建电路板 .....	185
6.3	手工创建电路板 .....	192
6.4	手工绘制电路板外框 Outline .....	195
6.5	板框倒角 .....	196
6.6	创建允许布线区域 Route Keepin .....	196
6.7	创建元件放置区域 Package Keepin .....	197
6.8	用 Z - Copy 创建 Route Keepin 和 Package Keepin .....	199
6.9	创建和添加安装孔或定位孔 .....	201
6.10	导入 DXF 板框 .....	203
6.11	尺寸标注 .....	205
6.12	Cross - section .....	209
6.13	设置叠层结构 .....	210
<b>第7章</b>	<b>Netlist 网络表解读及导入 .....</b>	<b>213</b>
7.1	网络表的作用 .....	213
7.2	网络表的导出, Allegro 方式 .....	213
7.3	Allegro 方式网络表解读 .....	216
7.4	网络表的导出, Other 方式 .....	218
7.5	Other 方式网络表解读 .....	219
7.6	Device 文件详解 .....	220
7.7	库路径加载 .....	223
7.8	Allegro 方式网络表导入 .....	224
7.9	Other 方式网络表导入 .....	226

7.10	网络表导入常见错误和解决办法 .....	228
<b>第8章</b>	<b>PCB 板的叠层与阻抗 .....</b>	<b>229</b>
8.1	PCB 层的构成 .....	229
8.2	合理确定 PCB 层数 .....	231
8.3	叠层设置的原则 .....	231
8.4	常用的层叠结构 .....	232
8.5	电路板的特性阻抗 .....	236
8.6	叠层结构的设置 .....	238
8.7	Cross Section 中的阻抗计算 .....	239
8.8	厂商的叠层与阻抗模板 .....	242
8.9	Polar SI9000 阻抗计算 .....	243
<b>第9章</b>	<b>电路板布局 .....</b>	<b>248</b>
9.1	PCB 布局要求 .....	248
9.1.1	可制造性设计 (DFM) .....	248
9.1.2	电气性能的实现 .....	249
9.1.3	合理的成本控制 .....	249
9.1.4	美观度 .....	249
9.2	布局的一般原则 .....	249
9.3	布局的准备工作 .....	253
9.4	手工摆放相关窗口的功能 .....	254
9.5	手工摆放元件 .....	259
9.6	元件摆放的常用操作 .....	261
9.6.1	移动元件 .....	261
9.6.2	移动 (Move) 命令中旋转元件 .....	264
9.6.3	尚未摆放时设置旋转 .....	266
9.6.4	修改默认元件摆放的旋转角度 .....	267
9.6.5	一次进行多个元件旋转 .....	267
9.6.6	镜像已经摆放的元件 .....	268
9.6.7	摆放过程中的镜像元件 .....	269
9.6.8	右键 Mirror 镜像元件 .....	270
9.6.9	默认元件摆放镜像 .....	270
9.6.10	元件对齐操作 .....	270
9.6.11	元件位置交换 Swap 命令 .....	271
9.6.12	Highlight 和 Dehighlight .....	272
9.7	Quick Place 窗口 .....	274
9.8	按 Room 摆放元件 .....	274
9.8.1	给元件赋 Room 属性 .....	275
9.8.2	按 Room 摆放元件 .....	277
9.9	原理图同步按 Room 摆放元件 .....	278
9.10	按照原理图页面摆放元件 .....	280



9.11	Capture 和 Allegro 的交互布局 .....	282
9.12	飞线 Rats 的显示和关闭 .....	284
9.13	SWAP Pin 和 Function 功能 .....	287
9.14	元件相关其他操作 .....	288
9.14.1	导出元件库 .....	288
9.14.2	更新元件 (Update Symbols) .....	289
9.14.3	元件布局的导出和导入 .....	290
9.15	焊盘 Pad 的更新、修改和替换 .....	291
9.15.1	更新焊盘命令 .....	291
9.15.2	编辑焊盘命令 .....	292
9.15.3	替换焊盘命令 .....	293
9.16	阵列过孔 (Via Arrays) .....	294
9.17	模块复用 .....	295
<b>第 10</b>	<b>章 Constraint Manager 约束规则设置</b> .....	<b>299</b>
10.1	约束管理器 (Constraint Manager) 介绍 .....	299
10.1.1	约束管理器的特点 .....	299
10.1.2	约束管理器界面介绍 .....	300
10.1.3	与网络有关的约束与规则 .....	303
10.1.4	物理和间距规则 .....	304
10.2	相关知识 .....	305
10.3	布线 DRC 及规则检测开关 .....	310
10.4	修改默认约束规则 .....	311
10.4.1	修改默认物理约束 Physical .....	311
10.4.2	修改过孔 Vias 约束规则 .....	314
10.4.3	修改默认间距约束 Spacing .....	315
10.4.4	修改默认同网络间距约束 Same Net Spacing .....	316
10.5	新建扩展约束规则及应用 .....	317
10.5.1	新建物理约束 Physical 及应用 .....	317
10.5.2	新建间距约束 Spacing 及应用 .....	318
10.5.3	新建同网络间距约束 Same Net Spacing 及应用 .....	320
10.6	Net Class 的相关应用 .....	323
10.6.1	新建 Net Class .....	323
10.6.2	Net Class 内的对象编辑 .....	325
10.6.3	对 Net Class 添加 Physical 约束 .....	328
10.6.4	Net Class 添加 Spacing 约束 .....	330
10.6.5	Net Class - Class 间距规则 .....	331
10.7	区域约束规则 .....	333
10.8	Net 属性 .....	336
10.9	DRC .....	338
10.10	电气规则 .....	338
10.11	电气布线约束规则及应用 .....	339

10.11.1	连接 (Wiring) 约束及应用 .....	339
10.11.2	过孔 (Vias) 约束及应用 .....	343
10.11.3	阻抗 (Impedance) 约束及应用 .....	344
10.11.4	最大/最小延迟或线长约束及应用 .....	346
10.11.5	总线长 (Total Etch Length) 约束及应用 .....	347
10.11.6	差分对约束及应用 .....	348
10.11.7	相对等长约束及应用 .....	351
<b>第 11 章</b>	<b>电路板布线 .....</b>	<b>356</b>
11.1	电路板基本布线原则 .....	356
11.1.1	电气连接原则 .....	356
11.1.2	安全载流原则 .....	361
11.1.3	电气绝缘原则 .....	362
11.1.4	可加工性原则 .....	362
11.1.5	热效应原则 .....	363
11.2	布线规划 .....	363
11.3	布线的常用命令及功能 .....	366
11.3.1	Add Connect 增加布线 .....	366
11.3.2	Add Connect 右键菜单 .....	372
11.3.3	调整布线命令 Slide .....	373
11.3.4	编辑拐角命令 Vertex .....	376
11.3.5	自定义走线平滑命令 Custom smooth .....	376
11.3.6	改变命令 Change .....	377
11.3.7	删除布线命令 Delete .....	378
11.3.8	剪切命令 Cut .....	379
11.3.9	延迟调整命令 Delay Tuning .....	380
11.3.10	元件扇出命令 Fanout .....	382
11.4	差分线的注意事项及布线 .....	386
11.4.1	差分线的要求 .....	386
11.4.2	差分线的约束 .....	386
11.4.3	差分线的布线 .....	388
11.5	群组的注意事项及布线 .....	390
11.5.1	群组布线的要求 .....	390
11.5.1	群组布线 .....	390
11.6	布线高级命令及功能 .....	393
11.6.1	Phase Tune 差分相位调整 .....	393
11.6.2	Auto - interactive Phase Tune 自动差分相位调整 .....	394
11.6.3	Auto Interactive Delay Tune 自动延迟调整 .....	396
11.6.4	Timing Vision 命令 .....	398
11.6.5	Snake mode 蛇形布线 .....	399
11.6.6	Scribble mode 草图模式 .....	399
11.6.7	Duplicate drill hole 过孔重叠检查 .....	400

11.7	布线优化 Gloss .....	400
11.8	时钟线要求和布线 .....	406
11.8.1	时钟线要求 .....	406
11.8.2	时钟线布线 .....	407
11.9	USB 接口设计建议 .....	407
11.9.1	电源和阻抗的要求 .....	408
11.9.2	布局与布线 .....	408
11.10	HDMI 接口设计建议 .....	410
11.11	NAND Flash 设计建议 .....	411
<b>第12</b>	<b>章 电源和地平面处理 .....</b>	<b>412</b>
12.1	电源和地处理的意义 .....	412
12.2	电源和地处理的基本原则 .....	413
12.2.1	载流能力 .....	413
12.2.2	电源通道和滤波 .....	415
12.2.3	分割线宽度 .....	415
12.3	内层铺铜 .....	416
12.4	内层分割 .....	418
12.5	外层铺铜 .....	423
12.6	编辑铜皮边界 .....	425
12.7	挖空铜皮 .....	425
12.8	铜皮赋予网络 .....	426
12.9	删除孤岛 .....	426
12.10	合并铜皮 .....	428
12.11	铜皮属性设置 .....	429
12.11.1	Shape fill 选项卡 .....	429
12.11.2	Void controls 选项卡 .....	430
12.11.3	Clearances 选项卡 .....	430
12.11.4	Thermal relief connects 选项卡 .....	431
<b>第13</b>	<b>章 制作和添加测试点与 MARK 点 .....</b>	<b>433</b>
13.1	测试点的要求 .....	433
13.2	测试点的制作 .....	433
13.2.1	启动工具 .....	433
13.2.2	设置测试点参数 .....	434
13.2.3	保存焊盘文件 .....	434
13.3	自动加入测试点 .....	435
13.3.1	选择命令 .....	435
13.3.2	Preferences 功能组的参数设置 .....	435
13.3.3	Padstack Selection 选项卡 (指定测试点) .....	438
13.3.4	Probe Types 选项卡 (探针的类型) .....	439
13.3.5	Testprep Automatic 自动添加测试点 .....	439

13.3.6	添加测试点 .....	440
13.3.7	查看测试点报告 .....	440
13.4	手动添加测试点 .....	441
13.4.1	手动添加测试点命令 .....	441
13.4.2	手动执行添加 .....	441
13.4.3	修改探针图形 .....	442
13.5	加入测试点的属性 .....	442
13.6	Mark 点制作规范 .....	444
13.7	Mark 点的制作与放置 .....	445
<b>第14章</b>	<b>元件重新编号与反标 .....</b>	<b>449</b>
14.1	部分元件重新编号 .....	449
14.2	整体元件重新编号 .....	452
14.3	用 PCB 文件反标 .....	453
14.4	使用 Allegro 网络表同步 .....	455
<b>第15章</b>	<b>丝印信息处理和 BMP 文件导入 .....</b>	<b>456</b>
15.1	丝印的基本要求 .....	456
15.2	字号参数调整 .....	456
15.3	丝印的相关层 .....	457
15.3.1	Components 元件属性显示 .....	457
15.3.2	Package Geometry 元件属性显示 .....	458
15.3.3	Board Geometry 丝印属性显示 .....	458
15.3.4	Manufacturing 丝印属性显示 .....	459
15.4	手工修改元件编号 .....	459
15.4.1	修改元件编号 方法1 .....	459
15.4.2	修改元件编号 方法2 .....	460
15.4.3	手工修改元件编号中出现的问题 .....	460
15.5	Auto Silkscreen 生成丝印 .....	461
15.5.1	打开 Auto Silkscreen 窗口 .....	461
15.5.2	设置参数 .....	462
15.5.3	执行命令 .....	462
15.6	手工调整和添加丝印 .....	463
15.6.1	统一丝印字号 .....	463
15.6.2	丝印位置调整 .....	464
15.6.3	翻板调整 Bottom 丝印 .....	465
15.6.4	丝印画框区分元件 .....	465
15.6.5	添加丝印文字 .....	466
15.7	丝印导入的相关处理 .....	467
15.7.1	增加中文字 .....	467
15.7.2	增加 Logo .....	469

<b>第 16 章</b>	<b>DRC 错误检查</b> .....	472
16.1	Display Status .....	472
16.1.1	执行命令弹出窗口 .....	472
16.1.2	Symbols and nets .....	472
16.1.3	Shapes 铜皮图形的状态显示 .....	473
16.1.4	Dynamic fill .....	474
16.1.5	DRCs 状态报告 .....	474
16.1.6	Statistics 统计的显示 .....	476
16.2	DRC 错误排除 .....	476
16.2.1	线到线的间距错误 .....	476
16.2.2	线宽的错误 .....	479
16.2.3	元件重叠的错误 .....	481
16.3	报告检查 .....	482
16.3.1	Reports 查看报告 .....	482
16.3.2	Quick Reports 查看报告 .....	482
16.3.3	Database Check .....	484
16.4	常见的 DRC 错误代码 .....	485
<b>第 17 章</b>	<b>Gerber 光绘文件输出</b> .....	489
17.1	Gerber 文件格式说明 .....	489
17.1.1	RS-274D .....	489
17.1.2	RS-274X .....	489
17.2	输出前的准备 .....	489
17.2.1	Design Parameters 检查 .....	490
17.2.2	铺铜参数检查 .....	490
17.2.3	层叠结构检查 .....	491
17.2.4	Status 窗口 DRC 的检查 .....	491
17.2.5	Database Check .....	492
17.2.6	设置输出文件的文件夹和路径 .....	492
17.3	生成钻孔数据 .....	492
17.3.1	钻孔参数的设置 .....	492
17.3.2	自动生成钻孔图形 .....	494
17.3.3	放置钻孔图和钻孔表 .....	495
17.3.4	生成钻孔文件 .....	497
17.3.5	生成 NC Route 文件 .....	499
17.4	生成叠层截面图 .....	500
17.5	Artwork 参数设置 .....	501
17.5.1	Film Control 选项卡 .....	501
17.5.2	General Parameters 选项卡 .....	503
17.6	底片操作与设置 .....	505
17.6.1	底片的增加操作 .....	505



17.6.2	底片的删除操作 .....	510
17.6.3	底片的修改操作 .....	510
17.6.4	设置底片选项 .....	511
17.7	光绘文件的输出和其他操作 .....	511
17.7.1	光绘范围 (Photoplot Outline) .....	511
17.7.2	生成 Gerber 文件 .....	511
17.7.3	经常会出现的两个警告 .....	513
17.7.4	向工厂提供文件 .....	513
17.7.5	Valor 检查所需文件 .....	513
17.7.6	SMT 所需坐标文件 .....	514
17.7.7	浏览光绘文件 .....	515
17.7.8	打印 PDF .....	515
<b>第18章</b>	<b>电路板设计中的高级技巧 .....</b>	<b>516</b>
18.1	团队合作设计 .....	516
18.1.1	团队合作设计流程 .....	516
18.1.2	使能 Team Design .....	516
18.1.3	创建设计区域 Create Partitions .....	517
18.1.4	查看划分区域 .....	519
18.1.5	接口规划 GuidePort .....	519
18.1.6	设计流程管理 .....	520
18.2	数据的导入和导出 .....	524
18.2.1	导出 Sub Drawing 文件 .....	524
18.2.2	导入 Sub Drawing 文件 .....	525
18.2.3	导出和导入丝印文件 .....	525
18.2.4	导出和导入 Tech File 文件 .....	527
18.3	电路板拼板 .....	528
18.3.1	测量电路板的尺寸 .....	528
18.3.2	使用 Copy 命令复制对象 .....	528
18.3.3	丝印编号的创建 .....	530
18.3.4	出现 DRC 错误的问题 .....	531
18.3.5	拼板增加工艺边 .....	531
18.3.6	拼板增加 Mark .....	532
18.4	设计锁定 .....	532
18.5	无焊盘功能 .....	533
18.6	模型导入和 3D 预览 .....	534
18.6.1	Step 模型库路径的设置 .....	535
18.6.2	Step 模型的关联 .....	536
18.6.3	实例调整 Step 位置关联 .....	537
18.6.4	关联板级 Step 模型 .....	539
18.6.5	3D 预览 .....	540
18.6.6	Step 导出 .....	541



18.7	可装配性检查	542
18.7.1	执行可装配性检查	542
18.7.2	可装配性的规则设置	542
18.7.3	检查元件间距	543
18.7.4	检查元件摆放	543
18.7.5	检查设计中的孔	544
18.7.6	检查焊盘的跨距轴向	544
18.7.7	检查测试点	544
18.7.8	检查和查找错误	544
18.8	跨分割检查	545
18.9	Shape 编辑模式	547
18.9.1	进入 Shape 编辑模式	547
18.9.2	Shape 编辑操作	548
18.10	新增的绘图命令	551
18.10.1	延伸线段 (Extend Segments)	551
18.10.2	修剪线段 (Trim Segments)	552
18.10.3	连接线 (Connect Lines)	552
18.10.4	添加平行线 (Add Parallel Line)	553
18.10.5	添加垂直线 (Add Perpendicular Line)	553
18.10.6	添加相切线 (Add Tangent Line)	553
18.10.7	画线删除 (Delete By Line)	553
18.10.8	画矩形删除 (Delete By Rectangle)	554
18.10.9	偏移复制 (Offset Copy)	554
18.10.10	偏移移动 (Offset Move)	554
18.10.11	相对复制 (Relative Copy)	554
18.10.12	相对移动 (Relative Move)	555

## 第 19 章 HDI 高密度板设计应用 556

19.1	HDI 高密度互连技术	556
19.1.1	HDI 高密度互连技术	556
19.1.2	HDI 高密度互连技术应用	556
19.2	通孔、盲孔、埋孔的选择	557
19.2.1	过孔	557
19.2.2	盲孔 (Blind Via)	557
19.2.3	埋孔 (Buried Via)	558
19.2.4	盲孔和埋孔的应用	558
19.2.5	高速 PCB 中的过孔	558
19.3	HDI 的分类	559
19.3.1	一阶 HDI 技术	559
19.3.2	二阶 HDI 技术	559
19.3.3	三阶 HDI 技术	560
19.3.4	任意阶的 HDI	560

19.3.5	多阶叠孔的 HDI .....	561
19.3.6	典型 HDI 结构 .....	561
19.4	HDI 设置及应用 .....	561
19.4.1	设置参数和叠层 .....	562
19.4.2	定义盲埋孔和应用 .....	562
19.4.3	盲埋孔设置约束规则 .....	565
19.4.4	盲埋孔的摆放使用 .....	565
19.4.5	盲埋孔常见错误与排除 .....	566
19.5	相关的设置和约束 .....	568
19.5.1	清除不用的堆叠过孔 .....	568
19.5.2	过孔和焊盘 DRC 模式 .....	568
19.5.3	Via - Via Line Fattening 命令 .....	569
19.5.4	Microvia 微孔 .....	570
19.5.5	BB Via Stagger .....	570
19.5.6	Pad - Pad Connect 命令 .....	571
19.5.7	Gerber 中去除未连接的过孔焊盘 .....	571
19.6	埋入式元件设置 .....	572
19.6.1	添加元件属性 .....	572
19.6.2	埋入式元件叠层设置 .....	572
19.6.3	摆放埋入式元件 .....	575
19.7	埋入式元件数据输出 .....	576
19.7.1	生成叠层截面图和钻孔图 .....	576
19.7.2	输出报告和 IPC - D - 356A 文件 .....	577
19.7.3	输出 Gerber 光绘文件 .....	578
<b>第 20 章</b>	<b>高速电路 DDR 内存 PCB 设计 .....</b>	<b>579</b>
20.1	DDR 内存相关知识 .....	579
20.1.1	DDR 芯片引脚功能 .....	579
20.1.2	DDR 存储阵列 .....	580
20.1.3	差分时钟 .....	580
20.1.4	DDR 重要的时序指标 .....	581
20.2	DDR 的拓扑结构 .....	585
20.2.1	T 形拓扑结构 .....	585
20.2.2	菊花链拓扑结构 .....	586
20.2.3	Fly - by 拓扑结构 .....	586
20.2.4	多片 DDR 拓扑结构 .....	587
20.3	DDR 的设计要求 .....	588
20.3.1	主电源 VDD 和 VDDQ .....	588
20.3.2	参考电源 VRF .....	589
20.3.3	端接技术 .....	589
20.3.4	用于匹配的电压 VTT .....	590
20.3.5	时钟电路 .....	591



20.3.6	数据 DQ 和 DQS	591
20.3.7	地址线和控制线	594
20.4	DDR 的设计规则	596
20.4.1	DDR 信号的分组	596
20.4.2	互连通路拓扑	596
20.4.3	布线长度匹配	597
20.4.4	阻抗、线宽和线距	599
20.4.5	信号组布线顺序	600
20.4.6	电源的处理	600
20.4.7	DDR 的布局	600
20.5	实例: DDR2 的 PCB 设计 (4 片 DDR)	603
20.5.1	元件的摆放	603
20.5.2	XNET 设置	604
20.5.3	设置叠层计算阻抗线	605
20.5.4	信号分组创建 Class	606
20.5.5	差分对建立约束	608
20.5.6	建立线宽、线距离约束	609
20.5.7	自定义 T 形拓扑	610
20.5.8	数据组相对等长约束	614
20.5.9	地址、控制组、时钟相对等长约束	615
20.5.10	布线的相关操作	617
20.6	实例: DDR3 的 PCB 设计 (4 片 DDR)	623
20.6.1	元件的摆放	623
20.6.2	信号分组创建 Class	625
20.6.3	差分对建立约束	626
20.6.4	建立线宽、线距离约束	627
20.6.5	自定义 Fly-by 拓扑	628
20.6.6	数据组相对等长约束	632
20.6.7	地址、控制组、时钟相对等长约束	633
20.6.8	走线规划和扇出	635
20.6.9	电源的处理	636
20.6.10	布线的相关操作	637
20.7	DDR 常见的布局、布线办法	639