

零点起步 系列丛书



零点起步 · Altera CPLD/FPGA

轻松入门与开发实例

◎ 薛冰 沈锋 凌欢 等编著

- 从零开始，轻松入门
- 图解案例，清晰直观
- 图文并茂，轻松入门
- 实例引导，清晰直观
- 学以致用，清晰直观



操作视频、电子教案、
示例文件和拓展资料



机械工业出版社
CHINA MACHINE PRESS



零点起步系列丛书

零点起步—Altera CPLD/FPGA 轻松入门与开发实例

薛冰 沈锋 凌欢 等编著



机械工业出版社

本书面向 FPGA 初中级读者,全书共分 11 章,较系统地介绍了可编程逻辑器件的结构原理以及 VHDL(超高速集成电路硬件描述语言)基础知识、语法结构和常用基本数字电路的例程,使读者能够轻松入门并巩固数字电路基础知识;详细分析了目前主流的可编程逻辑器件和开发工具,并介绍了逻辑电路设计过程中的一些基本问题 and 处理方法,以及如何在 Altera 公司的 CPLD/FPGA 芯片上运行 VHDL 程序,其中包含一些常用数字信号处理算法和接口控制器的设计实例;最后介绍基于 SOPC 的嵌入式设计的具体工作流程和设计方法,并结合实际工程设计,说明如何采用可编程逻辑器件实现典型的嵌入式系统。

本书内容翔实,讲解透彻,案例实用,能够使读者快速、全面地掌握 CPLD/FPGA 的基本开发方法。

本书既可作为各类培训学校的教材,也可作为工程技术人员及大中专院校相关专业师生的参考书。

图书在版编目(CIP)数据

零点起步: Altera CPLD/FPGA 轻松入门与开发实例/薛冰等编著. —北京:机械工业出版社, 2012. 2

(零点起步系列丛书)

ISBN 978-7-111-37245-5

I. ①零… II. ①薛… III. ①可编程序逻辑器件 IV. ①TP332. 1

中国版本图书馆 CIP 数据核字 (2012) 第 012421 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 郝建伟 牟桂玲

责任印制: 李 妍

北京富生印刷厂印刷

2012 年 4 月第 1 版·第 1 次印刷

184mm×260mm·23.5 印张·577 千字

0001—3500 册

标准书号: ISBN 978-7-111-37245-5

ISBN 978-7-89433-381-0 (光盘)

定价: 59.80 元 (含 1CD)

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心:(010)88361066

门户网:<http://www.cmpbook.com>

销售一部:(010)68326294

教材网:<http://www.cmpedu.com>

销售二部:(010)88379649

读者购书热线:(010)88379203

封面无防伪标均为盗版

前 言

基本内容

随着集成电路技术的进一步发展,各种仪器和仪表设备正向数字化、智能化的方向发展,可编程逻辑器件(PLD)具有成本低、使用灵活等特点,已经成为应用广泛的电路设计解决方案,应用范围遍及消费电子、汽车电子、通信和工业控制等领域。目前,世界上有数十家生产 CPLD/FPGA 的公司,其中最大的三家是 Altera、Xilinx 和 Lattice。鉴于目前较为全面介绍 CPLD/FPGA 产品以及开发工具的书籍较少,本书对 Altera 公司的主流芯片以及具体的软硬件开发过程都进行了详细的介绍,并列举了大量的工程设计实例,使读者通过本书能够系统、全面地了解 Altera 公司产品的特点以及开发设计方法,方便读者针对自己的设计选择合适的芯片进行开发与设计。

本书系统、全面地讲解了可编程逻辑器件(CPLD/FPGA)的基础知识。通过学习本书,读者能够对 CPLD/FPGA 有一个完整、系统的认识,掌握 Altera 公司主流产品的特点以及开发流程。本书紧扣“基础”,主要介绍与 CPLD/FPGA 相关的最常用的功能和最基本的操作,对于一些较难的内容和操作,不做过多介绍。

本书同时提供大量的工程实例,强调以“实例训练”为主,引导读者动手练习。这样的内容组织形式,不仅避免了枯燥的说明书式的内容讲解,还能够激发读者的操作热情,加深读者的感性认识。

本书选择了典型的数字信号处理算法以及常用的接口和控制器等作为设计实例,突出“实践应用”的观点。在实例的讲解上,注意阐述该类型问题的设计思想,以及分析解决问题的一般方法和设计思路,使学生在学时不仅知其然,而且也知其所以然。

本书所有的练习和实例都具有专业性和典型性,并详细讲解其操作步骤,使读者能够轻松地跟随学习,提高内容的可操作性、可读性和实用性。

本书选用目前主流的具有代表性的硬件芯片,不追求最新型号,但也对目前最新的芯片进行了介绍(因为可编程逻辑器件的更新换代速度非常快)。

全书共分为 11 章,各章具体内容如下。

- 第 1 章:概括地介绍了 EDA 技术,包括可编程逻辑器件的分类和原理、PLD 的设计开发以及 Altera 可编程逻辑器件等。
- 第 2 章:主要讲解了 VHDL 基础,包括程序基本结构、数据类型、表达式以及描述语句等。
- 第 3 章:主要讲解了 VHDL 程序设计,包括基本数字电路的 VHDL 描述以及有限状态机等。
- 第 4 章:主要讲解了 Altera 开发工具的使用,包括 Quartus II 集成开发环境介绍,以



及如何在 Altera CPLD/FPGA 中运行第一个程序等。

- 第5章：主要讲解了可编程逻辑设计的基本问题，包括可编程逻辑设计基本原则、常用设计思想与技巧，以及常见问题与处理方法等。
- 第6章：主要讲解了典型数字信号处理算法 FPGA 设计，包括坐标旋转数字式计算机 (CORDIC)、有限脉冲响应 (FIR) 数字滤波器、无限脉冲响应 (IIR) 数字滤波器以及快速傅里叶变换 (FFT) 等。
- 第7章：主要介绍了通用接口的 FPGA 设计，包括通用异步收发器 (UART)、CAN 总线控制器以及以太网控制器等。
- 第8章：主要介绍了基于 SOPC 的嵌入式系统设计，包括 Altera SOPC 技术及其设计开发流程、Nios II 处理器和外围标准设备以及 Avalon 总线等。
- 第9章：主要介绍了 SOPC 系统硬件开发，包括 SOPC 硬件系统开发流程以及 SOPC Builder 集成硬件开发环境介绍等。
- 第10章：主要介绍了 SOPC 系统软件开发，包括 SOPC 软件开发环境以及 Nios II IDE 等。
- 第11章：主要介绍 SOPC 系统的综合实例，通过介绍基于 Nios II 的 $\mu\text{C}/\text{OS-II}$ 应用实例，使读者熟练掌握 SOPC 系统开发。

本书特点

本书编者都是长期使用 Altera FPGA 芯片和开发工具进行教学、科研和实际生产工作的教师或工程师，有着丰富的教学和编著经验。在内容编排上，按照读者学习的一般规律，结合大量实例讲解操作步骤，使读者能够快速、真正地掌握 Altera FPGA 芯片和开发工具的使用。

具体地讲，本书具有以下鲜明特点：

- 从零开始，轻松入门。
- 图解案例，清晰直观。
- 图文并茂，操作简单。
- 实例引导，专业经典。
- 学以致用，注重实践。

读者对象

- 学习 FPGA 设计的初级读者。
- 具有一定 FPGA 基础知识、希望进一步深入掌握可编程逻辑器件设计的中级读者。
- 大中专院校电子专业的学生。
- 从事电子产品设计的工程技术人员。

本书既可作为院校电子专业的教材，也可作为读者自学的教程，还适合作为工程技术人员的参考手册。

配套光盘简介

为了方便读者学习，本书配套提供了资料光盘，其中包含了本书主要实例的源文件，这



些文件都被保存在与章节相对应的文件夹中。

注意：由于光盘上的文件都是只读的，因此直接修改这些文件是不行的。读者可以先将这些文件复制到硬盘上，取消文件的“只读”属性，然后再使用。

本书第1、2、3、8、10章由薛冰编写，第4、6、7、9、11章由沈锋编写，第5章由凌欢编写。参与本书编著工作的还有郑志、王欣、赵金龙、李玉兵、王志勋、宋一兵、管殿柱、王臣业等。

由于编者水平有限，加上时间仓促，书中错误和不妥之处在所难免，敬请广大读者不吝指正。网站地址：www.zerobook.net。联系信箱：gdz_zero@126.com。

编 者

目 录

前言

第 1 章 可编程逻辑器件概述	1
1.1 EDA 技术及其应用	1
1.2 可编程逻辑器件的分类及原理	3
1.2.1 EPLD 和 CPLD	3
1.2.2 FPGA	3
1.2.3 FPGA 与 CPLD 的比较	6
1.3 PLD 的设计开发	7
1.3.1 PLD 设计方法	7
1.3.2 PLD 设计流程	8
1.4 Altera 可编程逻辑器件	12
1.4.1 Stratix 系列	12
1.4.2 Arria 系列	21
1.4.3 Cyclone 系列	22
1.4.4 MAX 系列	29
1.5 思考与练习	33
第 2 章 VHDL 基础	34
2.1 VHDL 概述	34
2.1.1 硬件描述语言概述	34
2.1.2 VHDL 的特点及设计流程	35
2.2 VHDL 程序基本结构	37
2.2.1 实体	37
2.2.2 结构体	39
2.2.3 配置	45
2.2.4 程序包	46
2.3 VHDL 中的数据	48
2.3.1 标识符	49
2.3.2 数据对象	49
2.3.3 数据类型	54
2.4 VHDL 中的表达式	60



2.5 VHDL 描述语句	64
2.5.1 顺序描述语句	64
2.5.2 并行描述语句	78
2.6 思考与练习	80
第3章 VHDL 程序设计	81
3.1 基本数字电路的 VHDL 描述	81
3.1.1 基本逻辑门电路	81
3.1.2 编码器和译码器电路	85
3.1.3 数据选择器	90
3.1.4 加法器	91
3.1.5 乘法器	93
3.1.6 触发器电路	95
3.1.7 寄存器电路	102
3.1.8 计数器电路	108
3.1.9 存储器	115
3.2 有限状态机	116
3.2.1 有限状态机的基本描述	116
3.2.2 有限状态机状态编码方式	117
3.2.3 有限状态机的输出和复位	122
3.3 应用实例——表决器、双口 RAM 的读取	126
3.4 思考与练习	127
第4章 Altera 开发工具的使用	128
4.1 Quartus II 集成开发环境	128
4.1.1 概述	128
4.1.2 Quartus II 的安装	129
4.1.3 Quartus II 10.0 图形用户界面	132
4.1.4 设计输入	135
4.1.5 对设计工程进行设置和约束	138
4.1.6 设计综合	141
4.1.7 布局布线	144
4.1.8 仿真	149
4.1.9 时序分析	151
4.1.10 编程与配置	157
4.2 在 Altera CPLD/FPGA 中运行第一个程序	161
4.2.1 实验目的、环境及实验原理	162
4.2.2 实验步骤	162
4.3 应用实例——MAX II 内嵌 UFM 模块的使用	164



4.3.1 实验目的、环境及实验原理	165
4.3.2 实验步骤	165
4.4 思考与练习	169
第5章 可编程逻辑设计的基本问题	170
5.1 可编程逻辑设计基本原则	170
5.1.1 面向硬件原则	170
5.1.2 系统性原则	170
5.1.3 面积与速度之间的互换关系	172
5.1.4 同步设计原则	172
5.2 常用设计思想与技巧	172
5.2.1 串并转换	173
5.2.2 应用实例——RS232 数据串并转换	173
5.2.3 乒乓操作	174
5.2.4 流水线操作	175
5.3 常见问题及处理方法	180
5.3.1 竞争冒险产生的原因和解决方法	180
5.3.2 时钟设计常见问题和解决方法	181
5.3.3 建立和保持时间的处理方法	182
5.4 应用实例——利用 FIFO 缓存器做高速缓存	182
5.5 思考与练习	188
第6章 典型数字信号处理算法 FPGA 设计	189
6.1 坐标旋转数字计算机	189
6.1.1 CORDIC 算法原理	189
6.1.2 CORDIC 算法结构	193
6.1.3 CORDIC 算法设计	195
6.1.4 程序分析及设计	197
6.2 有限脉冲响应数字滤波器	197
6.2.1 FIR 数字滤波器原理	197
6.2.2 FIR 数字滤波器程序设计	200
6.2.3 程序分析及设计	202
6.3 无限脉冲响应数字滤波器	202
6.3.1 IIR 数字滤波器原理	202
6.3.2 IIR 数字滤波器程序设计	204
6.3.3 程序分析及设计	206
6.4 快速傅里叶变换	206
6.4.1 FFT 算法原理	207
6.4.2 FFT 程序设计	208



6.4.3 程序分析及设计	209
6.5 思考与练习	209
第7章 通用接口的FPGA设计	210
7.1 通用异步收发器	210
7.1.1 UART功能简介	210
7.1.2 UART实现结构	211
7.1.3 UART程序设计	211
7.2 CAN总线控制器	219
7.2.1 CAN总线协议概述	219
7.2.2 CAN通信控制器实现框架	221
7.2.3 CAN通信控制器程序设计	223
7.3 以太网控制器	226
7.3.1 以太网基本原理	227
7.3.2 以太网控制器实现框架	228
7.3.3 以太网控制器程序设计	229
7.4 应用实例——双UART设计	236
7.5 思考与练习	238
第8章 基于SOPC的嵌入式系统设计	239
8.1 Altera SOPC技术及其设计开发流程	239
8.1.1 SOPC技术简介	239
8.1.2 SOPC Builder使用	240
8.1.3 SOPC设计开发流程	243
8.2 Nios II处理器	244
8.3 Avalon总线	246
8.3.1 Avalon总线的特点	247
8.3.2 Avalon总线信号	248
8.4 Nios II外围标准设备	251
8.4.1 SDRAM控制器	251
8.4.2 CFI控制器	256
8.4.3 EPCS控制器	258
8.4.4 并行输入/输出控制器	260
8.4.5 定时器控制器	262
8.4.6 UART核	265
8.4.7 JTAG UART核	268
8.4.8 SPI核	273
8.4.9 DMA控制器	275
8.4.10 PLL核	277



8.5	自定制用户外设	280
8.6	基于 Nios II 系统开发实例	281
8.7	思考与练习	288
第 9 章	SOPC 硬件开发	289
9.1	基于 Nios II 的 SOPC 硬件系统开发流程	289
9.2	SOPC Builder 硬件开发环境介绍	291
9.2.1	SOPC Builder 的功能	291
9.2.2	SOPC Builder 的组成	292
9.3	应用实例	295
9.3.1	创建一个 Quartus II 工程	295
9.3.2	使用 SOPC Builder 创建 Nios II 系统模块	297
9.3.3	添加 CPU 及外设 IP 模块	298
9.3.4	集成 Nios II 系统到 Quartus II 工程	305
9.3.5	设置编译选项并进行工程编译	310
9.3.6	将设计下载到目标 FPGA 中	312
9.4	思考与练习	313
第 10 章	SOPC 软件开发	314
10.1	SOPC 软件开发环境概述	314
10.1.1	Nios II 指令系统介绍	314
10.1.2	Nios II 处理器运行模式	317
10.2	Nios II IDE	318
10.3	硬件抽象层系统库	320
10.3.1	HAL 系统库的功能	321
10.3.2	使用 HAL 开发应用程序	321
10.4	应用实例	324
10.4.1	使用 Nios II IDE 建立用户程序	324
10.4.2	创建一个新的 C/C++ 应用工程	326
10.4.3	设置工程系统库属性和编译选项	327
10.4.4	编译连接工程	329
10.4.5	对程序进行运行调试	331
10.4.6	使用 Flash Programmer 下载	332
10.5	思考与练习	333
第 11 章	基于 Nios II 的 μ C/OS - II 应用	334
11.1	μ C/OS - II 操作系统简介	334
11.2	基于 Nios II 的 μ C/OS - II 实验	335
11.2.1	系统结构图	335



11.2.2 SOPC 系统的创建	336
11.2.3 基于 Nios II 软核处理器的软件	353
11.2.4 测试硬件设计	355
11.2.5 编写 $\mu\text{C}/\text{OS} - \text{II}$ 的多任务控制程序	357
11.3 总结	360
11.4 思考与练习	360
参考文献	361

第 1 章

可编程逻辑器件概述

可编程逻辑器件 (Programmable Logic Device, PLD) 起源于 20 世纪 70 年代, 是在专用集成电路 (Application Specific Integrated Circuit, ASIC) 的基础上发展起来的一种新型逻辑器件, 是当今数字系统设计的主要平台。其主要特点是完全由用户通过软件进行配置和编程, 从而完成特定的功能, 并且可以反复擦写。

本章首先对电子设计自动化 (Electronic Design Automation, EDA) 技术及其应用进行介绍, 然后给出可编程逻辑器件的分类及原理, 进而简要介绍可编程逻辑器件的设计方法及流程, 最后详细介绍 Altera 可编程逻辑器件。

本章要点:

- EDA 技术及其应用。
- 可编程逻辑器件分类及原理。
- PLD 的设计方法及流程。
- Altera 可编程逻辑器件介绍。

1.1 EDA 技术及其应用

微电子技术的进步主要表现在大规模集成电路加工技术即半导体工艺技术的发展上, 表征半导体工艺水平的线宽已经达到了 45 nm, 并且还在不断地缩小; 而在硅片单位面积上, 则集成了更多的晶体管。集成电路设计正在不断地向超大规模、极低功耗和超高速的方向发展, ASIC 的设计成本不断降低, 在功能上, 现代的集成电路已能够实现单片电子系统 (System On a Chip, SOC)。

现代电子设计技术的核心已日趋转向基于计算机的 EDA 技术。EDA 技术就是依赖功能强大的计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 (Hardware Description Language, HDL) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试, 直至实现既定的电子线路系统功能。EDA 技术使设计者的工作仅限于利用软件的方式, 即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现, 这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA (Field Programmable Gate Array) /CPLD (Complex Programmable Logic Device) 编程下载和自动测试等技术; 在计算机辅助工程方面, 融合了计算机辅助设计 (CAD)、计



算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念;而在现代电子学方面,则容纳了更多的内容,如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术以及高频的长线技术理论等。因此,EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容及与电子技术各学科领域的相关性,其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件,以及电子设计技术和工艺的发展是同步的。

20 世纪 70 年代,在集成电路制作方面,MOS 工艺得到广泛应用;可编程逻辑技术及其器件的问世,使计算机作为一种运算工具广泛应用于科研领域。而在后期,CAD 的概念已见雏形,这一阶段人们开始利用计算机取代手工劳动,辅助进行集成电路版图编辑、PCB 布局布线等工作。

20 世纪 80 年代,集成电路设计进入了 CMOS (互补场效应晶体管) 时代,复杂可编程逻辑器件进入商业应用,相应的辅助设计软件投入使用;在 80 年代末,出现了 FPGA;CAE 和 CAD 技术的应用更为广泛,它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析,以及逻辑设计、逻辑仿真、布尔函数综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步,为电子设计自动化必须解决的电路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代,随着硬件描述语言标准化的进一步确立,计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时,电子技术在通信、计算机及家电产品生产中的市场需求和技术需求,极大地推动了全新的电子设计自动化技术的应用和发展,特别是集成电路设计工艺步入了超深亚微米阶段,百万门以上的大规模可编程逻辑器件的陆续面世,以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用,促进了 EDA 技术的形成。更为重要的是,各 EDA 公司致力于兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的研究和应用推广,更有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后,得到了更大的发展,突出表现在以下方面:

- 在 FPGA 上实现 DSP (数字信号处理) 应用成为可能。用纯数字逻辑进行 DSP 模块的设计,使高速 DSP 实现成为现实,并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟,使 SOPC (System On a Programmable Chip, 可编程片上系统) 步入大规模应用阶段,在一片 FPGA 上实现一个完备的数字处理系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- 电子技术领域全方位融入 EDA 技术,除了日益成熟的数字技术外,传统的电路系统设计建模理念发生了重大的变化,如软件无线电技术的崛起,模拟电路系统硬件描述语言的表达和设计的标准化,系统可编程模拟器件的出现,数字信号处理和图像处理的全硬件实现方案的普遍接受,以及软硬件技术的进一步融合等。
- EDA 使电子领域各学科的界限更加模糊,更加互为包容,如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP (Intellectual Property) 核在电子产业的产业领域广泛应用。



- SOC 高效低成本设计技术的成熟。系统级、行为验证级硬件描述语言的出现（如 System C），使复杂电子系统的设计和验证趋于简单。

1.2 可编程逻辑器件的分类及原理

可编程逻辑器件根据集成密度可分为低密度可编程逻辑器件（LDPLD）和高密度可编程逻辑器件（HDPLD）两类。LDPLD 主要是指早期发展起来的 PLD，包括 PROM、PLA、PAL 和 GAL 等 4 种，其集成密度一般小于 700 门/片，这里的门指 PLD 等效门。HDPLD 包括 EPLD、CPLD 和 FPGA 等 3 种，其集成密度大于 700 门/片。随着集成工艺的发展，HDPLD 的集成密度不断增加，性能不断提高，目前集成度最高的 HDPLD 可达数百万门/片。

可编程逻辑器件根据编程方式分为两类：一类是一次性编程（One Time Programmable, OTP）器件；另一类是可多次编程器件。OTP 器件只允许对器件编程一次，编程后不能修改，其优点是集成度高、工作频率和可靠性高、抗干扰性强。可多次编程器件的优点是可多次修改设计，特别适合于系统样机的研制。

目前，常用的可编程逻辑器件都是从与或阵列和门阵列发展起来的，所以可以从结构上将其分为两大类：一类是阵列型 PLD，另一类是现场可编程门阵列 FPGA。阵列型 PLD 的基本结构由与阵列和或阵列组成。简单 PLD（PROM、PLA、PAL 和 GAL）、EPLD 和 CPLD 都属于阵列型 PLD。

1.2.1 EPLD 和 CPLD

可擦除可编程逻辑器件（Erasable PLD, EPLD）是 Altera 公司推出的基于 E^2 CMOS 编程工艺的 PLD，其基本逻辑单元是宏单元。宏单元由可编程的与或阵列、可编程寄存器和可编程 I/O 三部分组成。从某种意义上讲，EPLD 是改进的 GAL。EPLD 在 GAL 基础上大量增加宏单元的数目，提供更大的与阵列，灵活性比 GAL 有较大改善，集成密度大幅度提高，内部连线相对固定，延时小，有利于器件在高频下工作，但内部互连能力相对较弱。

复杂可编程逻辑器件（Complex PLD, CPLD）是在 20 世纪 80 年代末 Lattice 公司提出系统可编程（In System Programmability, ISP）技术以后，于 90 年代初出现的。它是在 EPLD 的基础上发展起来的，采用 E^2 CMOS 工艺。与 EPLD 相比，CPLD 增加了内部连线，对逻辑宏单元和 I/O 单元也有重大的改进，其典型器件有 Altera 的 MAX7000 系列，Xilinx 的 XC7000 和 XC9500 系列，Lattice 的 ispLSI 系列和 AMD 的 MACH 系列。

1.2.2 FPGA

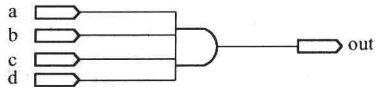
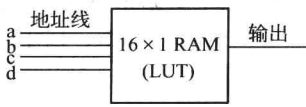
现场可编程门阵列（Field Programmable Gate Array, FPGA）是 Xilinx 公司于 1985 年推出的，采用 CMOS-SRAM 编程工艺，其内部由可构造逻辑模块（CLB）、可构造输入/输出块（IOB）和可编程互连资源（IR）组成，具有集成密度高、编程速度快、设计灵活及可再配置等特点。FPGA 采用查找表（Look-Up-Table, LUT）结构，如 Altera 的 ACEX、APEX 系列，Xilinx 的 Spartan、Virtex 系列等。

LUT 本质上就是一个 RAM。目前，FPGA 中多使用 4 输入的 LUT，所以每一个 LUT 可以看做是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 描述了一个逻辑电路



以后, PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果, 并把结果事先写入 RAM, 这样每输入一个信号进行逻辑运算就等于输入一个地址进行查表, 找出地址对应的内容, 然后输出即可。下面是一个 4 输入与门的例子, 见表 1-1。

表 1-1 一个 4 输入与门的例子

实际逻辑电路		LUT 的实现方式	
			
a、b、c、d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
...	0	...	0
1111	1	1111	1

Xilinx Spartan - II 的内部结构如图 1-1 所示。

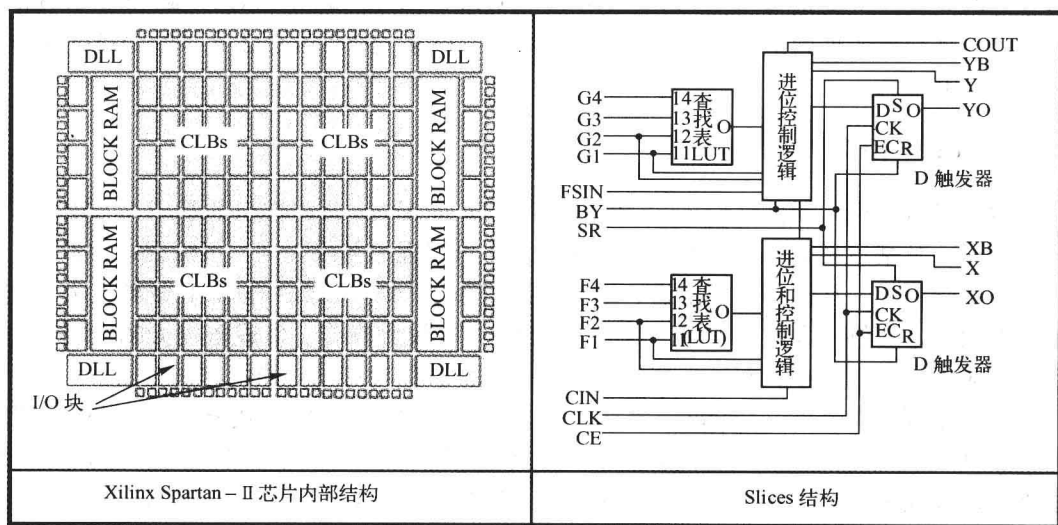


图 1-1 Xilinx Spartan - II 内部结构图

Spartan - II 主要包括 CLBs、I/O 块、RAM 块和可编程连线 (未表示出)。在 Spartan - II 中, 一个 CLB 包括两个 Slices, 每个 Slices 又包括两个 LUT、两个触发器和相关逻辑。Slices 可以看做是 Spartan - II 实现逻辑的最基本结构 (Xilinx 其他系列, 如 SpartanXL、Virtex 的结构与此稍有不同, 具体请参阅数据手册), Altera 的 FLEX/ACEX 等芯片的内部结构如图 1-2 和图 1-3 所示。

FLEX/ACEX 的结构主要包括 LAB、I/O 块、RAM 块 (未表示出) 和可编程行/列连线。在 FLEX/ACEX 中, 一个 LAB 包括 8 个逻辑单元 (LE), 每个 LE 包括一个 LUT、一个触发器和相关的相关逻辑。LE 是 FLEX/ACEX 芯片实现逻辑的最基本结构 (Altera 其他系列, 如 APEX 的结构与此基本相同, 具体请参阅数据手册)。

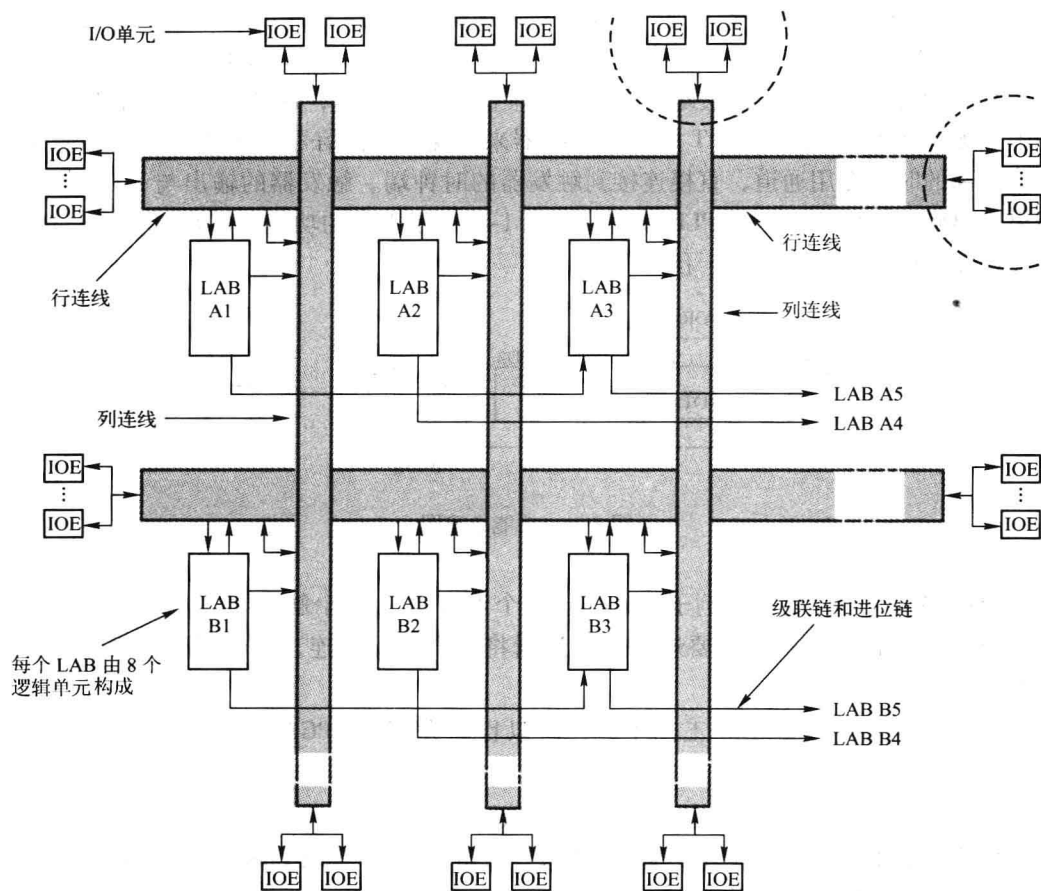


图 1-2 Altera 的 FLEX/ACEX 等芯片的内部结构

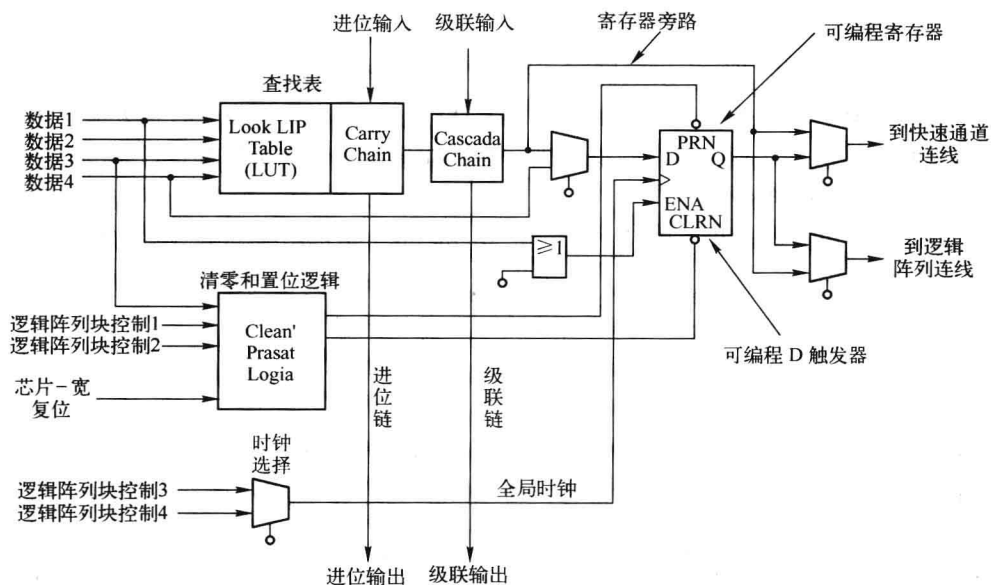


图 1-3 逻辑单元的内部结构