



国际信息工程先进技术译丛

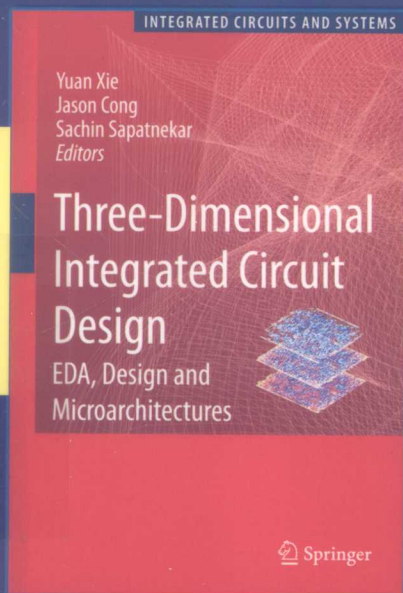


Springer

3D集成电路设计—— EDA、设计和微体系结构

Three-Dimensional Integrated Circuit Design:
EDA, Design and Microarchitectures

[美] 谢源 (Yuan Xie) 主编
丛京生 (Jason Cong)
萨丁·斯巴肯纳 (Sachin Sapatnekar)
侯立刚 汪金辉 宫娜 等译



◎DAPRA微系统技术办公室Michael Fritze博士热情推荐

◎多位IEEE会士联合创作

◎3D集成电路饕餮盛宴



机械工业出版社
CHINA MACHINE PRESS

国际信息工程先进技术译丛

3D 集成电路设计——EDA、 设计和微体系结构

谢 源 (Yuan Xie)

[美] 丛京生 (Jason Cong)

萨丁·斯巴肯纳 (Sachin Sapatnekar)

侯立刚 汪金辉 宫 娜

主编

等译



机械工业出版社

Translation from English language edition:
Three-Dimensional Integrated Circuit Design
By Yuan Xie, Jason Cong and Sachin Sapatnekar
Copyright © 2010 Springer US
Springer US is a part of Springer Science + Business Media
All Rights Reserved

This title is published in China by China Machine Press with license from the Springer. This edition is authorized for sale in China only, excluding Hong Kong SAR, Macao SAR and Taiwan. Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.

本书由 Springer 授权机械工业出版社在中国大陆地区（不包括香港、澳门特别行政区以及台湾地区）出版与发行。未经许可之出口，视为违反著作权法，将受法律之制裁。

北京市版权局著作权合同登记 图字：01-2012-5077 号

图书在版编目（CIP）数据

3D 集成电路设计：EDA、设计和微体系结构/（美）谢源，（美）丛京生，（美）斯巴肯纳（Sapatnekar, S.）主编；侯立刚等译. —北京：机械工业出版社，2016.1

（国际信息工程先进技术译丛）

书名原文：Three-Dimensional Integrated Circuit Design: EDA, Design and Microarchitectures

ISBN 978-7-111-52605-6

I. ①3… II. ①谢…②丛…③斯…④侯… III. ①集成电路 - 电路设计
IV. ①TN402

中国版本图书馆 CIP 数据核字（2016）第 001739 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）

策划编辑：任 鑫 责任编辑：任 鑫

责任校对：肖 琳 封面设计：马精明

责任印制：乔 宇

北京中兴印刷有限公司印刷

2016 年 4 月第 1 版第 1 次印刷

169mm × 239mm · 15.5 印张 · 319 千字

0001—2500 册

标准书号：ISBN 978-7-111-52605-6

定价：79.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务

服务咨询热线：010-88361066

读者购书热线：010-68326294

010-88379203

封面防伪标均为盗版

网络服务

机工官网：www.cmpbook.com

机工官博：weibo.com/cmp1952

金书网：www.golden-book.com

教育服务网：www.cmpedu.com

本书全面地介绍了 3D 集成电路设计相关的前沿技术，章节之间有侧重也有联系。第 1 章首先通过处理器与存储器速度差异造成的访问速度问题，引入了 3D 集成电路产生的原因和存在的问题。第 2 章介绍了 3D 集成电路制造相关的基本工艺问题。针对 3D 集成电路远比平面集成电路严重的散热问题，在第 3 章总结了相关的热分析和电源传输设计方法，简述了解决相关瓶颈问题的方案。随后，本书走向设计层面，在第 4 章介绍了带有 2D 块和 3D 块的 3D 布局规划算法。在第 5 章介绍了几种基于热分析的 3D 全局布局技术，并通过实验结果比较了多种 3D 布局技术。第 6 章针对的是 3D 集成电路的布线，介绍了基于热分析的 3D 布线和热通孔插入技术。第 7 章介绍了重排传统的 2D 微处理器模块的方法，对不同设计技术、方法进行了讨论。接下来，本书继续提升设计层次，在第 8 章讨论了 3D NoC 的设计，包括多种网络拓扑结构和 3D 片上路由器设计。第 9 章介绍了高能效服务器设计的 3D 架构研究。最后，第 10 章对 3D 集成电路技术潜在的成本优势进行了系统级分析与设计探索。

本书可作为 3D 集成电路相关研究人员、工程技术人员的参考用书，也可作为高等院校相关专业高年级本科生和研究生的教材和参考书。

译者序

本书的作者都是3D集成电路研究领域的专家，Yuan Xie教授就职于加利福尼亚大学圣巴巴拉分校（University of California at Santa Barbara）。由于他在3D集成电路架构和设计自动化上的突出贡献，在2015年获选美国电气与电子工程师协会会士（IEEE Fellow）。Jason Cong教授现为加利福尼亚大学洛杉矶分校（University of California, Los Angeles, UCLA）计算机系教授，系主任，北京大学客座教授。他于2001年获选美国电气与电子工程师协会会士（IEEE Fellow）。Sachin Sapatnekar教授在明尼苏达大学就职，曾任IEEE transaction of CAD主编，美国电气与电子工程师协会会士（IEEE Fellow）。相信本书的出版，可以把几位会士对3D集成电路设计的真知灼见带给读者。

在对集成电路发展高度重视的时代，国家要进步离不开对最新技术的关注。3D集成电路作为集成电路行业中最有潜力的新技术之一，其研究成果很值得我们学习。本书从3D集成电路的制作工艺到设计、热分析乃至服务器架构，全面地介绍了3D集成电路相关的新技术，非常难得。在感谢原作者杰出工作的同时，也必须感谢机械工业出版社慧眼拾真，为我们大家引荐了本书。

本书得以完成，是大家努力的成果。侯立刚负责翻译了其中第1、3、4、5、6、8章，汪金辉、官娜老师翻译了第2、7章，付婧妍翻译了第9章，王中超翻译了第10章。侯立刚、付婧妍、王中超负责了全书的统稿工作。在翻译的工程中，也得到了同事和家人的大力支持，在此一并表示感谢！

另外，本书的出版过程中，还得到了机械工业出版社的大力帮助，特此表示衷心的感谢。

特别需要说明的是，本书的翻译得到了北京市教委面上项目（JC002999201401）和北京市“青年英才”计划的资助。

由于本书内容丰富，在3D集成电路领域中有很多创见，其中许多词汇并没有确切的中文与之对应，这为本书的翻译增加了不少难度。尽管译者一直认真思考，仔细求证，但难免还会存在错误疏漏，恳请广大读者批评指正。译者联系方式为houligang@bjut.edu.cn。

侯立刚

原 书 序

我们生活在一个大变革的时代，就像摩尔定律描述的那样，电子世界最近的几十年见证了前所未有的成长和进步。摩尔定律预测晶体管的集成度每 1.5~2 年翻一番。与此同时，单个器件的性能同步提升，功耗同步减小，这也让集成电路的总功耗保持可控。没有趋势可以永远持续，不幸的是摩尔定律正要面对这一现状。

几年前当 CMOS 器件不再能继续沿着以往的规律按比例缩小时，困难就出现了。像栅氧化层厚度等关键器件参数已经无法简单地按比例缩小了。结果，器件的关断电流开始以惊人的比率飙升。这些传统的按比例缩小技术的连续问题致使集成电路时钟频率降到几 GHz 的范围以内。当然，芯片可以选更高的时钟频率，但那样热问题将无法控制。这引发了近期处理器的多核趋势，让每个处理器核最多工作在几 GHz。这样做的目标是不再通过提升速度提高整体性能，而是通过增加更多的处理器核来增加并行处理能力以实现性能提升。存在的挑战是确保通用代码可以有效地并行化。

另一个提升 CMOS 工艺性能的潜在解决方案是，3D 集成电路（3D IC）。通过在垂直方向实现多个有源“层”的工艺，益处显著。全局线网将大大缩短，互连带宽将大大提升，延迟将显著减小。大量的低延迟缓存将被应用，智能物理设计将协助减轻热和电源传输的热点。三维集成电路工艺为保持摩尔定律预计的进展提供了可实现的路径，而且不需要传统的按比例缩小。这是未来的一个至关重要的机会。

美国国防部先进研究项目局（DAPRA）在许多年前就意识到 3D IC 工艺的重要性，并对于此领域中具有军用相关性和应用潜质的项目进行了仔细的筛选和资助。这种工艺也有许多潜在的商业价值。针对智能成像器、异质 3D 集成堆叠和数字性能提升，DAPRA 的微系统技术办公室近年启动了一系列基于 3D IC 的项目。本书中很多章节的研究结果是由 DAPRA 在 3D IC 领域赞助的推动下实现的。

3D 集成电路技术现在尚处于早期阶段，有些工艺刚刚实现而更多的正在开发过程中。然而，它的潜力如此之大以至于一个专注的团队已经开始认真研究和 3D IC 相关的 EDA、设计以及架构问题，这些研究均已在本书中详细总结。第 1 章由来自 IBM 公司，对设计和工艺均很擅长的专家很好地介绍了这个领域。第 2 章由来自 IBM 公司的工艺研究者提供了精彩的 3D IC 关键工艺总结，必将使任何设计者和架构工程师受益。第 3~6 章由加利福尼亚大学洛杉矶分校（UCLA）和明尼苏达大学的研究者阐述了 3D IC 设计自动化（EDA）的重要问题。这些章节所涉及的关键问题包括热、电气和布局的管理方法，其挑战是在建模和物理设计流程期间的

一个多层电子堆栈。第7~9章介绍了3D设计问题,包括由佐治亚理工学院的专家介绍的3D处理器设计,由宾夕法尼亚州立大学的专家介绍的3D片上网络(NoC)架构,以及由密歇根大学和英特尔公司的专家介绍的能效服务器设计的3D架构研究。本书最后由宾夕法尼亚州立大学的专家介绍了对3D IC技术潜在成本优势的系统级分析。

像我前面提到的,我们生活在一个大变革的时代。这些变化让人惊惧,因为像摩尔定律这种长期证明的预测和规律不再有效了。然而挑战的时刻也是尝试新想法的绝佳机会。

3D集成电路技术就是这样一个新想法。本书将成为重要的先锋角色,引领研究人员和集成电路工艺进入这一全新的领域。

DARPA 微系统技术办公室

Michael Fritze 博士, 于弗吉尼亚州阿灵顿, 2009年3月

原 书 前 言

对于一个观察者来说，纽约市在集成电路设计人员心目中有一个特殊的位置。曼哈顿结构，模仿了著名的街区和街道，常规应用于物理设计：在此范例下，所有的形状被拆分成矩形，每条线网都垂直或平行于其他线网。3D 集成电路的出现将这一规律扩展到曼哈顿的另一个显著特点，即它的摩天大楼，原因是 IC 向上搭建，有源器件层堆叠在一起。更准确地说，不再像传统的 2D IC 工艺仅有一个带有有源器件层的衬底和此层之上的几层互连线，3D IC 将多个芯片层堆叠在一起。这提升了硅实际空间的利用率，并使在堆叠中使用高效的通信结构（就像摩天大楼的电梯）成为可能。

从主流的 2D 规范到 3D 显然不是一小步：在不止一个方面，这种改变都增加了一个新的 IC 设计维度。三维设计需要创新的工艺和制造技术来可靠地、经济地将多层电路堆叠在一起，需要设计方法从电路层次到架构层次均能充分利用 3D 的优势，需要计算机辅助设计（CAD）技术能在设计的所有阶段分析和优化电路。在之前的几年中，随着 3D 工艺技术逐步成熟，3D 集成电路已经实现，该领域已经引起了研究关注的大爆发。本书的目的就是捕捉当前最先进的技术并向读者综合地介绍当前制造工艺、设计方法、计算机辅助设计（CAD）技术的进展。本书的一部分内容由该领域最前沿的研究构成，细致探讨了设计 3D 集成电路的挑战与机遇。

3D 集成电路的历史要向前追溯很多年，最早可追溯到几十年前日本政府资助的一个重要研究项目。只是在最近几年，3D 集成电路才吸引了关注，如今被认为是一种可实现的选项。时至今日，主要的半导体工业巨头们都在该领域投入了大量的资源。因此，3D 技术正处在一个出现重大飞跃的平衡点上。该技术的内容和动机在第 1 章中介绍。

3D 集成电路覆盖领域广，现有的多种 3D 技术为成本和性能的折中提供了广阔的空间。这包括多个芯片置于一个衬底上的硅基类工艺，中间层间距为数百微米量级的晶圆级堆叠，以及中间层间距为数十微米量级的薄芯片/晶圆堆叠。前两者的优点是可以实现紧密封装和更高层的集成，缺点是常常造成层间通信的大量性能开销。最后一种，拥有更小的层间距，不仅增加了集成层数，而且利用了能实际显著改善等效 2D 实现的新结构。这样先进的技术是本书的重点，此类技术的前沿示例在第 2 章中有详细阐述。

在构建 3D 结构的过程中，大量的问题需要 CAD 工具和设计技术解决。从 2D 到 3D 的变化基本上属于拓扑结构的变化，因此为 3D 芯片设计布局规划、布局及

布线工具是非常重要的。此外，3D 芯片单位尺寸内比对应的 2D 芯片需要更大量的电流，导致了严重的热和电源传输的瓶颈。用于 3D 的任何物理设计系统必须包含热分析部分，并且必须关注电源传输网络的构建问题。所有这些问题在第 3~6 章中着重进行了说明。

在系统层次方面，3D 架构可用于构建新结构。对于传感器芯片，传感器可以置于顶层，模拟放大器置于其下，数字信号处理电路再下一层。这种思路已经在概念和实现层次上应用于图像传感器和天线阵列了。对于处理器设计，3D 结构使存储器可以堆叠在处理器之上，从而允许两者间高速的通信，这将解决此类系统中最主要的一个性能瓶颈。第 7~9 章讨论了几个系统设计的例子。最后，第 10 章给出了一种 3D 电路成本分析的方法。

我们希望本书能带给读者当前 3D IC 设计的整体状况和该技术未来的展望。

Sachin Sapatnekar

目 录

译者序

原书序

原书前言

第 1 章 介绍	1
参考文献	11
第 2 章 3D 集成电路工艺考量	12
2.1 介绍	12
2.2 背景：3D 集成技术的初期需求	13
2.3 影响 3D 设计艺术状态的工艺因素	14
2.3.1 各层的堆叠方向：正面对背面与正面对正面	14
2.3.2 层间对准：层间互连误差	15
2.3.3 键合界面设计	17
2.3.4 硅通孔维度：设计点选择	19
2.3.5 通孔工艺集成和通孔类型的重新分类	21
2.4 总结	23
参考文献	24
第 3 章 三维（3D）芯片的热和电源传输挑战	26
3.1 介绍	26
3.2 三维集成电路中的热问题	27
3.2.1 热 PDE	27
3.2.2 稳态热分析算法	28
3.2.3 有限元法（FEM）	30
3.2.4 三维电路热优化	33
3.3 三维芯片中的电源传输	34
3.3.1 电源传输基础	34
3.3.2 三维芯片电源传输：模型和挑战	35
3.3.3 控制 PSN 噪声的设计技术	39
3.3.4 控制 PSN 噪声的 CAD 技术	43
3.4 结论	46
参考文献	46

第4章 热敏感3D布局规划	50
4.1 介绍	50
4.2 问题说明	51
4.2.1 含二维块的三维布局规划	51
4.2.2 含三维块的三维布局规划	52
4.3 含二维块的三维布局规划表示法	53
4.3.1 二维表示法的基本表示	53
4.3.2 不同表示法的分析	57
4.4 含三维块的三维布局规划表示法	61
4.4.1 三维切片树	61
4.4.2 三维 CBL	61
4.4.3 三元序列	63
4.4.4 多种表示法的分析	65
4.5 优化技术	66
4.5.1 模拟退火	66
4.5.2 基于SA的含二维块的三维布局规划	66
4.5.3 基于SA的含三维块的三维布局规划	68
4.5.4 解析方法	70
4.6 多种三维布局规划技术的影响	72
4.6.1 含二维块的三维布局规划影响	72
4.6.2 含三维块的三维布局规划的影响	74
4.7 总结和结论	76
附录 折叠3D元件设计	77
参考文献	80
第5章 热敏感三维(3D)布局	83
5.1 介绍	83
5.1.1 问题建模	83
5.1.2 现有三维布局技术总览	85
5.2 基于分块的技术	86
5.3 二次均匀建模技术	88
5.3.1 线网长度目标函数	89
5.3.2 单元排布成本函数	90
5.3.3 热分布成本函数	91
5.4 多层布局技术	92
5.4.1 三维布局流程	92
5.4.2 解析布局引擎	92

5.4.3 多层架构	96
5.5 基于变换的技术	97
5.5.1 本地堆叠转换方法	98
5.5.2 折叠转换方法	98
5.5.3 基于窗口的堆叠/折叠转换方法	99
5.6 合法化和详细布局技术	100
5.6.1 粗合法化	100
5.6.2 详细合法化	101
5.6.3 通过 RCN 图的层指定	103
5.7 三维布局流程	104
5.8 多种三维布局技术的影响	104
5.8.1 线网长度和 TSV 数目的折中	105
5.8.2 热优化的影响	110
5.9 三维布局对线网长度和中继器使用的影响	111
5.9.1 二维/三维布局器和中继器估计	112
5.9.2 实验设置和结果	112
5.10 总结和结论	114
参考文献	115
第 6 章 三维 (3D) 集成电路中的热通孔插入和热敏感布线	118
6.1 介绍	118
6.2 热通孔	118
6.3 把热通孔插入到布局后的设计	120
6.4 布线算法	123
6.4.1 多层方式	124
6.4.2 使用线性编程的两段方法	126
6.5 结论	129
参考文献	129
第 7 章 三维 (3D) 微处理器设计	131
7.1 介绍	131
7.2 堆叠完整模块	132
7.2.1 三维堆叠式缓存	132
7.2.2 可选功能	135
7.2.3 系统级集成	139
7.3 堆叠功能单元模块	139
7.3.1 移除互连线	139

7.3.2 对硅通孔的要求	141
7.3.3 设计局限问题	142
7.4 拆分功能单元模块	143
7.4.1 三维缓存结构的折中	143
7.4.2 运算单元的三维分拆	148
7.4.3 三维加法器	148
7.4.4 接口单元	150
7.5 结论	151
参考文献	153
第8章 三维(3D)片上网络架构	155
8.1 介绍	155
8.2 片上网络的简要介绍	156
8.2.1 NoC 拓扑	156
8.2.2 NoC 路由设计	158
8.2.3 NoC 设计的更多信息	158
8.3 三维 NoC 架构	159
8.3.1 对称的 NoC 路由设计	159
8.3.2 三维(3D) NoC 总线混合路由设计	161
8.3.3 真三维(3D)路由设计	162
8.3.4 按维度分解 NoC 路由设计	164
8.3.5 多层三维 NoC 路由设计	164
8.3.6 三维 NoC 拓扑设计	165
8.3.7 三维工艺对 NoC 设计的影响	166
8.4 使用三维 NoC 架构的多处理器芯片设计	166
8.4.1 三维二级缓存在 CMP 架构上的堆叠	167
8.4.2 dTDMA 总线作为通信支柱	168
8.4.3 三维(3D) NoC 总线混合路由架构	169
8.4.4 处理器和二级缓存组织	170
8.4.5 缓存管理策略	170
8.4.6 方法学	172
8.4.7 结果	173
8.5 结论	176
参考文献	176
第9章 PicoServer: 使用三维(3D)堆叠技术建立能源效率服务器	179
9.1 介绍	179
9.2 背景	182
9.2.1 服务器平台	182

9.2.2 三维堆叠技术	184
9.2.3 DRAM 技术	186
9.3 方法	186
9.3.1 仿真研究	186
9.3.2 估算功率及面积	189
9.4 PicoSever 架构	191
9.4.1 核心架构和多线程的影响	192
9.4.2 宽共享总线架构	193
9.4.3 片上 DRAM 架构	194
9.4.4 一个 CMP 架构的多 NIC 需求	198
9.4.5 在三维堆叠中的热考虑	198
9.4.6 将闪存集成到 PicoServer 的影响	200
9.5 结果	205
9.5.1 整体表现	205
9.5.2 总体功率	208
9.5.3 能源效率的帕累托 (Pareto) 图	209
9.6 结论	212
参考文献	212
第 10 章 系统级三维 (3D) 集成电路成本分析与设计探索	216
10.1 介绍	216
10.2 三维集成电路的早期设计评估	217
10.2.1 “兰特规则”的初探	217
10.2.2 芯片面积和金属层估计	218
10.2.3 TSV 技术的影响	219
10.3 三维 (3D) 成本模型	220
10.4 系统级三维 IC 设计探索	223
10.4.1 评估 TSV 对芯片面积的影响	223
10.4.2 三维 (3D) IC 中减少金属层的潜力	223
10.4.3 键合工艺: D2W 或 W2W	224
10.4.4 成本与三维层数	225
10.4.5 异构堆叠	226
10.5 成本驱动型的三维设计流程	227
10.5.1 案例分析: 两层 OpenSPARC T1 三维处理器	229
10.6 交互对称设计的三维掩膜版的重复使用	230
10.7 结论	231
参考文献	231

第 1 章 介 绍

Kerry Bernstein

就像钢架构突然让摩天大楼超越了石制建筑的 12 层极限^[6]一样，四项关键工艺的进步让 20 年前的梦想家（如美国的 Jim Meindl 和日本的 Mitsumasa Koyanagi）提出的 3D 集成电路的概念^[2]能够实现。这些要素是：（1）低温绑定；（2）层到层的移动和对齐；（3）层间的电气连接；（4）一种有效的发布工艺。这些将是建设我们新电子摩天大楼的起重机。与此同时，目前创建这样非凡的电子结构的动机仍然不甚了然。这个观点最终出现在一篇非正式杂志的文章中^[5]，而其提出的具有先见之明的想法没被立刻发现。TI 公司的 Doug Matzke 在 1997 年发现信号的局域性将最终限制处理器的性能和吞吐量增益。该发现以光速般在媒体中传开。很明显在当时线网延时的改进跟不上器件的改进速度，为了实现同步的性能提升，互连需要持续地引入新的材料和结构。事实上，历史已经证明了这个命题的正确性。图 1-1 示出了 1995 年以来互连问题上的压力。在图中，圆圈代表在一个周期内可访问到的区域，很明显它的半径随着时间而缩小，这意味着更少的片上资源可以在一个周期内到达。3 种趋势共同导致其半径的单调递减^[1]：

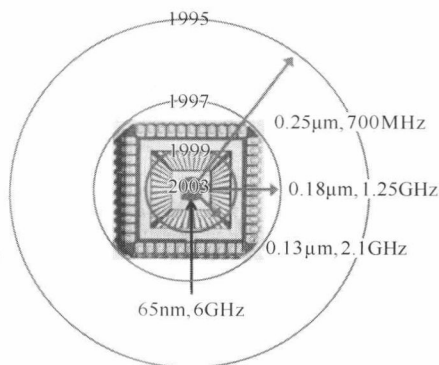


图 1-1 单处理器跨芯片延迟的理想风暴图：（1）线网不按比例缩小；（2）芯片面积增长；（3）更短的 FO4 步骤。跨芯片延迟的功耗增大^[1]

1) 线网不按比例缩小。排除冶金学家和线上后端工程师的不懈努力，在最好的情况下，芯片的互连延时将在下一代芯片中保持不变。在每代芯片中都加入了新材料，比如更低介电常数的电解质、铜和更多的金属层的情况下，这很说明问题。考虑到同一时期的器件性能通过按比例缩小得以提升，可访问半径注定缩小。

2) 芯片面积增长。如果每代芯片的面积都随按比例缩小的轨迹变化而相应地缩小, 器件和线网延时的不平衡问题将更加严重。实际的趋势反而相反, 由于计算机吞吐量的提高, 其结构的改进, 使得相对芯片面积一直增加。即使在媒介中以光速传送, 信号仍需要更长的时间以穿过整个芯片。即使芯片面积没有增长, 设计将被努力提升以达到与上一代工艺时相同的周期时间约束。

3) 更短的周期。以上命题在周期时间约束没有保持固定的情况下持续减小, 变复杂了。但为了更充分地利用片上资源, 在每个相邻的代之间, 设计师已成功地实现每周期减小相当于“4 扇出反相器”的延时, 使得流水线气泡将不会像在更长周期时间下一样严重地阻塞片上功能单元。在这种情况下, 信号不仅需要在未改进的线网上走更远, 而且需要比之前更少的到达时间。

图 1-1 中示意的结果说明, 单处理器已经失去了在一个周期内访问整个芯片资源的能力。一种补救的方式是在单处理器中加入多个相同的资源以保证至少其中一个可在一个周期内访问到, 而这让问题更加棘手。

以上示意的趋势是由工业数据实际证实的。图 1-2 示出了在过去 10 年中及之前在会议中记录和发布的处理器的面积与 SpecInt2000 (一种微处理器性能的性能指标) 的性能比率。其趋势的外推说明该实现是存在一定极限的。

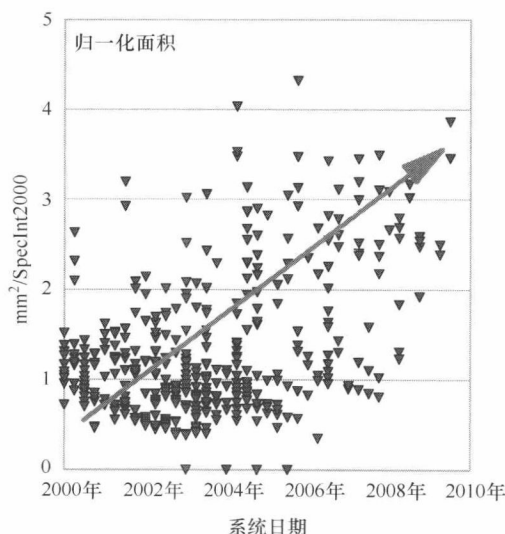


图 1-2 面积与 SpecInt2000 性能比

尽管结构的方式可使性能提升, 但这种方式的面积费用昂贵, 并以跨芯片信号延迟为代价。一个费用的例子如图 1-3 所示。随着每周期的级 (stage) 数的下降 (见上述第 3 点描述), 处理器必须存储大量的中间结果, 因此需要更多的锁存器和寄存器。Srinivasan 展示出了对于固定的累计逻辑深度, 随着每周期 FO4 等效延

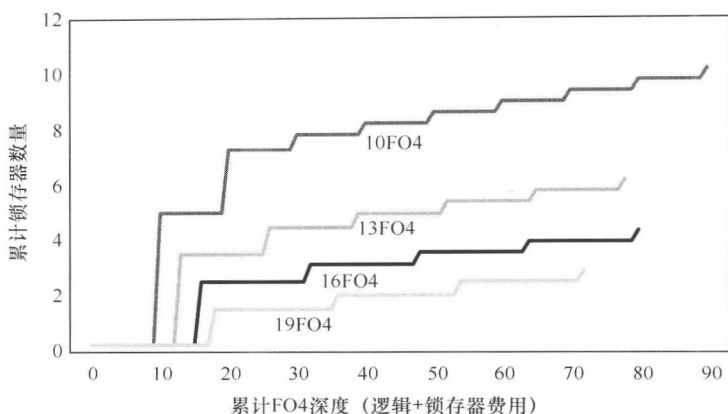


图 1-3 锁存器和流水线深度的超线性增长趋势© 2002 IEEE.

来自本章参考文献 [7]，并已获得许可

时级数的下降，所需的寄存器增加^[7]。增加的寄存器不仅消耗面积，而且也需要占用周期中更多的比率以满足时序边界。

尽管存在提到的以上限制，但定性地解释工业界通过工艺按比例缩小获得成功的某些原因非常合适。随着在电学上资源不断远离，微处理器结构开始青睐多核，如 SMP 机，其中每个核都是一个相对简单的处理器，仅顺序执行指令。在这些多核系统中，独立处理器核分担了它们更纠结的单处理器前辈大部分复杂度。我们可以简单讨论一下，在芯片输入输出带宽可以提供每个核所需要数据的情况下，增加的片上处理器核维持了微处理器性能改进。事实上，这在多核系统的早期是正确的。并且，恰恰在器件延时持续改善、互连性能已成为设计者的重要限制的时候，多核处理器正好主宰了高性能处理领域。这不是偶然。

如在图 1-4 中定性地示出的，多核方式将继续提供性能改善，如图中黑色线所示，直到互连带宽再次成为性能瓶颈。在这点上来说，克服带宽限制将需要根本的模式改变，超越了在 2D 设计中成功改善互连延迟的仅改变材料的方式。3D 集成正好提供了这种能力：一旦采用，这项技术将继续扩展微处理器吞吐量直到其优势饱和，如图 1-4 中上方虚线所示。若没有 3D 技术，我们将更早遭遇多核处理技术的局限，如图 1-4 中较低的虚线所示。这个局限早在 2001 年就被发现了^[2]。这些文献经常被引用：人们可以“向上”或“向外”按比例规格化未来的设计，同时互连必定是设计上不可接受的局限。文献中的图 1-5 示出了将需要不现实的 90 个布线层的设计或需要保持每个宏模块 1000 万个器件以下，来保证可布线的设计。这两种解决方案都不可行。

让我们回过头审视让 3D 集成如此及时和有效的特定结构问题。我们从检查处理器用来做什么和如何组织它们使其最有效率开始。