



普通高等教育“十二五”规划教材

电子技术课程设计

赵建华 雷志勇 主编



中国电力出版社
CHINA ELECTRIC POWER PRESS



普通高等教育“十二五”规划教材

电子技术课程设计

主编 赵建华 雷志勇
编写 李 静 周 芸 杨建华
主审 王新民



中国电力出版社
CHINA ELECTRIC POWER PRESS

内 容 提 要

本书为普通高等教育“十二五”规划教材。

本书共分5章,主要包括电子实验电路的安装与调试、常用元器件及测量方法、课程设计实例、Multisim在课程设计中的应用、常用仪器设备的简介与使用。此外,附录部分提供了常用元器件功能及引脚简介。本书突出了电子技术实践环节的特点,按照课程设计实践规律分章有序排列。设计题目由浅入深、难易适中,从理论到实践,循序渐进,注重加强对学生基本实验技能与综合设计能力的培养,以及提高学生工程设计与实际动手的能力。

本书可作为普通高等院校电子技术课程设计教材,也可作为从事电子设计工程技术人员参考用书。

图书在版编目(CIP)数据

电子技术课程设计/赵建华,雷志勇主编. —北京:中国电力出版社,2011.11

普通高等教育“十二五”规划教材

ISBN 978-7-5123-2342-1

I. ①电… II. ①赵…②雷… III. ①电子技术-课程设计-高等学校-教材 IV. ①TN-41

中国版本图书馆CIP数据核字(2011)第233084号

中国电力出版社出版、发行

(北京市东城区北京站西街19号 100005 http://www.cepp.sgcc.com.cn)

航远印刷有限公司印刷

各地新华书店经售

*

2012年2月第一版 2012年2月北京第一次印刷

787毫米×1092毫米 16开本 9.75印张 235千字

定价17.00元

敬告读者

本书封面贴有防伪标签,加热后中心图案消失

本书如有印装质量问题,我社发行部负责退换

版权专有 翻印必究



前言

为了培养 21 世纪工科类电子技术方面高级技术应用型人材的需要,以及适应电子信息时代日新月异的发展步伐,针对《电子技术》理论课开设课程设计的要求而编写了本书。本书是一本综合性的电子技术课程设计教材,根据电子技术基础课程教学大纲的基本原则,结合作者多年的实践教学经验及当前形式下教学改革和教学体系要求编写的。特别说明:本书题目都是经过实践较成熟的作品,且在编写过程中电气图形符号均采用了 GB/T 4728.1~4728.13—1996~2005《电气简图用图形符号》和 DL 5028—1993《电气工程制图标准》。

本书满足不同层次理工科学生学习电子综合设计的需求,提供了丰富的电子技术综合设计内容题目。设计题目由浅入深,难易适中,从理论到实践,循序渐进,其目的是将电子技术基础与电子线路设计等课程的理论与实践有机地结合起来,注重加强对理工科学生基本实验技能与综合设计能力的培养,以及提高学生工程设计与实际动手的能力。

本书科学合理地阐述了电子技术方面的理论与实际电路知识,并注意用新观点、新思想来审视和阐述经典内容,及时更新教学内容,反映新知识、新技术、新方法。书中提供了“电路的安装与调试”、“常用测量方法”、“实际案例”、“EDA 仿真应用”及“常用设备介绍”等,可指导学生自己动手实验。本书从知识性、适用性方面能紧密联系生活、生产实际,设计内容体现实用性、先进性和教学针对性。

本书对学生课程设计的基本要求:

(1) 初步掌握一般电子电路分析和设计的基本方法。根据设计任务和指标,确定电路方案,通过设计计算选择元器件,然后安装电路,进行调试,对结果进行分析,提出改进意见,写出设计总结报告。

(2) 培养学生一定的自学能力和独立分析、解决问题的能力。要求学生查阅参考资料、工具书,掌握电路调试的一般规律,掌握电子电路的安装、布线等基本技能。

(3) 进一步熟练地掌握常用电子仪器正确的使用方法。要求学生用电子示波器、直流电源、多用信号源、数字万用表等。

本书由西安工业大学老师编写,赵建华、雷志勇担任主编。赵建华、雷志勇、李静、周芸编写了第 3 章,杨建华编写了第 4 章,赵建华、雷志勇编写了第 1、5 章和附录部分。赵建华对全书进行了统稿。

本书由西北工业大学自动化学院王新民教授担任主审,对本书提出了很多宝贵意见,在此致谢。

由于时间仓促,再加作者水平有限,书中难免有不妥之处,恳请广大读者批评指正。

编者

2011 年 9 月



目 录

前言

第1章 电子实验电路的安装与调试	1
1.1 实验电路的安装	1
1.2 电路调试技术	3
1.3 故障检测的一般方法	5
1.4 数字集成电路使用须知	10
第2章 常用元件器件及测量方法	12
2.1 测量方法和测量技术的基本概念	12
2.2 电压、电流、电功率测量方法	13
2.3 电阻、电容、电感测量方法	15
第3章 课程设计实例	17
3.1 十字路口交通管理器	17
3.2 水塔水位的自动控制装置	24
3.3 智力竞赛抢答计时器	27
3.4 篮球比赛计分显示系统	32
3.5 红外发射与接收报警电路	34
3.6 生产线自动装箱设备监控器	36
3.7 数字式红外测速仪	38
3.8 简易双积分式数字电压表	42
3.9 数字秒表	48
3.10 数字钟	50
3.11 多用时间控制器	53
3.12 集成电路八人抢答器	56
第4章 Multisim 在课程设计中的应用	63
4.1 Multisim 软件简介	63
4.2 建立实验电路	83
4.3 虚拟设计举例	97
第5章 常用仪器设备的简介与使用	111
5.1 TPE-AD 电子技术学习机	111
5.2 HH4310 双踪示波器	115
5.3 MOS-620 20MHz 双踪示波器使用说明	117
5.4 XD2C 与 XD2 型低频信号发生器	122
5.5 SP1641 系列型函数信号发生器/计数器使用说明	124
5.6 SX2172 型交流毫伏表	127

附录 常用元器件功能及引脚简介..... 130

附录 1 常用元器件功能 130

附录 2 部分常用数字集成电路引脚图 143

附录 3 部分常用线性集成电路引脚图 149

参考文献..... 150



第1章 电子实验电路的安装与调试

在电子电路实验中,通常要将所选元器件按电路工作原理装成一个整体实验电路;或先分装成多个子系统电路,再通过一定的调试手段来发现问题,分析和排除故障,并验证电路的工作原理,必要时修改原先的设计,以完善电路的功能,满足预定的设计要求;有时还需最后装成一个实用的电子设备。可见,安装与调试是从电路设计到实用电子设备的必经阶段,是实验中重要的实践环节。

本章将重点讨论电子实验电路安装与调试的一般方法,以检测电子电路故障的实用技巧,同时还对实用电子装置的布线原则做介绍。这些内容不仅是基础理论,而且也是电子工程技术人员在工作中经常遇到的实际问题,对初学者来说甚为重要。

1.1 实验电路的安装

1.1.1 实验电路的布线

实验电路通常采用双列直插式器件,在通常接插式底板(面板)上用接插的方法进行实验。在面板上安装实验电路,实际是个布线问题。实践证明,实验故障绝大部分是由布线错误产生的。元器件合理的布局,导线整齐而清晰的排列,触点良好而可靠的接触,完全有可能使设计正确的电路一次调试成功。

一、合理布局

在面板上合理布局元器件是十分重要的,尤其是在电路较多时,一般要考虑以下几点。

- (1) 按信号流向,自输入级到输出级,从左至右或从上至下布置电路。一般将显示器件及驱动电路置于上方,将操作元件(如开关等)置于下方。
- (2) 接线尽可能短,彼此连线多的器件尽量相邻安置。
- (3) 尽量避免输出级对输入级的反馈。
- (4) 振荡器布置于电路一角,避免与其他信号尤其是弱信号的相互干扰。

二、插置元器件

在面板上插入双列直插式集成电路时,要认清方向,切勿倒插。要使集成电路的每个引脚对准插孔,用力要轻而均匀,要防止个别引脚弯曲而造成故障隐患。常用集成电路的引脚排列顺序见附录部分。大多数数字集成电路的左上脚接电源,右下脚接地。实际使用时,应查看手册规定。

拔下集成电路时,应用专用U形夹或用小螺刀对齐片子的两头,不要用手去拔,以避免损坏引脚。

插入标有极性或方向的元件时,应注意不要插反,如电解电容、晶体二极管、晶体三极管、发光二极管等。

三、布线技巧

- (1) 导线准备。布线用的导线一般用 $\phi 0.5\text{mm}$ 或 $\phi 0.6\text{mm}$ 的单股硬线,过细的导线将造

成接触不良,而过粗的导线将损坏多孔接插板。最好用色线区别不同用途,一般电源用红线,地线用黑线,导线截取长度要适当,剥离绝缘皮的引线头长度以 5mm 左右为宜,不应有刀痕或弯曲。

(2) 布线顺序。布线时应先设置电源线和地线,再处理固定不变的输入端(如空头、异步置 0、置 1 端,预置端等),最后按信号流向依次连接控制线和输出线。

(3) 布线要求。布线要求整齐、清晰、可靠,以便于查找故障和更换器件。布线时,导线要贴近底板的表面,在片子周围走线,尽量不要覆盖不用的插孔,切忌将导线跨越片子上空或交错连接。

最好用小镊子将导线插入底板,深度要适宜,保证接触可靠。

(4) 布线检查。布线检查最好在布线过程中分阶段进行,如布好电源线和地线后即进行检查,以便及时发现和排除故障。查线时应用三用表直接测量引脚之间通与不通,而不要简单地用目测的方法,以便准确而迅速地发现漏接、错接,尤其是接触不良的故障。

必须说明,除了多孔插板上安装实验电路外,还可以在通用印制板上焊接实验电路(市场上有多种规格的通用印制板出售,可供选择)。多孔插板和通用印制板相比较,各自的优缺点显而易见。前者可多次使用,无须焊接,但易产生接触不良的故障;后者需要焊接,触点可靠,但一次使用,成本高。

1.1.2 实验电路的工程布线

为了完成实际的电子设备,必须将实验电路制成印制板电路,对于高速数字系统,甚至难以在逻辑箱上进行模拟实验,而必须首先设计印制电路板。有时往往会遇到这样的情况,逻辑电路的设计是正确的,模拟实验也没问题,但在实际工程应用中却会出现错误,其主要原因是抗干扰性能差。电路设计人员在选择集成电路时,必须充分考虑元器件的抗干扰能力,并在布线时遵循以下原则,以尽可能减少由布线不慎而产生的干扰源。

一、合理布置地线

地线就是电路的公共参考点,地线的合理布置是十分重要的,它直接影响到电路的工作性能,尤其在既有模拟信号又有数字信号、既有强信号又有弱信号的电路中,地线的布置是一个相当复杂的技术问题,在很多情况下,要进行实验才能确定正确合理的接地点。这个问题在小型实验中并不突出。

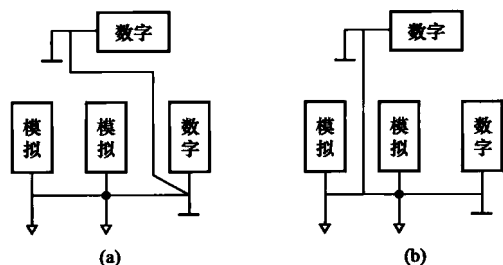


图 1.1.1 一点接地

(a) 正确接法; (b) 不正确接法

布置地线的一般原则如下。

(1) 一点接地。在模拟信号和数字信号兼有的电路中,应将模拟地和数字地分别连在一起,然后再将这两个公共点在电路的某一点就近相连。图 1.1.1 (a) 是正确的接法,图 1.1.1 (b) 是不正确的接法。

在强信号和弱信号兼有的电路中,输入信号的地线应与输入级的地线直接相连,而不要接在输出级的地端。

(2) 外缘布线。地线要布置在印制板的最外缘,且尽可能加粗,可起到一定的屏蔽作用。例如系统工作频率较高,最好用金属裸线来包围电路板,可有效防止干扰信号。

直流电源线布置在地线的内侧，比地线要细，而宽于电路引线。

(3) 弱信号（如采样/保持器的输入信号）的地线面积可大些，或可用地线包围输入信号的方法。

二、去耦

在电源进入底板的入口处，每根电源线都要接旁路电容去耦，电容容量为 $10 \sim 100 \mu\text{F}$ ，最好再并用一只 $0.01 \mu\text{F}$ 的电容，以旁路电源中的高次谐波。每一排集成电路都要加旁路电容，最好每满 $6 \sim 12$ 片增加一只电容。电容与集成电路电源引脚的距离尽可能近。

对高速电路，最好在每片电源引脚都加高频去耦，如图 1.1.2 所示。

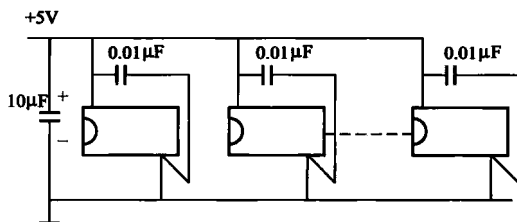


图 1.1.2 高频去耦地接法

三、引线长度要求

引线尽量短，并尽可能避免输出对输入的反馈。

在高速系统中，缩短引线就是缩短信号的传输时间。 20cm 长的导线将使脉冲信号产生 1ns 的边沿失真。

时钟信号线不要与其他信号线并行紧靠走线。长线信号线不要同时送至几个门的输入端，必要时可增加驱动门。

1.1.3 焊接工艺

焊接电子元件一般选用 20W 内热式烙铁，焊 MOS 电路时，烙铁外壳要良好接地，使用烙铁时，要防止“烧死”。对新烙铁，要将烙铁头锉成细长斜面或楔形，通电加热后，先上一层松香，再挂锡；长时间烧用的烙铁，最好采取调温措施，不焊时将电源电压降低。焊接电子元件，不要用酸性助焊剂（如焊油等），最好选用带焊剂的焊锡，也可采用松香液（松香加酒精）作中性助焊剂，以免腐蚀电子元件。

焊接质量最重要的是不能有虚焊，必须在焊接前将引线头刮去氧化层，掌握适当的焊接温度和时间，在焊接时不要晃动元件。焊接后，要检查一下元件有无松动。

焊接集成电路插座时，要注意插座的方向，与集成电路的方向一致，检查好所有的引脚都已正确插入后再焊。焊接电子元件要注意电解电容的极性，晶体二极管的方向和晶体三极管的管脚不要接错。

值得注意的是，在焊接印制板上的元器件以前，最好先检查金属化孔是否相通，印制板引线有无断裂或碰线，应及时排除故障隐患。否则，焊上元器件后，再来查找这些故障会是十分困难的。

1.2 电路调试技术

电路调试要求掌握常用仪器设备的使用方法和一般的实验测试技能，如果需要可以参看本书的第 6 章，学习常用仪器的使用方法。调试中，要求理论和实际相结合，既要掌握书本知识，又要有科学的实验方法，才能顺利地进行调试工作。本节只就一般调试步骤和方法做介绍。

1.2.1 实验电路的一般调试方法

实验电路安装完毕后，一般按以下步骤进行调试。

一、检查电路

对照电路图检查电路元器件是否连接正确，器件引脚、二极管方向、电容极性、电源线、地线是否接对；连接或焊接是否牢固；电源电压的数值和方向是否符合设计要求等。

二、按功能块分别调试

任何复杂的电子装置都是由简单的单元电路组成，把每一部分单元电路调试得能正常工作，才可能使它们连接成整机后有正常工作的基础。所以先分块调试电路既容易排除故障，又可以逐步扩大调试范围，实现整机调试。分块调试可以装好一部分就调试一部分，也可以整机装好后，再分块调试。

三、先静态调试，后动态调试

调试电路不宜一次加电源同时又加信号进行电路实验。由于电路安装完毕之后，未知因素太多，如接线是否正确无误，元件、器件是否完好无损、参数是否合适、分布参数影响如何等，都需从最简单的工作状态开始观察、测试。所以，一般是先加电源不加信号进行调试，即静态调试；工作状态正确后再加信号进行动态调试。

四、整机联调

每一部分单元电路或功能块工作正常后，再联机进行整机调试。调试重点应放在关键单元电路或采用新电路、新技术的部位。调试顺序可以按信息传递的方向或路径，一级一级地测试，逐步完成全电路的调试工作。

五、指标测试

电路能正常工作后，立即进行技术指标的测试工作。根据设计要求，逐个检测指标完成情况。未能达到指标要求，需分析原因，找出改进电路的措施，有时需要用实验测试的办法，来达到指标要求。

1.2.2 数字电路调试中的特殊问题

数字电路中的信号多数是逻辑关系，集成电路的功能一般比较定型，通常在调试步骤和方法上有其特殊规律。

(1) 调整好定时电路，以便为数字系统提供标准的时钟脉冲和各种定时信号，包括脉冲振荡器、脉冲变换电路，如单稳态触发器、施密特触发器等。

(2) 调整控制电路部分，控制电路产生数字系统所需的各种控制信号，使电路能正常、有序地工作，包括顺序脉冲分配器、分频器等。

(3) 调整信号处理电路，如寄存器、计数器、选择电路、编码和译码电路等。这些部分都能正常工作之后，再相互连接检查电路的逻辑功能。

(4) 调整模拟电路，用来放大模拟信号，或进行模数信号间的转换，如运算放大器、比较器、A/D转换器、D/A转换器等。

(5) 调整接口电路、驱动电路、输出电路以及各种执行元件或机构，保证实现正常的功能。

(6) 系统连调。

数字电路集成器件引脚密集，连线较多，各单元之间时序关系严格，出现故障后不易查找原因。因此，调试中应注意以下问题。

(1) 注意元件类型, 如果有 TEL 电路, 又有 CMOS 电路, 还有分立元件, 注意检查电源电压是否合适, 电平转换及带负载能力是否符合要求。

(2) 注意时序电路的初始状态, 检查能否自启动。各集成电路辅助引脚、多余引脚是否处理得当等。

(3) 注意检查容易出现故障的环节, 掌握排除故障的方法。出现故障时, 可从简单部分逐级查找, 逐步缩小故障点的范围; 也可以从某些预知点的特性进行静态或动态测试, 判断故障部位。

(4) 注意各部分的时序关系。对各单元电路的输入和输出波形的时间关系要十分熟悉。应对照时序图, 检查各点波形, 弄清哪些是上升沿触发, 哪些是下降沿触发, 以及它和时钟信号的关系。

1.2.3 模拟电路调试需注意的问题

一、静态调试

模拟电路加上电源电压后, 器件的工作状态是电路能否正常工作的基础。所以调试时一般不接输入信号, 首先进行静态调试。有振荡电路时, 也暂不要接通。测试电路中各主要部位的静态电压, 检查器件是否完好、是否处于正常的工作状态。若不符合要求, 一定要找出原因并排除故障。

二、动态调试

静态调试完成后, 再接上输入信号或让振荡电路工作, 各级电路的输出端应有相应的信号输出。线性放大电路不应有波形失真; 波形产生和变换电路的输出波形应符合设计要求。调试时, 一般是由前级开始逐级向后检测, 这样比较容易找出故障点, 并及时调整改进。如果有很强的寄生振荡, 应及时关闭电源采取消振措施。

1.3 故障检测的一般方法

1.3.1 故障

任一电子电路, 总要实现一定的功能, 如果电路设计是正确的, 而在调试中出了问题, 不能实现预定的功能, 则必然存在故障。一般地说, 电路或系统的输出响应失常就叫存在故障。任一装置只有在通过了规定的重复性试验, 经受了实际工作条件(如抗干扰、环境温度等)的检验之后, 才能说电路是无故障的。

1.3.2 故障源

电路或系统的故障来源一般有以下几种。

1. 布线错误

如错接、漏接、碰接、断线、印制板引线断裂、触点虚焊等, 这类故障几乎占实验电路故障的绝大部分。

2. 元器件使用不当或功能不正常

如将集成电路倒插、错插或个别引脚弯曲、电解电容极性接反、晶体管引脚颠倒等; 有时集成电路已部分损坏、功能不正常等。

3. 电源和公共地有问题

电源电压极性和数值不合要求或根本没接通, 公共地未连在一起(尤其是在使用多种电

源时)。

4. 接插件质量有问题

如多孔接插板插孔松动、印制板插座或其他接插件接触不可靠、印制板金属化孔不通等。

5. 电路设计有问题或布线不妥

(1) 集成电路电气参数使用不当。例如数字电路中设计者往往侧重考虑电路的逻辑功能是否正确,而容易忽略器件的电气参数;又如负载能力、工作速度及脉冲边沿是否符合要求,从而造成电路的失常。

(2) 组合电路的竞争与险象产生毛刺,使触发器产生误动作。

(3) 地线布置不当,去耦欠佳。电源中的高频噪声耦合到电路中,数字信号与模拟信号叠加。

(4) 长线传输引起反射,闭路传输产生反馈。

(5) 外界的电磁干扰。

以上(1)~(4)类故障是不难发现的,只要在调试前做认真仔细的检查,就可以大部分排除。但第(5)类由电路设计或布线不妥造成的故障有的是很难预料的,排除这类故障在很大程度上有赖于设计和调试电路人员的实际工作经验。

此外,测试设备的不正常,如示波器探头、万用表笔、显示器件工作不可靠,也会造成电路故障的假象。

1.3.3 故障检测

电路的调试过程,实际上是分析和排除故障,使电路实现预定功能,并满足所定技术要求的过程。前面已讨论了所谓故障就是电路输出响应“不正常”。为了找出哪里“不正常”,就应了解那里“正常”的输出应该是什么样的。为此必须熟悉所用器件的特性,不仅要熟悉器件的逻辑特性,还要熟悉其电气特性、技术指标和极限运用参数,因为有许多故障是由器件的电性能不符合要求引起的。当然,还必须掌握整个系统和各单元电路的工作原理和结构、组合电路的真值表、时序电路的工作波形图(时序图)等。把“正常”和“不正常”进行对比,才能正确而迅速地判断故障来源,并加以排除。可见,分析和排除故障要求将书本上所学的基本理论知识正确而灵活地运用于实践,以有效的方式和手段解决实际工作中的问题。

一、数字电路故障检测的基本方法和技巧

静态检查和动态检查是数字电路故障检测的基本方法。所谓静态检查是指在输入信号的高、低电平固定不变的情况下,检查输出电平。所谓动态检查是指在输入信号为一串脉冲的情况下,检测输出信号与输入信号的波形。

数字电路检测故障的基本技巧是采用隔离技术。所谓隔离技术,是指把数字系统(不论其大小)划分成一系列较小的不太复杂的子系统,再将子系统划分为单元电路,最后将单元电路隔离到器件级。这样,就可以将系统故障的范围逐步缩小,使问题得到迅速地暴露,从而确定故障的来源而加以排除。

二、常见故障分析

现以 TTL 类器件为例讨论常见故障的分析方法,所讨论的内容对其他类集成电路也是有用的。

1. 输出逻辑电平的检测

通常，输出端工作失常往往是查找故障的有效起点。为了分析输出端的工作不正常，就必须了解正常的输出逻辑电平是怎样的。为此，有必要先了解 TTL 类器件输出端的常见结构。

(1) TTL 类器件输出端的常见结构。常见的 TTL 类器件输出结构有图腾柱输出结构和集电极开路输出结构两种。

在图腾柱输出结构中，逻辑 1 的正常电平 $V_{OH} = +2.4 \sim 4V$ ，逻辑 0 的正常电平 $V_{OL} \leq 0.4V$ 。对集电极开路输出 (OC) 结构，在空载状态下，输出逻辑 1 时，VT 截止，输出经 R_L 提升至 V_{CC} ；输出逻辑 0 时，VT 饱和，输出低电平 $V_{OL} = V_{ces} \leq 0.4V$ 。加载时，拉电流负载使输出高电平降低，灌电流负载使输出低电平抬高，如果负载电流过大，输出高、低电平就要偏离正常值。

可见，OC 输出结构的电路，正常电平为 $V_{OH} = V_{CC} = +5V$ ， $V_{OL} \leq +0.4V$ 。

(2) 输出逻辑电平若干常见故障分析参见表 1.3.1。

表 1.3.1 输出逻辑电平若干常见故障分析

输出结构	正常值	故障现象	原因分析
图腾柱结构	逻辑 1 $V_{OH} = 2.4 \sim 4V$	1) $V_{OH} = V_{CC}$ 2) $0.4V < V_{OH} < 2.4V$ 3) V_{OH} 是一串脉冲，其高电平为 3.5V，低电平为 2.0V	1) 输出端与 V_{CC} 短接，或电路接地不良 2) 拉电流过载，或输出端与逻辑 0 相碰线 3) 输出通常与系统中某处信号脉冲短接
	逻辑 0 $V_{OL} \leq 0.4V$	1) V_{OL} 始终为 0V 2) $V_{OL} > +0.4V$	1) 未加电源或输出端与地短接 2) 灌电流过大，或输出端与逻辑 1 相碰线
OC 结构	逻辑 1 $V_{OH} = V_{CC}$	除 $V_{OH} = V_{CC}$ 那一项以外，其余类同有源结构	
	逻辑 0 $V_{OL} \leq 0.4V$	均同有源结构	

2. 输入逻辑电平的检测

为了分析输入逻辑电平的“不正常”现象，就要了解“正常”的逻辑电平应该是什么。为此，有必要对 TTL 器件输入端不同接法时的正常逻辑电平做一简要分析。

(1) TTL 与非门输入端的几种接法：图 1.3.1 是 TTL 与非门的原理图（大多数 TTL 类器件有与其类同的输入结构）；图 1.3.2 是输入端的几种不同的接法。

1) 图 1.3.2 (a) 所示，A、B 两输入端同时悬空，相当于接高电平，输出应为低电平。任一悬空输入端的电压约为 1.4V，其典型值应在 1.1~1.5V 范围内。

当 A、B 两输入端同时悬空时，因 VT1 的发射结没有电流通路，VT1 的集电结相当于正偏的二极管， V_{CC} 通过 VT1 之集电结向 VT2、VT4 提供基流，VT2、VT4 都饱和导通，VT1 基极电压 $U_{b1} \approx 2.1V$ ，即

$$U_{b1} = U_{be1} + U_{be2} + U_{be5} \approx 2.1(V)$$

与非门输出低电平，三用表测试输入端电平为 1.4V，即

$$U_{e1} = U_{b1} - U_{be1} \approx 1.4(V)$$

2) 图 1.3.2 (b) 所示, A、B 两输入端都接高电平时, VT1 管处于倒置工作状态, 即原来的发射极当作了集电极, 原来的集电极当作了发射极, 在输入端测得电压为高电平, 输出端为低电平。

3) 图 1.3.2 (c) 所示, A、B 两输入端有一个接地时, VT1 管相应发射结正偏导通, $U_{b1} = 0V + U_{be1} \approx 0.7V$, 另一悬空输入端测得的电压也为 $0V$, 即 $U_{b1} - U_{be1} = 0V$ 。

4) 图 1.3.2 (d) 所示, 输入端接电阻 R_1 时, R_1 阻值大小值直接影响与非门的工作状态。

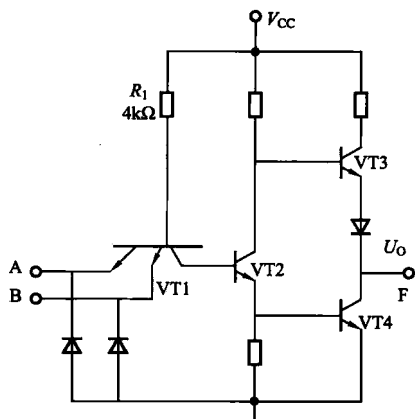


图 1.3.1 TTL 与非门的原理图

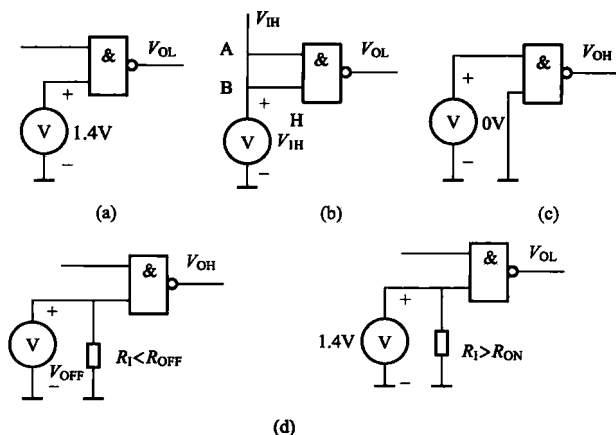


图 1.3.2 输入端的几种不同的接法

(a) 接法一；(b) 接法二；(c) 接法三；(d) 接法四

$R_1 > R_{ON}$ (开门电阻) 时相当于输入端悬空, $U_1 > U_{ON}$ (开门电压), 按图 1.3.2 (a) 情况分析, 与非门始终输出低电平。

$R_1 < R_{OFF}$ (关门电阻) 时, $U_1 < U_{OFF}$ (关门电平), 与非门始终输出高电平。

R_1 在 $R_{OFF} \sim R_{ON}$ 值范围以内时, 与非门工作在线性区 (或转折区)。

(2) 输入端常见故障。

1) 输入端既不是逻辑 1 也不是逻辑 0, 而是 $1.1 \sim 1.5V$, 则说明, 此输入端与前级断开, 其原因可能是印制板线路开裂或导线折断, 输入引脚与插孔没有焊接或接触不良, 输入引脚弯曲。

2) 输入端始终为低电平, 其原因可能是该输入端与地线短接, 同一门的另外输入端接地, 器件有故障。

3) 输入端始终为高电平, 其原因可能是: 该输入端与 V_{CC} 相碰线, 该输入端与某一固定逻辑高电平碰线, 器件有毛病。

4) 输入端的工作波形不正常, 其原因是该输入端与其他信号线相碰。

3. 时序电路的故障检测

为了检测时序电路的故障, 必须掌握时序电路中所选用器件的外特性, 熟悉时序电路的波形图。

(1) 掌握触发器或时序逻辑部件的功能表。触发器是计数器、移位寄存器和其他时序电路的主要组成部分。熟悉了触发器的逻辑功能就容易理解较为复杂的时序逻辑部件, 有关手

册上可以查到所用器件的功能表，应给予正确理解。

审视功能表时应注意几点。

1) 控制输入 (D、J、K 等) 信号应先于时钟建立，数据后于时钟输出，有些功能表中以脚标 n 表示时钟到来前的时刻， $n+1$ 表示时钟到来后的时刻，如 Q_n 、 Q_{n+1} 等。

2) 预置端和清除端。预置将使 $Q=1$ ，清除将使 $Q=0$ 。预置和清除不能同时启动。有些计数还有同步预置清除和异步预置清除之分。同步预置和清除意味着，预置和清除信号加入后，要在下一个时钟到来时输出才会响应；而异步预置和清除意味着，不论时钟处于何种状态， Q 输出均会响应，故异步预置和清除又叫直接预置和直接清除。图 1.3.3 是同、异步两种预置和清除的时序图，图中同步方式为时钟下降沿有效。

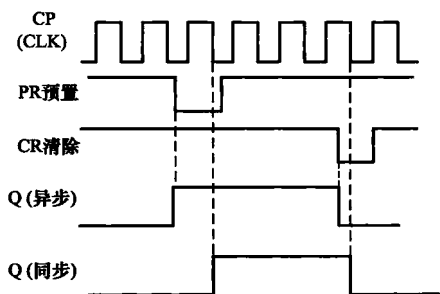


图 1.3.3 同、异步预置、清除的时序图

3) 时钟触发沿。要分清是上升沿触发还是下降沿触发，凡是在逻辑符号的时钟输入端标有小圈的，或在功能表中用“ $\downarrow$ ”号表示的为下降沿触发；反之，在逻辑符号的时钟输入端没有小圈的，或在功能表中用“ $\uparrow$ ”号表示的为上升沿触发。

(2) 了解所用器件的电气参数。触发器的静态参数与门电路类似，其有意义的新参数是转换特性（定时参数），如触发器的最高时钟频率 $f_{\max}$ ，检查触发器功能时，不仅要用示波器观察输出波形的有无，而且要看其响应的触发沿是否正确。

对于引脚和功能完全相同的器件，如果电气参数不符合要求，一般不能进行替代。

(3) 熟悉所用器件和时序电路的工作波形图（时序图）。只有掌握了电路中各主要测试点的工作波形，才能迅速而有效地定位故障。例如，74LS161 是四位同步二进制计数器，它具有计数、预置、保持和清 0 的功能，当用它构成计数器时，应根据其功能表画出计数器的波形图，将实际测试点的波形与“应该是怎样”的波形进行对比，用逻辑思维的方法分析和判断故障部位，并加以排除。

下面举一个简单的故障检测实例，作为本节所讨论内容的综合运用。

图 1.3.4 (a)、(b) 是单脉冲发生器的电路图及时序图。74LS00 是二输入与非门，

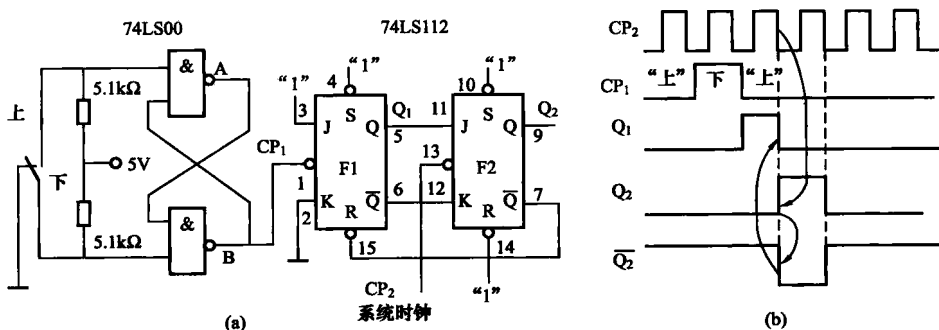


图 1.3.4 单脉冲发生器的电路图及时序图

(a) 电路图；(b) 时序图

74LS112 是下降沿触发的双 JK 触发器。单刀双掷开关平时置“上”位置,当开关“上一下一上”来回拨动一次时,在 Q_2 端能得到一个与系统时钟 CP_2 周期等宽的单脉冲。门 A、门 B 组成的基本 RS 触发器用来消除机械开关产生的电压抖动。

熟悉了所用器件的特性,掌握了电路的工作原理,就可以有效地检测该电路的故障。假设电路在接通电源后,开关来回拨动一次,用万用表监测 Q_2 始终为低电平,一般应按下列步骤查找故障。

(1) 首先检查电源线和地线。进行此项检查时应在所怀疑的器件的片脚上直接测试,而不是简单地测量电源电压的输入线和接地线,故障可能是电源线或地线断开,或片子的引脚接触不良。当用数字万用表检查相通的两点时,数字万用表的数值为 0.00V。

(2) 查触发器的清除端和预置端。若电源电压确已加上,则查 JK 触发器的预置端和清除端是否符合要求。触发器的 4、10、14 脚应该接高电平,若测得电压为 1.4V 左右,则说明该引脚处于悬空状态。

(3) 查 CP_2 。用示波器观察有无系统时钟 CP_2 加到触发器的 13 脚,若无 CP_2 ,则隔离 CP_2 与触发器,再查 CP_2 ;若有 CP_2 ,则触发器的时钟输入端 CP_2 有问题,否则检测系统时钟发生器及其通路。在检测 CP_2 时,应注意其高、低电平是否为正常的逻辑电平。

(4) 查 J2、K2 端。若测得电压为 1.4V,则说明该端与前级信号断开。

(5) 查 CP_1 。当开关置“上”时,B 门 6 脚应为低电平;置“下”时,B 门 6 脚应为高电平。若不正常,则隔离 B 门 6 脚与后接触发器的 1 脚。隔离后若 6 脚恢复正常,则触发器时钟输入端 CK_1 有问题,否则是开关或门电路不正常。

(6) 查开关和电阻 R_1 、 R_2 连接是否正常,电阻内部是否开路。开关置“上”时,A 门 1 脚应为低电平,B 门 5 脚应为高电平;开关置“下”时,A 门 1 脚为高电平,B 门 5 脚为低电平。

(7) 查与非门。各引脚有无碰线,逻辑功能是否正常。按上述步骤进行,即能迅速排除故障。

1.4 数字集成电路使用须知

一、TTL 类集成电路使用须知

1. 电源电压和工作环境温度

电源电压范围: $+5V \pm 5\%$ 。

工作环境温度: 74 系列为 $0 \sim +70^\circ\text{C}$; 54 系列为 $-55 \sim +125^\circ\text{C}$ 。

2. 输出端的接法

图腾柱输出结构的输出端不得直接接电源或地线,且两输出端不得相碰。

集电极开路门(OC 门)使用时要外接负载电阻到 V_{cc} 输出端,可以线与。

三态门(TS 门)输出端可以线与,但在任何时刻只允许一个门处于工作状态,当几个门同时改变工作状态时,要求从工作状态转为高阻状态的速度应快于从高阻状态转为工作状态的速度,否则会导致逻辑电平的混乱甚至损坏器件。

3. 不用输入端(空头)的处理

TTL 类集成电路输入端悬空时,虽相当于接逻辑高电平,但容易引入干扰信号。因此,

对于多余的输入端应按逻辑功能的要求进行处理。例如不用的与门和与非门输入端，可将其直接或通过电阻接电源，也可与有用信号并接，对或门和或非门的空头，应将其接地。对其他选用的逻辑部件都应按使用要求类似处理。

二、CMOS 集成电路使用须知

(1) 焊接 CMOS 器件时，应使用 20W 内热式烙铁，并将烙铁外壳接地，或切断烙铁电源再焊，焊接时间应尽可能短。

(2) 插拔 CMOS 器件必须断电。

(3) 电源电压极性不得接反。

(4) 输入端接有大电容或引线过长时，最好在输入端串接一电阻 R ，一般取值 $R = V_{DD} / 1\text{mA}$ ，以限流保护或防止寄生振荡。

(5) 不允许在不加电源电压的情况下，接入输入电压。通电时，应先接通电源，再接输入信号；断电时，应先撤输入信号，再断开电源。

(6) 输入电压不得超出电源电压范围 0.5V 以上，即 $V_{SS} - 0.5\text{V} < V_I < V_{DD} + 0.5\text{V}$ 。

(7) 多余输入端不得悬空，可将其与有用信号并接，也可根据逻辑功能要求，接高电平或接地。

(8) CMOS 器件的输出端不得与 V_{DD} 或 V_{SS} 短接，若输出端接有负载电容，则应根据手册要求选取电容容量，以免过大的电流损坏输出级。

(9) 增大 CMOS 电路负载能力有以下几种方法：

1) 将同一芯片上几个反相器的输出端并联。

2) 增加驱动电路。

3) 负载是晶体管时，可采用复合管作为输入级。