

RCA互补MOS集成电路手册

王 儒 全 译

上海半导体器件研究所

一九七五年一月

译 者 的 话

美国无线电公司（通称RCA公司）于一九六四年左右首先试制成了互补MOS集成电路，开创了“微功耗电子学”新领域。目前，除迅速发展的大规模集成电路之外，互补MOS集成电路的发展是最受人们重视的。根据美国七三年第一期电子学杂志报导，到七五年，互补MOS集成电路的销售额将从一千万美元猛增到一亿美元，即两年中增加10倍。由于集成电路工艺的改进，互补MOS集成电路不仅品种数以百计，而且正往大规模集成电路方面发展。一九七二年日本东芝公司首先制成了包含有4800个元件的台式计算机用互补MOS大规模集成电路，引起了人们的注意。目前，1024位CMOS·RAM已投入市场，集成度已达6000~7000元件/片以上。

归纳起来，互补MOS集成电路有如下一些主要优点：

1. 功耗极低。单个门、触发器的静态（备用）功耗可达毫微瓦数量级，高集成度后不存在热学设计方面的困难；
2. 速度高。可达毫微秒数量级，即可与TTL相比；
3. 抗干扰性高。通常抗干扰度为电源电压的45%；
4. 对电源要求低。不需要采取特殊的稳压、滤波措施，一般只用或正或负的一组变化范围很宽的单电源即能工作；
5. 晶体管参数变化范围要求低，而工作都是可靠的；
6. 扇出大。而且逻辑幅度与系统的精度和扇出无关；
7. 逻辑函数关系简单；
8. 工艺简单。

与TTL相比，由于互补MOS集成电路的上述各方面特点，所以目前人们已经提出了“数字世界将是互补MOS的世界”这一口号。在相同的速度情况下，互补MOS集成电路比双极型TTL集成电路的功耗低1000倍以上，抗干扰度也高得多，而且工艺简单。要制造对称互补双极型TTL电路看来不大可能实现，所以这一口号部分地反映了客观现实情况。

互补MOS集成电路首先是在空间、军事电子设备追求低功耗高集成度情况下出现的，因而它在空间、军事电子设备中得到广泛应用是不言而喻的；其次，目前工业自动化（如数控机床）控制中应用互补MOS集成电路日渐增多，因MOS集成电路是目前所有集成电路中抗干扰度最高的；第三，由于工艺的进步，能够制造开启电压1伏以下的互补MOS集成电路，因而电源电压可降到1.5伏以下，再加之集成度高，所以互补MOS集成

电路在钟表工业方面又开辟了一个新的冲击着旧的机械手表的领域。目前美国、日本、瑞士都大量投产这种电子手表。从以上三方面的应用可以预见到互补 MOS 集成电路的应用前景是十分远大的。

遵照伟大领袖毛主席关于“**洋为中用**”的教导，现将美国无线电公司出版的 COS/MOS 集成电路手册译出，供有关同志参考。

承蒙华东计算技术研究所卢克诚同志、上海市科学技术情报研究所马远良同志对译稿作了校对，在此表示衷心感谢。

由于译者业务水平有限，译文中会有不少错误，望同志们批评指正。

译 者

一九七四年十月

序

本手册，是给从事COS/MOS (Complementary-Symmetry/Metal-Oxide-Semiconductor-互补对称金属-氧化物-半导体)器件即包含有P-型沟道和N-型沟道MOS晶体管的单片集成电路的设计和应用方面的人员，提供一个基本原理的了解而准备的。其内容包括器件物理的简单介绍、每类器件的结构、工作原理、主要的额定值和参数的叙述。提供了计数器和寄存器、非稳态的和单稳态的振荡器、加法器、COS/MOS 倒相器的线性偏置、以及低压晶体振荡器等的应用的专门设计准则和程序。噪声抗扰度、电源、以及COS/MOS器件和别的逻辑形式的器件的衔接等问题也都作了讨论。给出了设计例子，并对典型的实际电路进行了说明和分析。虽然这本手册首先是为与固体电路有关的线路和系统设计人员的工作而考虑的，但它对于教师、大学生、无线电业余爱好者、以及对于半导体器件和电路的使用感兴趣的其他人也是有用的。

目 录

COS/MOS基础.....	(1)
MOS器件基础和工作原理、设计方程、制造过程。	
基本的COS/MOS电路.....	(10)
倒相器和传输门：在或非和与非门、触发器、存储单元以及动态移位寄存器等中的设计、布局和应用。	
C D4000和C D4000 A 系列COS/MOS器件.....	(22)
C D4000和C D4000 A 系列全部器件的逻辑图和封装选择。	
C D4000和C D4000 A 系列的功能特性.....	(32)
最大额定值、静态功耗、输出驱动电流、噪声抗扰度、元件 - 负载特性、传输延迟和重复频率、典型的动态功耗。	
COS/MOS 逻辑系统设计	(48)
不用的输入、并联门输入、门和倒相器并联输入和输出、公共总线、正/负逻辑的转换、输入保护、系统功耗计算、噪声抗扰度、COS / MOS 和其他逻辑形式的衔接问题。	
计数器和寄存器.....	(66)
所有计数器和寄存器的逻辑图和线路原理图、电路的设计、功能准则，应用。	
非稳态和单稳态振荡器.....	(95)
电路、应用。	
三十二位加法器.....	(110)
部件、工作、功能。	
COS/MOS倒相器的线性偏置.....	(119)
偏置方法、功能。	
晶体振荡器.....	(122)
基本电路、晶体特性、反馈网络、谐振和并联谐振、COS/MOS振荡电路。	
符 号.....	(132)

COS/MOS 基础

当N-P-N和P-N-P两种器件成为可利用的时候,以及当线路设计人员把它们连在一道组成“互补对称”配置结构加以利用而得到许多优点的时候,标志着分立双极型晶体管固体电路的发展有了一些重要的进步。但是,在使用双极型晶体管的单片集成电路中,由于一些相抵触的制造因素而目前暂缓在同一衬底上制造最佳的N-P-N和P-N-P双极型晶体管,从而使得不可能利用互补对称电路的许多优点。然而,互补对称电路的这些优点,能够借助于在一单片衬底上集成相容的P-型沟道和N-型沟道增强型MOS场效应晶体管的集成电路中被利用。经过大量的早期研究和试制努力之后,一九六八年RCA公司宣布了包含P-型沟道和N-型沟道MOS晶体管的COS/MOS单片集成电路的商业利用。

围绕着逻辑和存储两种结构,对COS/MOS电路在数字电路应用中的使用进行了很好的研究。COS/MOS电路有着微功耗静态工作、相当快的传输延迟、良好的抗扰度、大的扇出能力,以及变化范围宽的单电源工作等特性。COS/MOS逻辑和存储电路的这些特征免去了对于温度变化的影响。标准的与专用的中规模集成(MSI)和大规模集成(LSI)两种复杂的COS/MOS电路,用简单的单相时钟来工作。

MOS器件基础和工作原理

场效应晶体管综合了固体器件(尺寸小、功耗低、以及机械强度高)和输入阻抗很高的一些固有优点。与双极型器件其功能决定于两种荷电载流子—空穴和电子的相互作用不同,场效应器件是单极型器件;即工作基本上只由一种类型的荷电载流子—P-型沟道器件中的空穴和N-型沟道器件中的电子起作用。

场效应晶体管的早期模型,是使用反向偏置的半导体结作为控制电极。在MOS(金属-氧化物-半导体)场效应晶体管中,利用绝缘氧化物层将金属控制“栅”与半导体“沟道”隔开,如图1所示。金属-氧化物-半导体结构的许多优点之一,是MOS晶体管(与结-栅型场效应晶体管不同)很高的输入电阻不受控制(栅)电极上偏置极性所影响。此外,与绝缘的控制电极有关的泄漏电流,基本上不受环境温度变化所影响。由于MOS场效应晶体管独有的性能,所以特别适用于在数字开关、线性电压放大器和电压控制衰减器应用中使用。

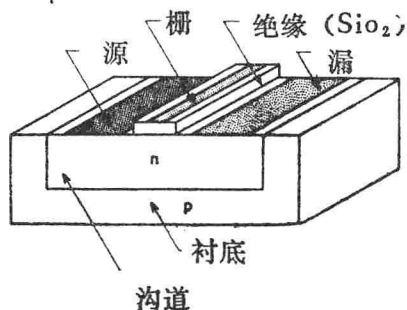


图1. MOS场效应晶体管的结构

场效应器件的工作，能够由电荷控制概念来解释。金属控制电极，即所谓栅，起着电荷存储或者控制元件的作用。当电荷在栅上出现时，在位于栅下面的半导体层或者沟道中就感应一相等的但极性相反的电荷。于是，沟道中感应的电荷能够用来控制两个欧姆接触即构成沟道的相反端头的所谓源和漏之间的电导。

MOS类型场效应晶体管使用的金属栅电极利用绝缘体而与半导体材料分开，如图1所示。象P-N结那样，当适当的偏压加上后，这个绝缘栅电极能够耗尽源-漏沟道中的工作载流子。但是，绝缘栅电极也能够增加沟道的导电性，而不会增加稳定状态输入电流或降低功率增益。

MOS场效应晶体管的两种基本类型是耗尽型和增强型。所有的COS/MOS集成电路都使用增强型MOS场效应晶体管。在这种增强型MOS场效应晶体管类型中，栅必须正向偏置以产生工作的载流子和允许经沟道而导电。在0或者反向栅偏置时没有可使用的沟道导电性存在。

由于MOS晶体管能够制成为利用或者电子导电（N-型沟道）或者空穴导电（P-型沟道），制造两种各自的增强型MOS场效应晶体管是可能的。图2所示MOS晶体管的图形标记，指明了它是N-型沟道或是P-型沟道。标记中的箭头方向指着沟道的为N-型沟道器件，箭头背离沟道的为P-型沟道器件。

图3表示一个N-型沟道增强型MOS晶体管的截面图（改变N-型和P-型区域的符号则能够得到一个P-型沟道增强型晶体管）。直到一个极性正确的足够的电压加到栅电极上为止，这种类型的晶体管通常是不导通的，当一正偏置电压加到N-型沟道增强型晶体管的栅上时，电子就拉入栅下的沟道区域。如果加上足够大的电压，则这个沟道区域由P-型改变为N-型，而且在N-型源和N-型漏区之间提供一导电通路。（在P-型沟道增强型晶体管中，施加的负偏置电压使空穴拉入栅下面的区域，即这个区域由N-型改为P-型而且也提供一个源-漏导电通路）。

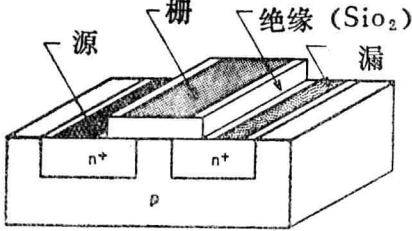


图3. N-型沟道增强型MOS晶体管的截面图

在增强型晶体管中，栅电极必须盖着源和漏之间的整个区域，即所加的栅电压在它们之间能够感应一个导电沟道。

如果MOS晶体管中导电类型反一反，则在特性方面反后的器件与原来的器件是



图2. MOS晶体管的图形标记
(G: 栅, D: 漏, B: 工作基体或衬底, S: 源)

由于这个特点，所以增强型MOS晶体管对于开关应用是特别合适的。

“互补的”。于是，N-型沟道 MOS 器件与P-型沟道MOS器件的关系，如同P-N-P 晶体管与N-P-N晶体管的关系那样。

图 5 所示的使用两种类型 MOS 器件的电路称为互补电路。图 5 中所示的结构就构成了COS/MOS集成电路的最简单形式；有源开关元件由两个相反极性 MOS 晶体管将其P-型和N-型沟道的栅串在一起而构成。如果 COS/MOS 集成电路中的一个晶体管的漏和另一个的漏连接起来，则就得到一个简单的互补倒相电路；这种电路将在后面详细讨论。

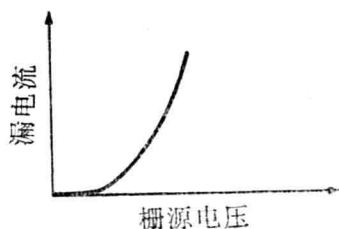


图4. 在 MOS 晶体管中，作为栅-源电压函数的漏极电流。

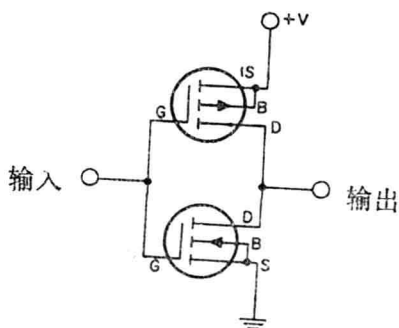


图5. 使用MOS晶体管的互补对称倒相器

MOS 器件设计方程

MOS器件基本上是一种电压控制器件，表现为电容性输入，以及当栅-源电压等于阈电压 V_T 时开始导通。图 6 表示一个P-型沟道增强型MOS晶体管的源-漏电流 I_{SD} 作为源-漏电压 V_{SD} 和源-栅电压 V_{SG} 的函数的理论曲线。在各种工作范围内，这些特性的理想方程如下所示：

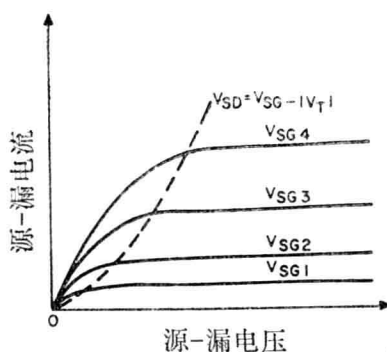


图6. 在P-型沟道增强型MOS晶体管中，作为源-漏电压函数的源-漏电流。

$$I_{SD} = K \frac{W}{L} [2(V_{SG} - |V_T|)V_{SD} - V_{SD}^2] \quad (1)$$

当 $0 \leq V_{SD} \leq (V_{SG} - |V_T|)$

$$\text{时, } I_{SD} = K \frac{W}{L} (V_{SG} - V_T)^2 \quad (2)$$

当 $0 \leq (V_{SG} - |V_T|) \leq V_{SD}$

$$\text{时, } I_{SD} = 0 \quad (3)$$

当 $V_{SG} = |V_T|$

时, 在方程(1)和(2)中:

$$K = \frac{\mu \epsilon}{2t_{ox}}$$

式中 μ 是沟道中载流子的有效表面迁移率, ϵ 是氧化物的电容率, t_{ox} 是氧化物的厚度, W 是沟道宽度, 而 L 是沟道的长度。P-型沟道增强型元件的阈电压由下式给出:

$$V_T = V_{TO} - K_B \left[(V_{BS} + \psi)^{\frac{1}{2}} - (\psi)^{\frac{1}{2}} \right]$$

式中 K_B 是衬底载流子浓度的函数, V_{BS} 是衬底-源电压, ψ 是表面势, 而 V_{TO} 是 $V_{BS} = 0$ 时的负的阈电压值。对于几种 N-型 衬底电阻率材料, 作为 V_{BS} 函数的 V_T 的变化是画在图 7 中。方程(1)和(2)中所用的区域之间的边界相应于条件 $V_{SD} = V_{SG} - |V_T|$, 而且如图 6 中的虚线所表示的那样。方程是理想化的, 因为在方程中, 饱和区域 ($0 \leq V_{SG} - |V_T| \leq V_{SD}$) 内的有限漏极电阻、串联寄生电阻、沟道内迁移率随源-栅电压的变化以及源-漏泄漏电流全部忽略了。

阈电压也可以定义为:

$$V_T = \frac{t_{ox} S}{\epsilon} + \psi_{MS} + 2\psi_i \quad (6)$$

式中 ψ_{MS} 是金属和半导体之间功函数的差, ψ_i 是反型的表面和半导体基体之间费米势的差, 而

$$S = \psi_{ss} + \psi_B$$

此地 ψ_{ss} 是固定表面态电荷, 而 ψ_B 是硅的体电荷。

能够证明, 利用对方程(1)微分, 在 $V_{SG} - |V_T| \leq V_{SD}$ 范围内, 电阻 R 近似由下式给出:

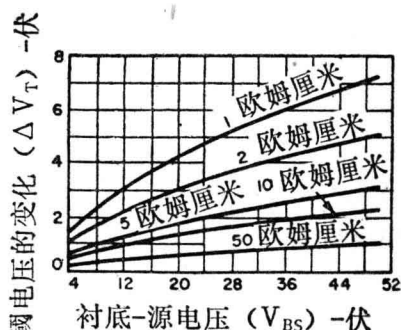


图7. 对于几种N-型衬底电阻率, V_T 随 V_{BS} 的变化。

$$R \approx \frac{1}{\frac{\mu \epsilon W}{t_{ox} L} - (V_{SG} - |V_T|)} \quad (9)$$

MOS结构的电阻是源-栅偏置和沟道几何尺寸的函数；它与源-漏电位无关。于是，MOS器件能够作为一个固定的或可变的电阻使用，其电阻的总数值受源-栅偏置所控制。

对于开关目的，了解输入电容是重要的。这个值能够用氧化物电容 C_{ox} 的一级近似来表示，由下式给出：

$$C_{ox} = \frac{\epsilon W L}{t_{ox}}$$

这个值随扩展出沟道的栅金属化的电容以及管壳和杂散金属丝电容而增加。对于目前的MOS晶体管， t_{ox} 是500到2500埃数量级， L 是0.1到1密耳数量级。当 L 减小时，电容量增加而输入电容减小；但是漏-源击穿电压下降。

MOS晶体管的优质 W_o 给为：

$$W_o = \frac{g_m}{C_{ox}}$$

式中 g_m 是跨导，由下式给出：

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{SG}} \right|_{V_{SD} = \text{常数}}$$

或者

$$g_m = \frac{\mu \epsilon W}{t_{ox} L} (V_{SG} - |V_T|)$$

制 造 过 程

一般集成电路工艺

在本手册中所讨论的全部集成电路，都是分批制造在硅晶片上的单块电路。制造工序包括几步扩散和几步光刻。单块硅晶片是由硅锭切成的薄片。其后硅片抛光成完好的镜面。电路的复杂性决定了实际设计的小片(管芯)的尺寸。当今生产的电路所用的小片尺寸达到约150密耳见方。对于这样的小片尺寸范围，每一晶片得到的小片数目从1000数量变化到约250。由于加工一个晶片的费用是相同的而不管它生产多少小片，显然，小的芯片面积降低了单块小片的费用。此外，缺陷倾向于随机性；结果，大的芯片比小的芯片产生的缺陷的几率大。于是较小的芯片面积增加了加工的成品率而又进一步降低了费用。

加工成镜面的晶片的第一步重要的工序包括在晶片的表面上形成二氧化硅层，如图8所示。这个薄的二氧化硅层保护着完成的集成电路的硅表面，在半导体形成结的过程中，对掺杂剂起作壁垒的作用，以及对于互连金属提供一绝缘的衬底。硅晶片上的二

氧化硅是借助于加热到1000到1300℃的温度以及整个表面通以氧气而形成的。二氧化硅层也起作“图形掩膜”的作用，在所确定的区域内，“掺杂剂”原子自由地通过而进入硅衬底内以形成或者N-型或者P-型硅区域（决定于所使用的掺杂剂材料的类型）。

利用在二氧化硅层中选择形成的“窗口”方法来进行控制的能力，是集成电路制造中最有决定性的一步。在有些例子中，窗口可以仅仅为0.1密耳见方数量级。二氧化硅中的窗口确定了几何尺寸区域，在这区域中化学扩散反应得到了定位。这窗口借助于由所用的光掩膜和光化学程序来定出机械位置和尺寸大小，加工窗口的系统决定于称之为光致抗蚀剂的种类的光敏性质。

图9(a)给出了样例，在图中敷于硅晶片上的氧化物用几千埃厚的光致抗蚀剂来复盖着。在这种情况下，在其上面有黑斑点图形的光掩膜的玻璃板，是对着放在光致抗蚀剂上而且系统用紫外光来曝光。光致抗蚀剂被照过的区域趋于硬化（聚合），而在

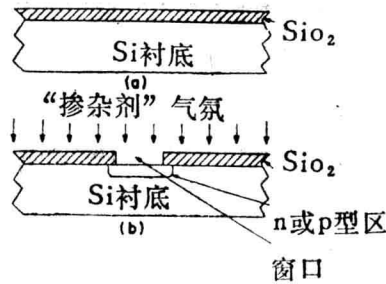


图8. (a)在晶片表面上二氧化硅层的形成；
(b)用作掩膜的二氧化硅层。

光掩膜的黑斑点下面的区域，仍然是软的，而且在随后的“光-显影”处理期间被除去。图9(b)表示“光-显影”处理后，在光致抗蚀剂中“曝光”过的窗口的图形。于是晶片容易受化学腐蚀剂(诸如稀释的氢氟酸)浸蚀，这腐蚀剂溶去了光致抗蚀剂窗口内的硅氧化物而不浸蚀下面的硅。于是在硅氧化物中就得到了希望的窗口，如图9(c)所示。图9(d)中留下的光致抗蚀剂用化学方法除去。于是，这个有其氧化物敷层的“清洁”晶片，就为在扩散炉中进行化学掺杂、以便在窗口下面的区域内得到一个或者N-型或者P-型的电学特性作好了准备。

使用化学扩散方法，是为了把形成半导体结的掺杂剂引入基体硅内。一系列的扩散都是在集成电路晶片的加工中进行的。

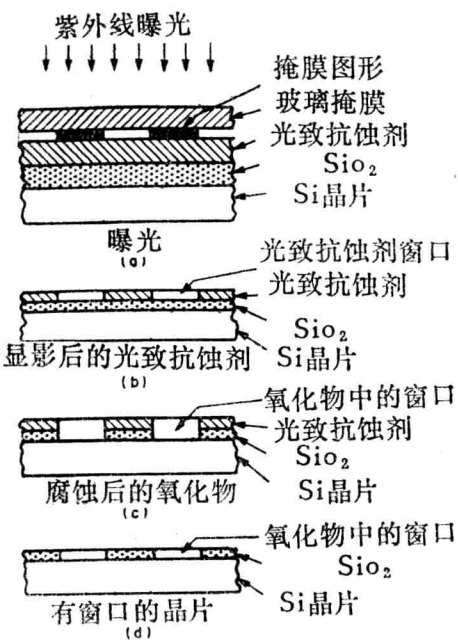


图9. 单片集成电路晶片的光致抗蚀剂加工

COS/MOS集成电路工艺

单片COS/MOS集成电路的原始材料(衬底)，选用均匀的N-型硅单晶，N-型硅晶体结构的方向取为(100)轴。扩散加工技术(掺杂)允许引入一定的杂质，以得到

所希望的深度和表面浓度。杂质的垂直深透是由扩散温度和时间来控制的；横向扩散的控制借助于二氧化硅的掩膜性质和光化学技术的结合而可以实现。衬底表面上的二氧化硅绝缘材料，对于每一个扩散步骤是选择性地开孔的（形成窗口）。随后除金属接触区域外，又代之以氧化物。

以下几段扼要地叙述一下包括在一个基本的COS/MOS集成电路上的电子元件的形成和互连中的基本过程，如图10所表示的电路那样。叙述了具有栅保护的简单的N-型沟道和P-型沟道器件对的制造。

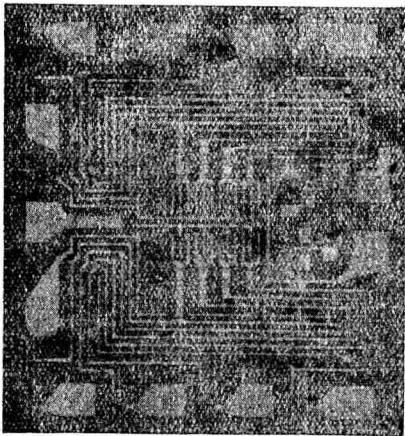


图10. 一个COS/MOS集成电路的照片



图11. P-型区域的形成，在这个区域中将制造N-型沟道MOS器件

作为COS/MOS集成电路形成的开始一步是，P-型材料是垂直扩散进N-型衬底中以形成P-型区域（P-型阱），在这个区域内将制造N-型沟道MOS器件。这开始的一步表示在图11。如象图12中所表示的那样，小的低电阻P⁺-型区域是扩散进N-型衬底以形成P-型沟道器件的源和漏区域，

以及P⁺到N-型衬底的保护二极管。象图13中所表示的那样，小的低电阻N⁺-型区域是扩散进P-型阱区域以形成N-型沟道器件的源和漏区域，以及构成全部栅保护网络。

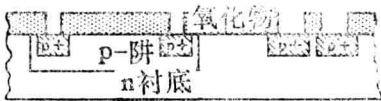


图12. 在N-型衬底内的小的低电阻P⁺-型区

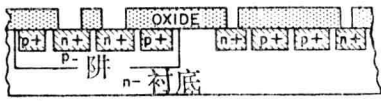


图13. 在P-型阱区中的小的低电阻N⁺-型区域

如已叙述过的那样，在集成电路加工过程中，必须用SiO₂作为扩散掩膜。但是，在MOS加工过程中，SiO₂起着另外的比较更重要的作用，即用作复盖沟道区域的电介质以及使其沟道与金属栅绝缘。采用这种加工工艺来制造MOS器件的关键是得到合适的氧化层。

发现SiO₂通常含有某些离子沾污（大多数常常是钠离子），而且这些离子是带正电荷的。由离子所携带的正电荷对MOS器件的特性有着重大的影响。在许多例子中，在提高温度的情况下，当有电压应力时它可以移动。可移动的电荷的存在是很不希望

的，因为它能够在器件的稳定性和可靠性方面引起一系列的问题。因此，为了克服沾污，发展了清洁氧化物工艺。这种工艺可采用来制造可靠的N-型沟道和P-型沟道增强型器件，为此在集成的MOS器件中对于互补对称结构的研制也就可实现了。在MOS集成电路中， SiO_2 另外的重要应用是作为场氧化物，厚的氧化物使所有MOS集成电路的非有源区域与互连金属绝缘。这种绝缘对于提高非有源区域的阈电压是必须的，这个电平远远超出系统的工作电压之上，于是克服了不希望的泄漏电流。场氧化物的阈电压通常被称为场阈电压。

完成晶片的金属化

一系列的氧化和扩散操作，就完成了包含有所希望的电子元件的集成电路晶片的加工。其后需要用高导电率的金属路径把这些元件互连起来。制得这些路径的过程称之为金属化。

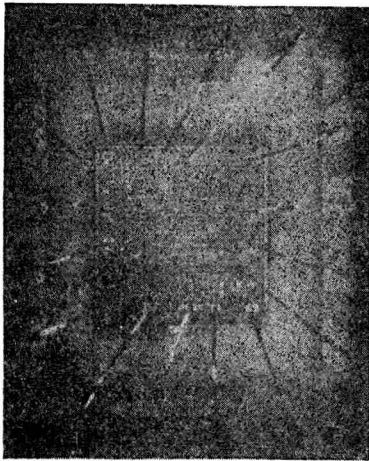


图14. 装配好的以及将芯片和管壳端脚连接起来的集成电路芯片

金属化过程由金属淀积、互连图形的勾画以及合金化所组成。金属淀积是利用在约 10^{-6} 托的真空中涂敷要加工的晶片而实现的。其后利用感应或电阻加热技术将它放在真空室内的源金属（通常是铝）加热到它的蒸发点温度以上。结果金属由蒸发而释出并在集成电路晶片上凝结，整个涂层要控制厚度。其后，敷金属的晶片拿去进行光刻，包括光致抗蚀剂的应用、通过对所希望的图形的光掩膜进行紫外光曝光，以及用酸将不要的金属腐蚀去，得到类似于图14所示的互连图形。最后，为了在铝和电子元件之间保证优良的电学接触，金属化的晶片在一个控制时间的炉子中加热，允许铝和半导体结稍微进行一下合金。

如图10所示，在集成电路芯片的边缘处的金属性质的互连端点作为与很细的金属丝进行压焊的脚。这些细的金属丝把芯片与管壳的端点连起来，如图14所示。

金属化晶片的探针测试

为了测试芯片而发展了精心制作的自动化设备，这些芯片是整个晶片的组成部分。测试程序常常称为“晶片探针加工”。许多根棒头磨细的探针和每个芯片上的铝电极脚同时作电学接触。设计了探针加工设备，用探针和单个芯片依次接触，于是晶片自动地打上标志。

装配和最后的测试

在晶片的探针测试完成后，单个电路芯片必须分开并装入集成电路管壳内。其后封好的器件拿去进行密封性、环境的和最后的电学检验。这些操作所使用的各项次序如下：

划片、掰片、分类和检查——晶片中的单个芯片利用类似于在玻璃切割中所使用的

技术来分开。使用精细的金刚石刀来“划开”由其芯片图形组成的晶片。分割成芯片的实际方法是利用称之为“掰片”操作来实现的，“掰片”是一个简单的机械系统，利用加到片子上的应力来固紧，在这样一种方法中，机械的分开沿划开的线发生。“分类”是把晶片探针加工和划片操作中产生缺陷的片子找出并挑去。每个芯片进行显微镜检查以挑出具有可见的不完整的电路。

芯片焊接——在这一步中，小片利用焊剂或焊料（低共熔点焊接）而安放在管壳内。

引线焊接——待芯片在管壳中牢固地固定后，端点和管柱之间进行电学连接。约1.5密耳直径的铝金属丝通常用来进行这样的连接。

加盖和密封——为了进行密封，引线压焊的底座上要进行清洗和烘干处理一个时期。实际的密封可用各种方法来完成，大多数决定于管壳的设计。使用局部加热方法（焊接）将管帽与管底密封起来。这一步是在干燥的气氛中进行的。在象塑料那样非密封的情况下，引线焊接的芯片装配是用塑料或者环氧材料来密封的。

密封性和环境试验——密封性试验是使用来确定管壳的泄漏电阻。常常使用氦检漏技术。在这种方法中，封装好的器件放在氦压力气氛中一段时间。氦能够透过管壳中任何可能存在的缺陷。在从氦压力室取出后，使用灵敏的质谱检漏仪检测氦在管壳中任何缺陷处的“溢出”。

使用机械冲击、振动、加速度和热冲击试验来筛除先天不足的器件，这些器件不能承受在集成电路的应用中对于特殊业务等级所规定的预料的应力。

最后的电学测试—COS/MOS集成电路芯片的晶片探针测试，通常限于静态参数测试和直流功能测试，因为探针引线的长度和其他一些因素妨碍了重要的交流、射频、或者脉冲测试。因而任何所要求的交流测试都是对封好的元件进行的。目前在COS/MOS集成电路方面使用的设备，几乎全部是自动化的。

基本的COS/MOS电路

这节叙述的几种电路是构成手册后面所讨论的比较复杂的基础。由于COS/MOS集成电路特别适合于数字应用，所以从这个角度出发叙述基本的电路。

倒相器

全部COS/MOS电路中，最基本的是一个P-型沟道和一个N-型沟道增强型MOS晶体管组成的倒相器电路，如图15的线路图所示。当倒相器的输入端的电压是0(逻辑0)

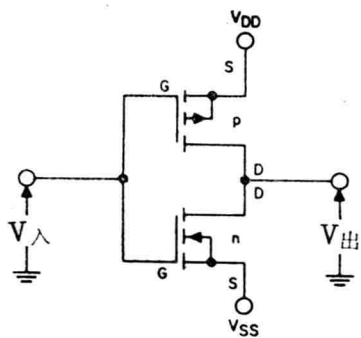
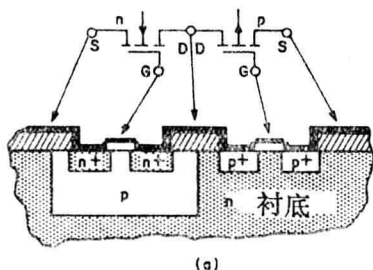


图15. COS/MOS倒相电路的线路图

时，以及P-型沟道器件的栅-源电压 (V_{GS}) 等于电源电压 (V_{DD}) 时，则P-型沟道元件开启。在这些条件下，从输出到 V_{DD} 有一低阻抗路径，而到地有一很高的阻抗路径；因此在正常负载情况下，输出电压接近于 V_{DD} (逻辑1)。当输入电压是 $+V_{DD}$ (逻辑1) 时，情况正好相反：P-型沟道元件截止，N-型沟道元件开启，结果输出电压接近于0 (逻辑0)。

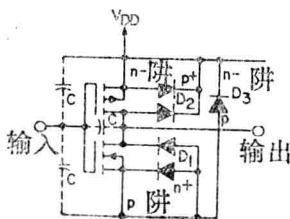
在任何逻辑状态下，一个MOS晶体管是开启的，而另一个是关闭的。由于一个晶体管始终处于关闭状态，所以COS/MOS元件静态功耗是相当低的，更精确地讲，它等于电源电压和泄漏电流的乘积。

对于倒相器电路来讲，制造源-漏和P-型阱扩散的过程〔如图16(a)的倒相器截面图所示〕也就制造了与基本的倒相器结点相连接的寄生二极管〔如图16(b)所示〕。这些寄生元件跨过电源而成反向偏置，因而对器件的泄漏电流亦即静态功耗有部分贡献。



(a)

图16. (a)表示二极管的倒相器芯片的截面图。



(b)

(b)连到基本的倒相器结点的二极管

RCA的COS/MOS产品范围包括从象2输入逻辑门那样的简单电路到14级二进制计数器那样的复杂电路。这些器件是由在不同面积的硅芯片上安置着不同数目的互连好的倒相器电路所构成。因此，泄漏电流范围很宽，因为它决定于互连电路的数目和与每个电路有关的寄生二极管面积。例如，一个逻辑门在10伏时的典型功耗是1微瓦，而14级计数器的功耗在10伏时最大为250微瓦，甚至尽管这些器件类型采用类似的工艺制成。在静态功耗的范围方面，COS/MOS器件比P-型MOS和双极型逻辑形式的优越性是最突出的：典型的COS/MOS集成电路功耗比可进行比较的P-型MOS和双极型集成电路的静态功耗小1000倍以上。

器件开关特性

由于在基本的倒相器中，串联P-型和N-型器件互连的互补特点，COS/MOS逻辑门的转移特性如图17所示。

当允许足够的稳定时间作用时，高的栅输入阻抗使得输入和输出信号从0伏（逻辑0）到 V_{DD} （逻辑1）之间进行完满的摆动。典型的开关点用电源电压大小的45~50%来表示，并且对于高阈电压器件，直接随从6~15伏的整个电压范围内变化，而对于低阈电压器件有高的噪声抗扰度；即典型值为电源电压的45%。图17也表明，在温度从-55~+125℃范围内，工作点随温度的变化可以忽略。由于这些开关特性的理想性能，所以在相当宽电压范围内，COS/MOS器件比任何其他逻辑电路形式的工作都更可靠。

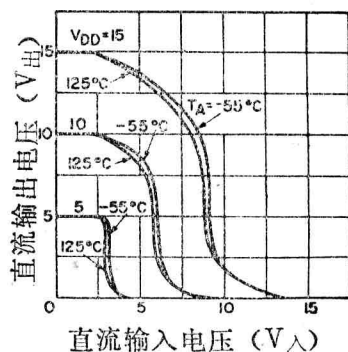


图17. COS/MOS逻辑门的转移特性

交流功耗特性

COS/MOS非常重要的功耗，是自然状态下的交流功耗，它是负载电容 C 、工作电源电压 V 和开关频率 f 的直接函数，即

$$P_{ac} = CV^2f$$

在从逻辑0到逻辑1的转移期间，COS/MOS倒相器中的两个晶体管都是瞬时地开启的，结果同时有一脉冲电流从电源流出。这个电流的大小决定于倒相晶体管的阻抗和阈电压，以及电源电压的大小。电流也需要给输出负载电容充电和放电。根据上述电流元件得到，功耗是直接比例于工作频率和电容性负载的总数。通常较大的电路开关着较大的电流；重的电容性负载，导致较大的功耗。

交流功能特性

如上面所指出的那样，在所给电路内部的或者外部的节电容负载，在开关期间经过