

锁相环集成电路 原理与应用

曾庆贵 编著

SUOXIANGHUAN
JICHENG DIANLU
YUANLI YU YINGYONG

上海科学技术出版社

锁相环集成电路 原理和应用

曾庆贵 编著

上海科学技术出版社

图书在版编目(CIP)数据

锁相环集成电路原理和应用 / 曾庆贵编著. — 上海:
上海科学技术出版社, 2012. 2
ISBN 978-7-5478-0976-1

I. ①锁… II. ①曾… III. ①锁相环—集成电路
IV. ①TN911. 8

中国版本图书馆 CIP 数据核字 (2011) 第 174116 号

上海世纪出版股份有限公司
上海科学技术出版社 出版、发行

(上海钦州南路 71 号 邮政编码 200235)

新华书店上海发行所经销

常熟市兴达印刷有限公司印刷

开本 787×1092 1/16 印张 16

字数: 390 千字

2012 年 2 月第 1 版 2012 年 2 月第 1 次印刷

ISBN 978-7-5478-0976-1/TN·4

定价: 48.00 元

本书如有缺页、错装或坏损等严重质量问题,
请向工厂联系调换

内 容 提 要

锁相环是一种使输出信号与基准信号在频率和相位上保持同步的电路单元。这种独特的性能使锁相环在频率调制和解调、频率合成和倍增、频率鉴别、音调译码、数据同步、电压/频率转换、电动机控制等领域获得广泛的应用。但是,锁相环的应用只有实现集成化之后才更加普及和方便。

本书介绍国内外流行且广泛应用的几种锁相环集成电路,它们由 CMOS、高速 CMOS 或双极工艺制成,分别具有低功耗、高线性压控振荡器和高速度等特点。在阐述每一种锁相环集成电路的工作原理和特性后,再介绍它的应用实例,内容丰富、实用性强,既有单元应用电路,也有综合应用实例,使读者从中得到启发和借鉴。

全书共分 6 章:第 1 章概述,第 2 章 CMOS 低功耗锁相环 4046,第 3 章 CMOS 相位比较器 TC5081,第 4 章高速 CMOS 锁相环 74HC/HCT4046,第 5 章全数字锁相环 74HC/HCT297,第 6 章双极锁相环集成电路。

本书适合对锁相环集成电路有兴趣的读者阅读,也可供大专院校电子和通信等专业的学生参考。

前 言

锁相环是通过对输入信号和输出信号的相位进行比较,使这两个信号实现同步的电路。这种特殊功能使锁相环在电子和通信领域获得越来越广泛的应用,如测试设备、空间遥测装置、频率合成器、数据调制-解调器、时钟正反馈和调频/调幅解调器以及要求高抗扰度和窄带宽的很多其他应用等。

如果采用分立元件组装锁相环,不仅结构复杂,价格昂贵,而且稳定性和可靠性差,对很多应用都不合适。直到出现实用的锁相环集成电路,锁相环应用才获得广泛的推广和普及,因此,推广锁相环的应用,就是推广锁相环集成电路的应用。

作者在集成电路行业工作多年,对锁相环集成电路有着浓厚的兴趣,一直保持跟踪和关注,阅读和收集了不少有关锁相环集成电路的资料,多年来就有写本书介绍锁相环集成电路的心愿。从第一个锁相环集成电路出现至今,已经过去 40 多年,锁相环电路的品种不断增多,性能逐步提高。在这些锁相环集成电路中,有一些十分流行,成为各行业应用锁相环的首选品牌,例如 CMOS 锁相环 4046、CMOS 相位比较器 TC5081、高速 CMOS 锁相环 HC/HCT4046、高速 CMOS 全数字锁相环 HC/HCT297、双极锁相环 NE564 ~ 567 等。由于 CMOS 锁相环集成电路具有功耗低、输入阻抗高、噪声容限高、电源电压范围宽和集成度高等优点,而双极锁相环集成电路则以速度高、驱动能力强著称,因而使上述锁相环集成电路成为热门产品,长销不衰。这些锁相环集成电路的原理和各种应用实例就成为本书写作的重点。

本书共有 6 章,除上述 5 类锁相环集成电路各成为一章外,还在第 1 章简单介绍了锁相环的工作原理,使初次接触锁相环的读者能够了解一些锁相环的入门知识,作为继续阅读后续各章节的基础。对于已经具有锁相环知识的读者来说,可以跳过第 1 章直接进入后面各章。

感谢家人的支持和理解,使作者坚持多年进行本书写作,而且在一个特殊的日子杀青,这是很有意义的事。

在本书写作过程中,秦周来为扫描插图做了很多工作,在此表示衷心的感谢!

由于作者水平有限,书中错误难免,敬请读者原谅!

编 者

目 录

第 1 章 概述	1
1.1 锁相环原理简介	1
1.1.1 锁相环的组成	1
1.1.2 锁相环的发展和应用	2
1.2 锁相环集成电路分类	4
第 2 章 CMOS 低功耗锁相环 4046	5
2.1 工作原理	5
2.2 电参数	14
2.3 应用实例	16
第 3 章 CMOS 相位比较器 TC5081	80
3.1 TC5081	80
3.1.1 工作原理	80
3.1.2 电参数	81
3.2 TC5082 和 TC9122 简介	81
3.2.1 TC5082	81
3.2.2 TC9122	82
3.3 应用实例	83
第 4 章 高速 CMOS 锁相环 74HC/HCT4046	88
4.1 工作原理	88
4.1.1 压控振荡器(VCO)	88
4.1.2 相位比较器	92
4.2 电参数	103
4.2.1 74HC 型集成电路的电参数	103
4.2.2 74HCT 型集成电路的电参数	107
4.3 应用实例	110
第 5 章 全数字锁相环 74HC/HCT297	137
5.1 工作原理	137
5.1.1 鉴相器	137
5.1.2 $\div K$ 计数器	140
5.1.3 增/减(I/D)电路	143
5.1.4 完整的 DPLL	144
5.1.5 电参数	149
5.2 DPLL 的应用实例	155
第 6 章 双极锁相环集成电路	164
6.1 锁相环 NE/SE564	164

2 锁相环集成电路原理和应用

6.1.1 工作原理	164
6.1.2 电参数	171
6.1.3 应用实例	172
6.2 通用单片锁相环 NE/SE565	184
6.2.1 工作原理	184
6.2.2 电参数	188
6.2.3 应用实例	189
6.3 通用函数发生器 NE/SE566	205
6.3.1 工作原理	205
6.3.2 电参数	207
6.3.3 应用实例	208
6.4 音频译码器/锁相环 NE/SE567	216
6.4.1 工作原理	216
6.4.2 电参数	221
6.4.3 应用实例	222
参考文献	247

第 1 章 概 述

1.1 锁相环原理简介

1.1.1 锁相环的组成

锁相环是一个通过对输出信号和输入信号的相位进行比较,使这两个信号实现同步的电路。同步通常称为锁定,锁相环锁定后,输出信号频率和输入信号频率相等,两个信号之间的相位差为零,或者保持常数。图 1-1 为锁相环电路的方框图,它由相位比较器(也称为鉴相器)(PD)、低通滤波器(LPF)和压控振荡器(VCO)3 个部分组成。

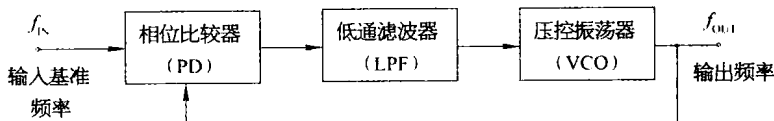


图 1-1 锁相环的方框图

相位比较器很像一个 2 输入端的门电路(其实异或门就是一种相位比较器),输入基准信号加到相位比较器的一个输入端,从 VCO 输出端反馈的信号加到相位比较器的另一个输入端,两个输入信号在相位比较器中进行相位或频率的比较,然后将比较结果作为误差电压输出。误差电压与两个信号之间的相位差成正比,经过低通滤波器滤除高频成分后,以其直流分量控制 VCO,既改变它的振荡频率,又使输入信号和输出信号之间的相位差减到最小。当 VCO 的振荡频率和输入基准信号的频率相同,且两个信号之间只存在有限的相位差时,锁相环就达到了锁定(或同步)状态。

低通滤波器是锁相环必不可少的组成部分,它滤除相位比较器输出信号中的高频谐波,允许直流或低频通过,即把相位比较器的输出转变为平滑的直流控制电压。由于低通滤波器具有有限的时间常数,锁相环锁定不是瞬时发生的,VCO 的频率变化由低通滤波器的时间常数决定,时间常数越大,频率变化越缓慢;时间常数越小,频率变化越迅速。输出频率锁定于输入信号的中间频率,而不是其瞬时值。当从含有噪声的基准输入信号中产生纯净的输出频率时,这个特性是很有价值的。

VCO 是一种可变频率振荡器,它的振荡频率受低通滤波器输出的直流信号控制。当相位比较器的输入端无输入信号或噪声时,低通滤波器输出的直流电平等于电源电压的二分之一,这时 VCO 的振荡频率称为自由振荡频率或中心频率(f_0)。加入输入信号后,如果起初 VCO 的振荡频率低于输入基准信号频率,滤波器的输出就会使 VCO 的频率向增高的方向变化,使 VCO 的振荡频率向输入信号频率接近,频率差逐渐减小,直到两个频率相等,锁相环达到锁定。同样,如果 VCO 的起振频率高于输入基准信号频率,就会发生相反的过程,再次使 VCO 频率锁定于输入基准频率。频率一旦锁定,锁相环的自动调整能力就控制 VCO 的输出振荡频率跟踪输入信号的频率变化,通常把锁相环随输入信号变化且能够保持锁定的频率范围称为“锁定范围”,而锁相环随输入信号变化可以达到锁定的频率范围则称为“捕捉范围”,它不会超过锁定范围。通常情况下,锁相环工作的频率范围限制在锁定范围内。

2 锁相环集成电路原理和应用

在锁相环集成电路中,VCO 一般做成线性压控振荡器,即振荡频率与滤波器输出的控制电压成正比。当控制电压等于电源一半时,振荡器的频率为中心频率 f_0 ;当控制电压等于正电源电压时,振荡频率达到最大值 f_{\max} ;当控制电压为电源负值时,振荡频率达到最小值 f_{\min} 。

根据这种机制,“捕捉范围”可以再次定义为在以 VCO 最初的自由振荡频率为中心的频率范围内环路跟随输入信号达到锁定的范围。捕捉范围必须处于 VCO 达到锁定的频率范围,即可以是锁定范围内的任意值。在捕捉范围内一旦达到锁定,环路就能跟踪输入信号。

1.1.2 锁相环的发展和应用

锁相环的概念早在 1922 年就提出来了,1932 年法国工程师在研究零拍接收机时,对于接收无线电信号又对其作了描述。锁相环的第一次广泛应用是在电视机中,用发射的同频脉冲同步水平和垂直偏转振荡器。从此以后,很多做不到的项目都可以用锁相环技术来实现,锁相环在电子学和通信领域中的应用越来越广泛。在通信领域,锁相环的应用包括测试设备、空间遥测装置、频率合成器、数据调制-解调器、时钟正反馈、调频/调幅解调器以及要求高抗扰度和窄带宽的很多其他应用等;在其他领域的应用,如发动机速度控制系统、跟踪电压表及频谱分析器,微处理器中的时钟生成等。这些应用中的技术和系统常常是很复杂的,要求采用先进的技术。现在,很多锁相环应用已经达到微波频率,并且使用复杂的移相器、信号分裂器、调制和解调电路,其中虽然应用于微波频率的锁相环系统需要用分立元件组成,但是在诸如频移键控(FSK)、调频及调幅解调等其他通信系统中,使用的频率一般低于 100MHz,低成本、高性能的锁相环集成电路大有用武之地。

无论工业还是民用,锁相环电路的应用范围都非常广泛。频率合成器是锁相环的一种常用方式,在调频收音机、电视接收机和军事通信设备中具有重要的作用。下面列举几种以锁相环为基础的频率合成器的应用实例。

1. 频率倍增

以锁相环构成的频率倍增器如图 1-2 所示,在锁相环的反馈回路中加入了一个分频器(即 $\div N$ 计数器)。这时,相位比较器锁定于分频器的输出频率,而不是 VCO 的输出频率 f_{OUT} 。如果分频器的分频系数为 10,在锁定条件下,VCO 输出频率是输入基准频率 f_{IN} 的 10 倍,电路起 10 倍频率的倍频器作用。

如果锁相环反馈回路中串联计数器的分频比为任意整数 N ,则它可以对输入基准频率 f_{IN} 作 N 倍倍频。

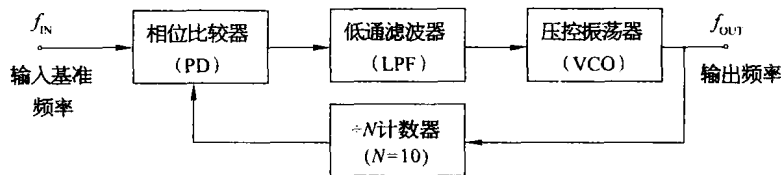


图 1-2 频率倍增器(10 倍)

2. 频率合成

如果在图 1-2 的反馈回路中串联的不是整数分频器,而是可编程计数器,其编程的分频倍数由外部设置或控制,就可以产生或合成具有一定间隔的许多频率,这种电路称为频率合成器,如图 1-3 所示。

频率合成器能够从一个高精度和高稳定的标准频率产生相同精度和稳定度的多种频率。它与倍频器的主要区别在于 PLL 反馈回路中的固定分频器需要改为可编程分频器。

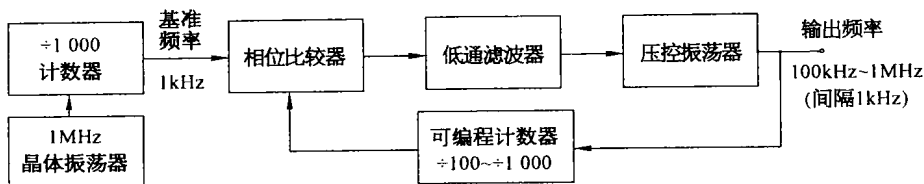


图 1-3 频率合成器

为了得到精确、稳定的输出频率,从1MHz晶体振荡器产生,再经过1000分频后,产生固定、精确的1kHz作为相位比较器的基准输入频率。可编程计数器的分频系数为100~1000之间的任意整数,因此,在电路输出端可以产生或合成100kHz~1MHz的输出频率,频率间隔为1kHz。

在图1-3中,VCO必须至少有1到10的频率跨度,以便覆盖要求的范围。

可以看到,图1-3的频率间隔为1kHz,它对应于外接输入基准频率 f_{IN} 。

可编程计数器是频率合成器必须具有的组件。但是,实际计数器对于最高输入频率的典型响应只有几个MHz,对高于几个MHz量级的频率,用图1-3的电路不能实现,可以使用下面几种高频锁相环频率合成器。

3. 有预分频器的高频频率合成器

如果在图1-3的VCO输出和可编程计数器之间连接附加的预分频器,就构成如图1-4所示的有预分频器的高频频率合成器。预分频器是具有固定分频比(X 倍)的高频计数器。现在,允许VCO工作在高于可编程计数器 X 倍的频率。在图1-4中, $X=20$,频率合成器的输出覆盖2~20MHz,比图1-3增大20倍。

本电路的缺点是输出频率间隔也按预分频器分频比的倍数增大,即 $20f_{IN}$,达到20kHz。

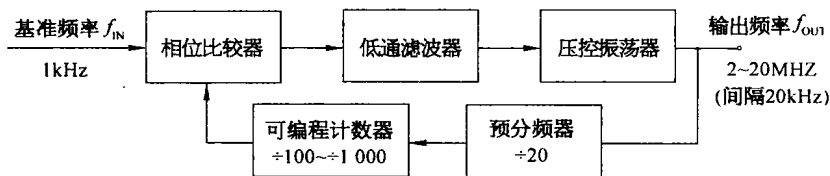


图 1-4 有预分频器的高频频率合成器

4. 高频、混频器型频率合成器

高频、混频器型频率合成器如图1-5所示,它是在VCO和可编程计数器之间串联混频器及其滤波器组成的,使VCO的输出频率达到100~101MHz,频率间隔为1kHz,可产生频率1000种。

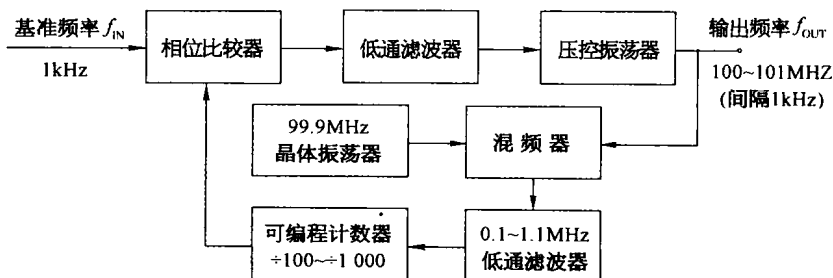


图 1-5 高频、混频器型频率合成器

混频器对 VCO 输出频率 f_{OUT} 和 99.9MHz 晶体振荡器频率 f_m 进行混频,产生的混频(和频和差频)为

$$f_{\text{mix}} = \pm N \cdot f_{\text{OUT}} \pm M \cdot f_m$$

当 $N=1$ 、 $M=-1$ 时,即

$$f_{\text{mix}} = f_{\text{OUT}} - f_m$$

混频器输出频率 0.1 ~ 1.1MHz 的差频,经过相应的低通滤波器后,送到可编程计数器进行分频,然后再输入相位比较器作相位比较。这种频率合成器不仅输出频率高,而且频率间隔与基准频率 f_{IN} 相同,仍然为 1kHz。但缺点是 VCO 的有用频率跨度限制为几个 MHz。

5. 宽范围、高频频率合成器

把混频器和图 1-4 相结合,就组成如图 1-6 所示的宽范围、高频频率合成器,它可以产生 100 ~ 120MHz、以 20kHz 为频率间隔的 1000 个输出频率。VCO 的输出频率和 98MHz 晶振频率混合,经过低通滤波器后产生 2 ~ 22MHz 输出。该输出先由预分频器进行 20 分频,使频率降低到 100kHz ~ 1.1MHz 范围,然后通过可编程计数器并反馈到相位比较器输入端。虽然电路的结构复杂了很多,但可以产生很好的结果。

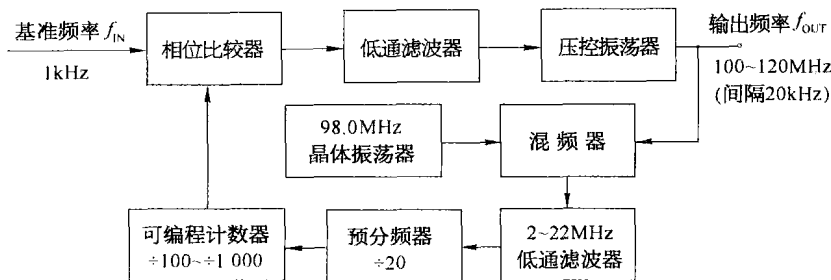


图 1-6 宽范围、高频频率合成器

1.2 锁相环集成电路分类

锁相环集成电路按照器件类型分为双极锁相环和 MOS 锁相环;按功能分为模拟锁相环和数字(及全数字)锁相环。前一种分类很容易,后一种分类则有些麻烦。因为在锁相环集成电路中,既有处理数字信号的模块,也有处理模拟信号的模块,这种锁相环就是半模拟半数字的混合器件。例如,有些数字锁相环虽然有数字相位比较器,但它的压控振荡器受模拟信号(即低通滤波器产生的平均输出电压)的控制。只有全数字锁相环内不包含任何无源元件,如电阻和电容等,全部由数字功能模块组成。

目前双极锁相环有好几种,如 NE/SE500 系列,由于它的速度快,驱动能力强,而且上市较早,多数都是很流行的器件。

在 CMOS 4000B 系列中,锁相环集成电路只有一种,就是 RCA 的 CD4046B 低功耗锁相环和 MOTOROLA 的 MC14046B 锁相环,两个品种的性能和管脚是相容的,可互换使用。

在 54/74HC 高速 CMOS 数字集成电路系列中,锁相环集成电路有 3 种,它们是具有 VCO 的锁相环 HC/HCT4046A;带锁定检测器的锁相环 HC/HCT7046A;全数字锁相环 HC/HCT297。

目前第三代 CMOS 集成电路系列中尚未见开发了锁相环集成电路的报导,但是这种集成电路的工艺已经成熟,加上市场的需要,研发出锁相环集成电路也是指日可待的事。

第 2 章 CMOS 低功耗锁相环 4046

4046 是用 CMOS 工艺设计和制作的第一只通用锁相环集成电路。

在 CMOS 锁相环集成电路开发成功之前,市场上只有双极锁相环集成电路供应,这种集成电路的速度快,驱动能力强,但集成度低,特别是电路的功耗比较大。CMOS 锁相环集成电路面世后,其低功耗特性无疑成为与双极锁相环竞争的最大亮点。因此,开发 4046 锁相环的 RCA(美国无线电公司,此公司已于 20 世纪 70 年代末被通用电器(GE)兼并)当时将它命名为 CMOS 低功耗锁相环。

1970 年左右 RCA 开发出 4000A 系列中唯一的通用锁相环集成电路 CD4046A,1974 年从 A 系列发展成为缓冲输出的 4000B 系列,工作电压范围和性能有了进一步的改进。在该系列中锁相环集成电路变为 CD4046B,由于其“通用”、“唯一”和“低功耗”特性,获得了极其广泛的应用。

与 RCA 共同开发 4000B 系列的是 MOTOROLA 公司,它的 McMOS 系列中锁相环命名为 MC14046B。其他公司(如 NS、PHILIPS)开发的产品作为 RCA 和 MOTOROLA 的第二货源,它们的器件功能、参数、管脚等与两个公司相同,但产品名称除采用本公司的前缀外,型号 4046 则保持不变。在本书后续章节中,这种锁相环将以型号 4046 表示,省略各公司的前缀和系列号。

由于 CMOS 集成电路具有低功耗、高输入阻抗、高噪声容限和宽电源电压范围等特点,虽然它的工作频率一般不超过 100MHz,但随着制造工艺的进步,第三代 CMOS 集成电路(通用超高速 CMOS 集成电路系列)的工作频率已经达到 150MHz,因此,CMOS 集成电路和 CMOS 锁相环集成电路具有良好的发展前景,必将成为人们优选的品种。

2.1 工作原理

在第一章介绍锁相环基本工作原理时,已经说明锁相环是由相位比较器、压控振荡器和低通滤波器 3 个部分组成。CMOS 锁相环 4046 的方框图如图 2-1 所示,该集成电路包含两个相位比较器(相位比较器 1 和相位比较器 2)、压控振荡器、源跟随器和稳压管,组成低通滤波器的电阻 R3 和电容器 C2 需要外接。相位比较器、低通滤波器和压控振荡器可以连接成一个闭合回路,当要组成频率合成器时,甚至还需要把外接的 $\div N$ 计数器包含在环路中。

1. 相位比较器

大多数锁相环的模拟放大器具有良好的增益控制特性,但很难用 CMOS 工艺实现。在 CMOS 锁相环集成电路 4046 中使用了数字型相位比较器,相位比较器也称为鉴相器,在本书中(除第 5 章)统称为相位比较器。如图 2-2 所示,4046 包括相位比较器 1 和相位比较器 2 两个相位比较器,它们有公共输入端(14 脚)并且由输入放大器驱动,放大器由偏置级和 4 级反相器组成。幅度在 CMOS 逻辑电平内的输入信号(“0”电平 $\leq 30\% (V_{DD} - V_{SS})$,“1”电平 $\geq 70\% (V_{DD} - V_{SS})$)可以直接耦合到这个输入端,而幅度较小的输入信号,则必须通过电容耦合进入信号输入端的放大器,以保证输入相位比较器的是满幅度的数字信号。

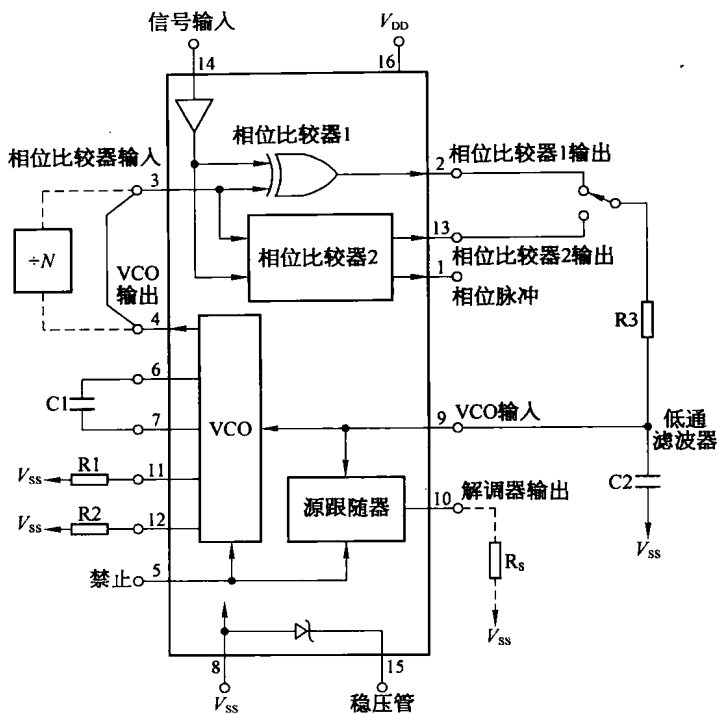


图 2-1 4046 的方框图

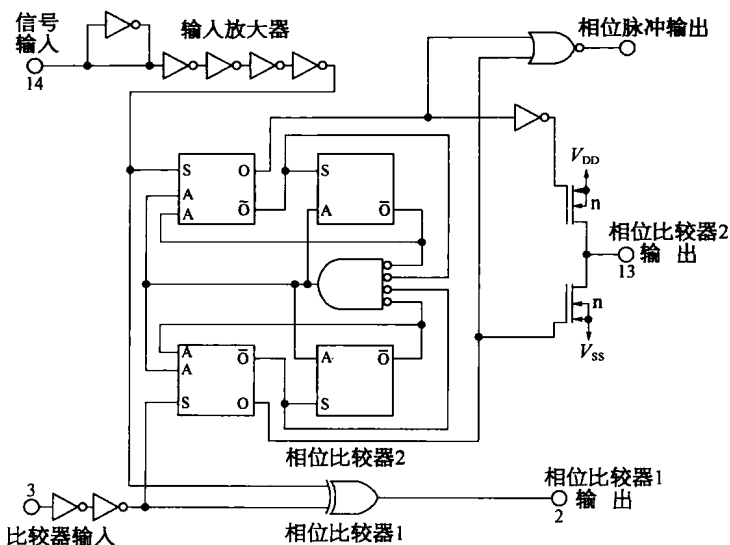


图 2-2 4046 的相位比较器

(1) 相位比较器 1

4046 的相位比较器 1 是个异或门电路,结构简单,具有高噪声容限的优点,但它可能锁定于接近 VCO 中心频率谐波的输入频率,这就限制了它的应用范围。

为了得到最大的锁定范围,当使用相位比较器 1 时,要求两个输入信号的占空比为 50%。

当输入端无信号或噪声时,相位比较器的平均输出电压等于 $V_{DD}/2$ 。由连接在相位比较器输

出端的低通滤波器为 VCO 输入端提供平均电压,使 VCO 在中心频率 f_0 产生振荡。

相位比较器 1 在 f_0 锁定条件下的典型波形如图 2-3 所示。可以看到,在输入波形的上升沿和下降沿,相位比较器 1 都产生输出信号(即误差脉冲),而其他相位比较器可能只对上升沿或下降沿产生响应。

对于相位比较器 1,一个非常重要的特性是根据它的平均输出电压 \bar{V}_{OUT} 与两个输入信号相位差 $\Delta\varphi$ 的关系,可以画出这个关系的曲线,并且定义曲线的斜率 K_{PD} 为相位比较器的增益,单位为伏/弧度(V/rad)。在理想情况下比例关系为一条直线,且 $\Delta\varphi = 0$ 时直线过原点。

下面就来分析并建立异或门的平均输出电压和输入信号相位差的关系。

如图 2-4 所示,设异或门的两个输入信号为 V_1 和 V_2 ,它们的频率相同,相位不同。 V_1 的相位为 φ_1 , V_2 的相位为 φ_2 ,则相位差 $\Delta\varphi = \varphi_2 - \varphi_1$ 。当 $\Delta\varphi = 0$ 时,两个输入信号的上升沿重合,没有误差脉冲产生, \bar{V}_{OUT} 和 K_{PD} 都为 0;当相位差从零增加到 $\Delta\varphi$ 时,每个输出脉冲的面积为 $V_{DD}\Delta\varphi$,由于一个周期内有两个输出脉冲,故在一个周期内的平均输出电压 $\bar{V}_{OUT} = 2V_{DD}\Delta\varphi/2\pi = V_{DD}\Delta\varphi/\pi$,增益 $K_{PD} = \bar{V}_{OUT}/\Delta\varphi = V_{DD}/\pi$ 。可见增益与频率无关。

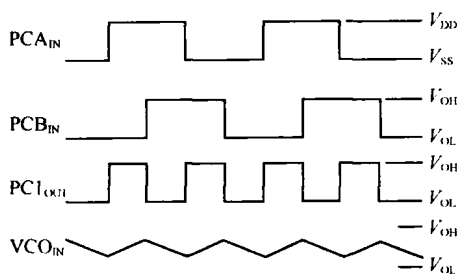


图 2-3 相位比较器 1 的输入和输出波形

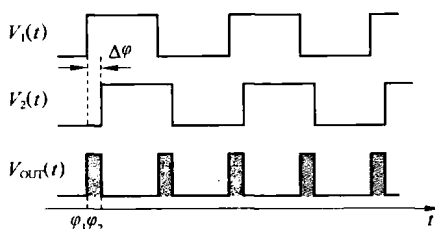


图 2-4 相位比较器 1 的输入和输出波形

当 $\varphi_1 = 0, \varphi_2 = \pi/2$ 时, $\Delta\varphi = \pi/2$, 每个输出脉冲面积为 $V_{DD}\pi/2$, 2 倍面积为 $V_{DD}\pi$; $\bar{V}_{OUT} = 2$ 倍面积/ $\Delta\varphi = (V_{DD}\pi)/(\pi/2) = V_{DD}/2$; $K_{PD} = (V_{DD}/2)/(\pi/2) = V_{DD}/\pi$ 。

当 $\Delta\varphi = \pi$ 时, 输出脉冲面积达到最大值, 即一个周期内两个输出脉冲面积连接在一起, 这时增益 K_{PD} 也达到最大值。

此后, 随着相位差继续增大, 当 φ_2 略大于 π 时, 两个输出脉冲的面积不再连接, 当中出现了间隙。这表明虽然相位差在增大, 但输出脉冲面积却在减小, K_{PD} 自然也减小。在 $\pi \leq \varphi \leq 2\pi$ 区间, 如果继续用上述方法计算相位差, 将得到错误的结果。由于脉冲波形是周期变化的, 这个问题可以这样解决: V_1 信号的相位改为以第二个上升沿作为计算基准, 即 $\varphi_1 = 2\pi$ 。因此在 $\varphi_2 = 3\pi/2$ 处, $\Delta\varphi = \varphi_1 - \varphi_2 = 2\pi - 3\pi/2 = \pi/2$ 。同理, 当 $\varphi_2 = 2\pi$ 时, $\Delta\varphi = 0$ 。这样计算各个相位差所得的 \bar{V}_{OUT} 和 K_{PD} 见表 2-1。相位差从 0 增加到 2π 的输入和输出波形的变化如图 2-5 所示。

表 2-1 相位比较器 1 平均输出电压和输入信号相位差的关系

$\Delta\varphi$	0	$\pi/2$	π	$3\pi/2$	2π
输出脉冲面积	0	$V_{DD}\pi/2$	$V_{DD}\pi$	$V_{DD}\pi/2$	0
2 倍输出脉冲面积	0	$V_{DD}\pi$	$2V_{DD}\pi$	$V_{DD}\pi$	0
\bar{V}_{OUT}	0	$V_{DD}/2$	V_{DD}	$V_{DD}/2$	0
增益 K_{PD}	0	V_{DD}/π	V_{DD}/π	V_{DD}/π	0

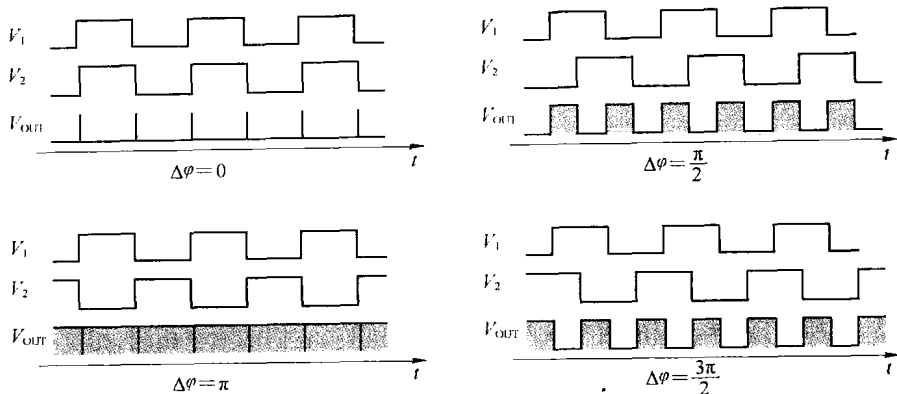


图 2-5 异或门输入信号相位差变化时的输入和输出波形

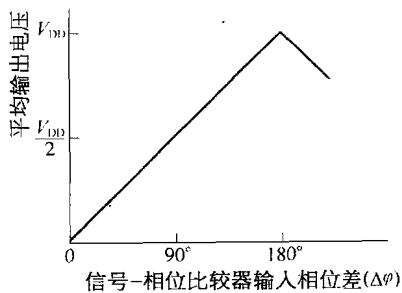


图 2-6 异或门的输入-输出特性

根据表 2-1 的数据,取横坐标为输入信号的相位差 $\Delta\varphi$,纵坐标为平均输出电压 \bar{V}_{OUT} ,在坐标平面上可得到几个点,然后逐点连接成折线。由于在 $\Delta\varphi = 0 \sim 180^\circ$ 和 180° 之后两个区间内折线的斜率相等,因而 \bar{V}_{OUT} 和 $\Delta\varphi$ 的折线是直线,如图 2-6 所示。该曲线表明:① \bar{V}_{OUT} 和 $\Delta\varphi$ 所成的曲线是个三角形,在 $\Delta\varphi = 180^\circ$ 时 \bar{V}_{OUT} 达到最大值;②增益是周期变化的,既可为正,也可为负;③相位比较器 1 通常使用的是 $\Delta\varphi = 0^\circ \sim 180^\circ$ 之间这一段,增益为常数。

(2) 相位比较器 2

相位比较器 2 是边沿控制的数字存储器电路,结构比相位比较器 1 复杂,包含 4 个触发器、控制门和由 PMOS 管及 NMOS 管组成的三态输出电路。当三态输出电路的 P 管或 N 管导通时,分别驱动输出达到 V_{DD} 或 V_{SS} 。

由于应用这种相位比较器的 PLL 系统是上升沿控制的,因此这种相位比较器只对信号输入(下面以 S_{IN} 表示)和相位比较器输入(以 C_{IN} 表示)的上升沿产生作用,输入信号的占空比并不重要。

若 S_{IN} 频率高于 C_{IN} 频率,三态输出级的 PMOS 管将保持连续导通;若 S_{IN} 频率低于 C_{IN} 频率,三态输出级的 NMOS 管将保持连续导通。若 S_{IN} 与 C_{IN} 的频率相同,但 S_{IN} 在相位上滞后于 C_{IN} ,在与相位差对应的时间内 NMOS 管保持导通;若 S_{IN} 与 C_{IN} 的频率相同,但 S_{IN} 在相位上领先于 C_{IN} ,在与相位差对应的时间内 PMOS 管保持导通。

从图 2-1 可以看出,低通滤波器连接在相位比较器 1 或相位比较器 2 输出端,相位比较器的输出信号不断调节低通滤波器的电容器电压,而滤波器的输出连接到 VCO 的输入端,控制 VCO 的振荡频率和相位,并且反馈回相位比较器 2 的输入端,直到 S_{IN} 和 C_{IN} 的频率和相位相同。在这个稳定的工作点,相位比较器 2 三态输出的 P 管和 N 管都保持截止,输出成为高阻状态,使低通滤波器的电容器上的电压保持不变。

在上述过程中,“相位脉冲”输出端(1 脚)的信号为高电平,可以用来指示锁定状态。因此在 VCO 整个频率范围内,相位比较器 2 的 S_{IN} 和 C_{IN} 之间没有相位差存在。

另外,当使用相位比较器 2 时,由于在大部分时间内三态输出电路的 PMOS 管和 NMOS 管都保持截止,因而减小了低通滤波器的功耗。

应当注意,使用相位比较器 2 的 PLL 时,其锁定范围等于捕捉范围,而且与低通滤波器无关。

如果信号输入端没有信号, VCO 会调整到它的最低频率, 即相位比较器 2 的频率。

图 2-7 表示 CMOS 锁相环 4046 在锁定状态使用相位比较器 2 的波形图。

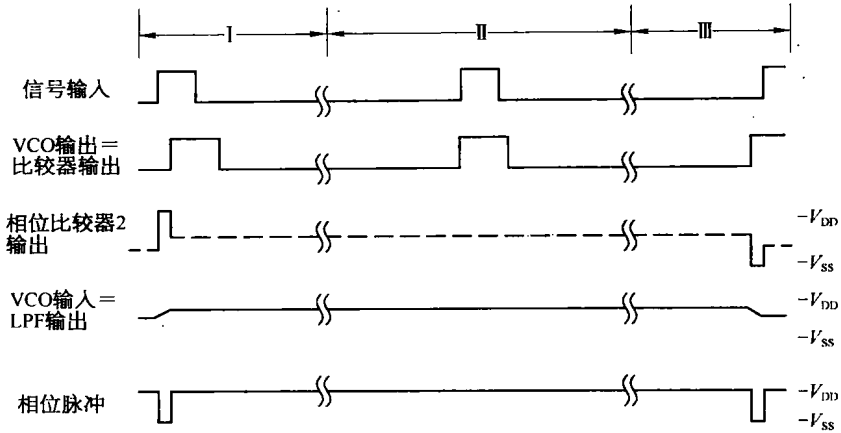


图 2-7 相位比较器 2 的输入和输出波形

图 2-8 为相位比较器 2 的状态图。每个圆表示相位比较器的一种状态, 圆内上端的数字表示相位比较器的状态编号, 共有 12 种状态。位于底部的 0 和 1 表示逻辑态, 左边的数表示信号输入, 右边的数表示相位比较器 2 输入。从一种状态到另一种状态的跳变使 14 脚的信号输入(以符号 I 表示)或 3 脚的比较器输入(以符号 C 表示)的逻辑改变, 正跳变或负跳变分别以向上或向下的箭头(\uparrow 和 \downarrow)表示。状态图假定: 在任何瞬间, 无论信号输入还是相位比较器 2 输入都只产生一个跳变。状态 3、5、9 和 11 表示当三态输出的 PMOS 管导通时相位比较器 2 的输出状态, 这 4 个圆位于图 2-8 的右边; 状态 2、4、10 和 12 表示 NMOS 管导通时相位比较器 2 的输出状态, 这 4 个圆位于图 2-8 的左边。状态 1、6、7 和 8 的圆内画了斜线, 表示相位比较器 2 的输出为高阻态, 即 PMOS 管和 NMOS 管都截止。这时, 相位脉冲输出(1 脚)为高电平, 而在其他的状态相位脉冲输出都是低电平。

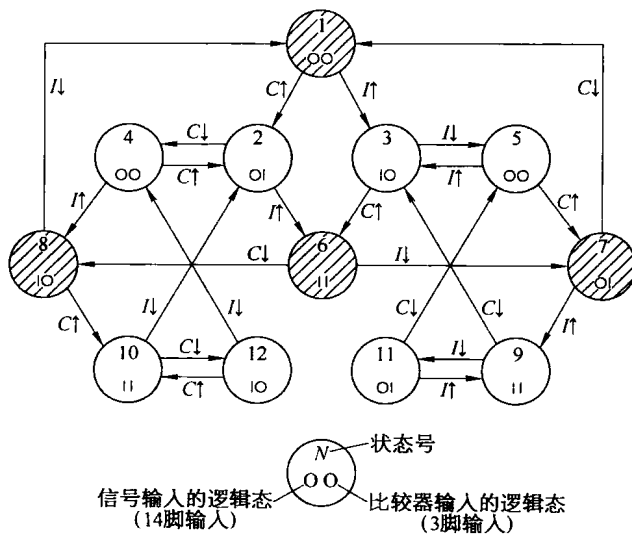


图 2-8 相位比较器 2 的状态图

作为如何使用相位比较器 2 状态图的一个例子,先来看看在图 2-7 锁定状态下相位比较器 2 的工作。该波形可分为 I、II 和 III 3 个区域: I 区表示信号输入 S_{IN} 的相位领先于相位比较器输入 C_{IN} ; II 区表示两个信号之间存在有限的相位差,可视为同相; III 区表示相位比较器输入的相位领先于信号输入。3 个区域都对应于 CMOS PLL 的锁定状态,即信号输入和比较器输入的频率相同但相位稍有不同。假设两个信号都从输入 0 开始,且相位比较器 2 最初处于高阻输出状态(状态 1)。若信号输入先产生正跳变,将使相位比较器 2 从状态 1 进入状态 3,此状态表示信号输入为 1,相位比较器输入为 0,且三态输出驱动器的 PMOS 管导通。此后相位比较器输入变为 1,而信号输入仍然为 1,因此相位比较器 2 进入状态 6,这是个高阻输出状态。此后信号输入变为 0,相位比较器输入维持 1,这对应于状态 7。如果相位比较器输入再次变低,就使相位比较器 2 回到状态 1。在 I 区两个输入信号存在相位差的时间内,相位比较器 2 三态输出驱动器的 PMOS 管处于导通状态。

在 III 区,从状态 1 开始,信号输入为低,相位比较器输入先从低变高,于是相位比较器 2 进入状态 2。按照上述 I 区的状态变化,相位比较器继续从状态 2 跳变到状态 6 和 8,然后返回状态 1。在 III 区两个输入信号存在相位差的时间内,相位比较器 2 三态输出驱动器的 NMOS 管导通。

由此可见,相位比较器 2 的状态图完整地描述了锁相环在任何输入条件下相位比较器 2 的各种工作方式。

2. 压控振荡器

4046 的 VCO 电路如图 2-9 所示。当 5 脚的禁止输入(INHIBIT)为 0 电平时,VT3 管导通,使 VT1 和 VT2 的源极与电源 V_{DD} 连接。受 5 脚输入 0 电平的控制,与非门 1 和门 2 组成 R-S 触发器,VT10 管和电阻 R_s 组成源跟随器。

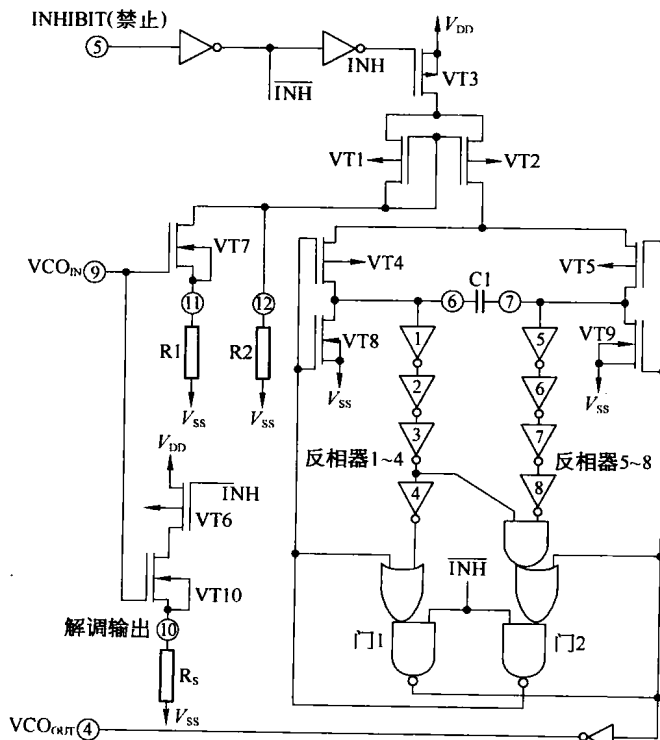


图 2-9 VCO 电路图