



基于FPGA的 数字系统研究与设计

杨 军 余 江 著



科学出版社

基于FPGA的数字系统研究与设计

杨 军 余 江 著

科 学 出 版 社

北 京

内 容 简 介

本书主要介绍基于 FPGA 数字系统的设计原理、开发方法和仿真测试过程,并通过工程实例分析 FPGA 实现过程中的技术细节。在基础知识部分,主要介绍了开发语言和项目开发环境;在应用实例部分,分别详细地讲解了 5 个 FPGA 实例的设计方法和具体步骤,涉及 OFDM 系统基带传输、超声波测距系统、云存储架构等,由浅入深,力求使读者在较短的时间内掌握 FPGA 数字系统的设计过程。书中硬件和软件设计分别采用了硬件描述性语言和 C 语言,读者需要具有一定的编程开发基础。

本书总结了作者多年科研与工程项目的经验,将理论与实际应用紧密结合,可供从事 FPGA 设计与开发的科研人员参考,也适合高等院校计算机科学与技术、电子工程、通信工程等相关专业的研究生学习。

图书在版编目(CIP)数据

基于 FPGA 的数字系统研究与设计 / 杨军, 余江著. —北京: 科学出版社, 2016.4

ISBN 978-7-03-038293-1

I. ①基… II. ①杨… ②余… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2016)第 076269 号

责任编辑: 赵艳春 / 责任校对: 郭瑞芝
责任印制: 张 倩 / 封面设计: 迷底书装

科学出版社出版

北京东黄城根北街 16 号
邮政编码: 100717
<http://www.sciencep.com>

文林印务有限公司 印刷

科学出版社发行 各地新华书店经销

*

2016 年 4 月第 一 版 开本: 720×1 000 1/16

2016 年 4 月第一次印刷 印张: 19

字数: 373 000

定价: 99.00 元

(如有印装质量问题, 我社负责调换)

前 言

目前数字系统的设计正朝着速度快、容量大、体积小、质量轻,及面向用户需求的方向发展。FPGA 技术融合了 DSP 和 ASIC 的优点,并具有可配置性强、速度快、密度高、功耗低等特点,其资源丰富,易于实现流水和并行结构。使用 FPGA 技术设计数字系统,可根据系统的行为和功能要求,自上而下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件,其设计实现的数字系统具有处理速度快、灵活性高、开发费用低、开发周期短、升级简单、易编程等特点。

作者根据当前国内外采用 FPGA 技术开发实现数字系统的现状,以实用为基本原则,立足于工程实践,详细讲解设计细节和实际应用开发的思路与方法,总结了作者在实际项目开发中的经验、技巧及遇到的问题。本书强调采用讲练结合、循序渐进的方式,在实例的安排上,着重突出应用和实用的原则;在实例的讲解上,既介绍了设计原理、基本步骤和流程,又穿插了一些经验技巧和注意事项,在潜移默化的过程中提高读者的理论知识和实践能力。

系统设计的基本软件工具包括如下:

Quartus II, 用于完成硬件描述语言代码的编写、综合、硬件优化、适配、编程下载以及硬件系统调试等;

SOPC Builder, Altera Nios II 嵌入式处理器开发软件包,用于实现 Nios II 系统的配置、生成;

ModelSim, 用于对 SOPC 生成的 Nios II 系统的 HDL 描述进行系统功能仿真;

MATLAB, 用于对处理结果进行仿真,以及与 DSP Builder 联合提供在 Simulink 下面开发所需要的模型文件,并将其转换为 VHDL 硬件描述语言;

Nios II IDE, 用于进行软件开发、调试以及向目标开发板进行 Flash 下载;

Eclipse, 通过插件组件构建的可扩展开发平台,用于 Java 开发。

本书共 8 章,其中第 1~3 章主要介绍 CPLD/FPGA 的基本原理、项目的开发环境和 SOPC 系统设计分析;第 4~8 章分别按照实例介绍、设计原理、硬件设计、综合设计与仿真、实例总结的结构,详细介绍了 OFDM 系统基带传输部分、超声波测距系统、云存储架构、蓝牙智能小车和实时加解密系统五个 FPGA 实例项目的开发步骤和过程。全书以由浅入深的方式,带领读者深入学习和研究 FPGA 技术,读者只要通读全书,就可以掌握采用 FPGA 技术进行数字系统设计的思想和方法。

本书由杨军、余江共同撰写,其中第 2、3、4、6、8 章由杨军教授撰写,第 1、5、7 章由余江教授撰写,李红晔、李宗敬、韩青、刘龙四位研究生完成了本书实例

源代码的设计、仿真和验证。另外，吴梦娇、赵灿、黄新涛、杨积军、刘潇、李文龙、赵仕东、康健等研究生在资料的收集、整理、分析、硬件平台的验证、书稿的整理等方面做了大量的工作，在此一并向他们表示最诚挚的谢意。同时，本书的出版得到了国家自然科学基金研究项目（61162004）的资助。

由于作者水平有限，加之时间仓促，书中难免有不足之处，恳请广大读者批评指正。

作者

2015年12月

目 录

前言

第 1 章 概述	1
1.1 CPLD/FPGA 简介	1
1.1.1 CPLD/FPGA 的结构与工作原理	1
1.1.2 CPLD/FPGA 的发展趋势	7
1.2 CPLD/FPGA 产品概述	8
1.2.1 Lattice 公司的 CPLD 器件系列	8
1.2.2 Xilinx 公司的 CPLD/FPGA 器件系列	10
1.2.3 Altera 的 CPLD/FPGA 器件系列	12
1.2.4 Altera 公司的 FPGA 配置方式与配置器件	16
第 2 章 项目开发环境介绍	18
2.1 软件平台	18
2.1.1 硬件开发工具 Quartus II 12.0	18
2.1.2 ModelSim 仿真工具	23
2.1.3 Nios II IDE 8.0 集成开发环境	27
2.1.4 Eclipse 集成开发环境	32
2.1.5 数值计算与仿真测试工具 MATLAB	32
2.2 硬件平台	35
2.2.1 DE2 平台简介	35
2.2.2 DE2 原理	37
2.2.3 DE2 平台的开发环境	41
2.2.4 DE2 开发板测试说明	42
第 3 章 SOPC 系统设计分析	45
3.1 SOPC 技术简介	45
3.1.1 SOPC 技术的主要特点	45
3.1.2 SOPC 技术实现方式	46
3.1.3 SOPC 系统的开发流程	48
3.2 Nios II 概述	48

3.2.1	Nios II 嵌入式处理器	48
3.2.2	Nios II 处理器的特性	49
3.3	基于 SOPC 的 Nios II 处理器设计	50
3.3.1	SOPC Builder 功能	51
3.3.2	SOPC Builder 组成	52
3.3.3	SOPC Builder 组件	57
3.4	SOPC 设计讲解	59
3.4.1	硬件部分设计	59
3.4.2	软件部分设计	74
第 4 章	基于 FPGA 的 OFDM 系统基带数据传输部分的设计与实现	82
4.1	实例介绍	82
4.2	设计思路与原理	83
4.2.1	OFDM 技术简介	83
4.2.2	OFDM 系统基本原理	87
4.2.3	FFT 算法原理	96
4.2.4	OFDM 系统整体设计	118
4.3	硬件设计	119
4.3.1	逻辑模块设计	119
4.3.2	详细设计	132
4.3.3	OFDM 系统的仿真及验证	145
4.4	实例总结	146
第 5 章	一种基于 FPGA 的超声波测距系统的设计与实现	147
5.1	实例介绍	147
5.2	设计思路与原理	147
5.2.1	超声波测距原理简介	147
5.2.2	HC-SR04 模块简介	149
5.2.3	超声波传感器工作原理	152
5.2.4	FFT 算法原理	153
5.2.5	2D-FFT 简介	157
5.2.6	系统总体结构	157
5.3	硬件设计	158
5.3.1	时序发生器模块	158
5.3.2	回波识别模块	159
5.3.3	双核 FFT 计算模块	161

5.3.4	波形发生器模块	163
5.3.5	高速计数器模块	163
5.4	系统综合与测试	164
5.5	实例总结	166
第 6 章	基于 FPGA 的云存储架构的设计与实现	167
6.1	实例介绍	167
6.2	设计思路与原理	168
6.2.1	云存储通信原理	169
6.2.2	FPGA 集群技术的原理	170
6.2.3	基于 FPGA 分布式存储的原理	171
6.3	详细设计	173
6.3.1	云存储架构设计	173
6.3.2	云存储模块设计与集成	179
6.3.3	云存储架构交互软件	184
6.4	系统综合与仿真测试	187
6.4.1	FPGA 模块测试	188
6.4.2	系统整体测试	191
6.5	实例总结	194
第 7 章	基于 FPGA 的实时加/解密系统的设计与实现	196
7.1	实例介绍	196
7.2	设计思路与原理	197
7.2.1	AES 算法简介	197
7.2.2	AES 加/解密流程	197
7.2.3	系统整体结构	203
7.3	硬件设计	204
7.3.1	AES IP 核设计	204
7.3.2	SOPC 系统的创建	234
7.4	软件设计与综合测试	245
7.4.1	软件设计	245
7.4.2	系统综合与仿真测试	253
7.5	实例总结	257
第 8 章	基于 FPGA 的蓝牙智能小车的设计与实现	258
8.1	实例介绍	258

8.2	设计思路与原理	259
8.2.1	控制平台和设计语言简介	259
8.2.2	蓝牙通信技术介绍	261
8.2.3	系统整体结构	264
8.3	硬件设计	266
8.3.1	电机驱动模块的设计	266
8.3.2	超声波测距模块的设计	270
8.3.3	蓝牙模块的设计	274
8.4	软件设计与综合测试	284
8.4.1	软件设计	284
8.4.2	系统综合与仿真测试	289
8.5	实例总结	291
附录	DE2 平台上 EP2C35F672 的引脚分配表	292
参考文献	参考文献	296

第 1 章 概 述

1.1 CPLD/FPGA 简介

复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD) 和现场可编程门阵列 (Field Programmable Gate Array, FPGA) 两者的功能基本相同, 只是实现原理略有不同, 所以有时可以忽略这两者的区别, 统称为可编程逻辑器件或者 CPLD/FPGA。

CPLD 最早由 Altera 公司推出 MAX 系列, 多为 Flash 架构、EEPROM 架构或者乘积项 (Product Term) 架构的 PLD。FPGA 最早由 Xilinx 公司推出, 多为 SRAM 架构或者查表 (Look Up Table) 架构, 需外接配置用的 EPROM 下载。由于 Altera 的 FELX/ACEX/APEX 系列也是 SRAM 架构, 所以通常把 Altera 的 FELX/ACEX/APEX 系列芯片也称 FPGA。

1.1.1 CPLD/FPGA 的结构与工作原理

1. 乘积项结构器件

简单 PLD 器件在实用中已经被淘汰, 原因如下。

(1) 阵列规模较小, 资源不够用于数字系统。

(2) 片内寄存器资源不足, 且寄存器的结构限制较多, 难以构成丰富的时序电路。I/O 不够灵活, 限制了片内资源的利用率。

(3) 编程不便, 需要专用的编程工具。

取代的是 CPLD/FPGA, 以 Altera 的 MAX3000A 器件为例。

MAX3000A 有 32~512 个宏单元。单个宏单元的结构包括: 可编程的与阵列和固定的或阵列, 可配置寄存器。含共享扩展乘积项和高速并联扩展乘积项。MAX3000A 的结构如图 1.1 所示。

MAX3000A 结构包括五个主要部分: 逻辑阵列块、宏单元、扩展乘积项、可编程连线阵列和 I/O 控制块。

1) 逻辑阵列块 (Logic Array Block, LAB)

1 个 LAB 由 16 个宏单元的阵列组成。多个 LAB 通过可编程连线阵 PIA 和全局总线连接在一起, 如图 1.2 所示。

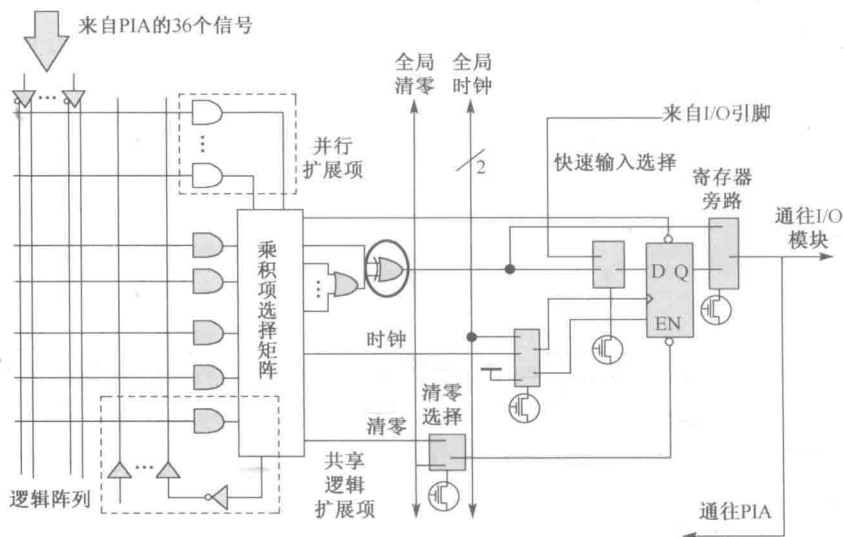


图 1.1 MAX3000A 结构

2) 宏单元

逻辑阵列实现组合逻辑，可实现逻辑函数及宏单元寄存器的辅助输入，可以被单独地配置为时序逻辑和组合逻辑工作方式。

3) 扩展乘积项

复杂的逻辑函数需要附加乘积项，可利用其他宏单元以提供逻辑资源，即扩展项。由每个宏单元提供一个单独的乘积项，通过一个非门取反后反馈到逻辑阵列中，可被 LAB 内任何一个或全部宏单元使用和共享，如图 1.3 所示。

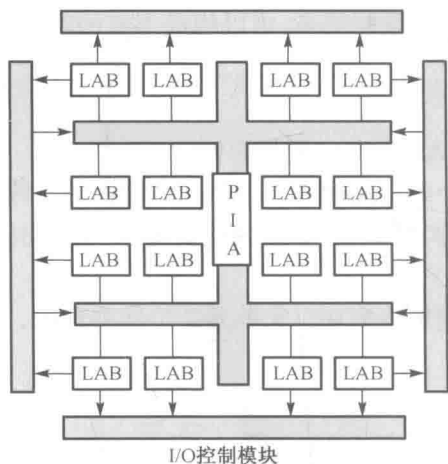


图 1.2 逻辑阵列

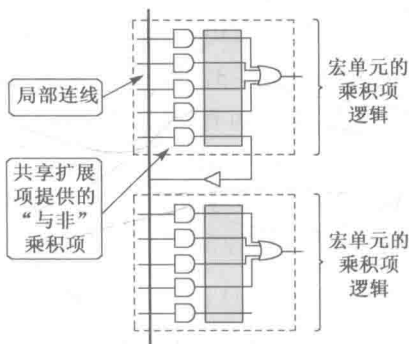


图 1.3 共享扩展乘积项结构

4) 可编程连线阵列

不同的 LAB 通过在可编程连线阵列 PIA 上布线，以相互连接构成所需逻辑。MAX3000A 的专用输入、I/O 引脚和宏单元输出都连接到 PIA，PIA 可以把信号送到整个器件的各个地方，如图 1.4 所示。

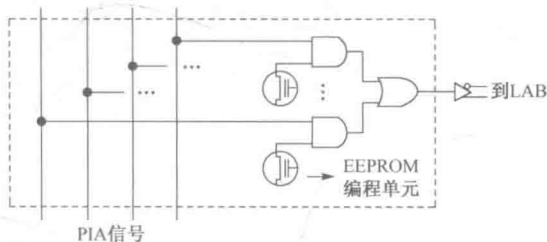


图 1.4 PIA 信号布线到 LAB 的方式

5) I/O 控制块

I/O 控制块允许每个 I/O 引脚单独被配置为输入、输出或双向工作模式。所有 I/O 引脚都有一个三态缓冲器，控制信号来自多路选择器，可以选择用信号、GND 或 VCC 控制，如图 1.5 所示。

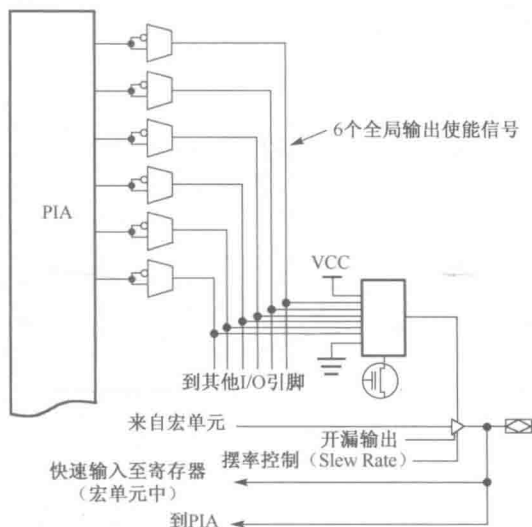


图 1.5 器件的 I/O 控制块

2. 查找表结构器件

大部分 FPGA 采用基于 SRAM 的查找表结构，用 SRAM 来构成逻辑函数发生器。一个 N 输入的 LUT 可以实现 N 个输入变量的任何逻辑，如图 1.6 所示。

一个 N 输入的 LUT，需要 SRAM 存储 N 个输入构成的真值表，需要 2^N 个位的 SRAM 单元，如图 1.7 所示。



图 1.6 FPGA 查找表单元

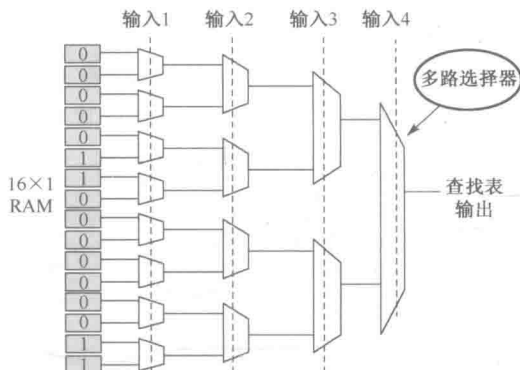


图 1.7 FPGA 查找表单元内部结构

以 Cyclone 系列器件的结构与原理为例。

Cyclone 主要由逻辑阵列块 LAB、嵌入式存储器、嵌入式硬件乘法器、I/O 单元、PLL 等模块构成，各个模块之间存在丰富的互连线和时钟网络。

LAB 由多个逻辑宏单元 LE 构成，LE 是 FPGA 器件的最基本的可编程单元，LE 主要由一个 4 输入的查找表 LUT、进位链逻辑、寄存器链逻辑和一个可编程的寄存器构成，如图 1.8 所示。

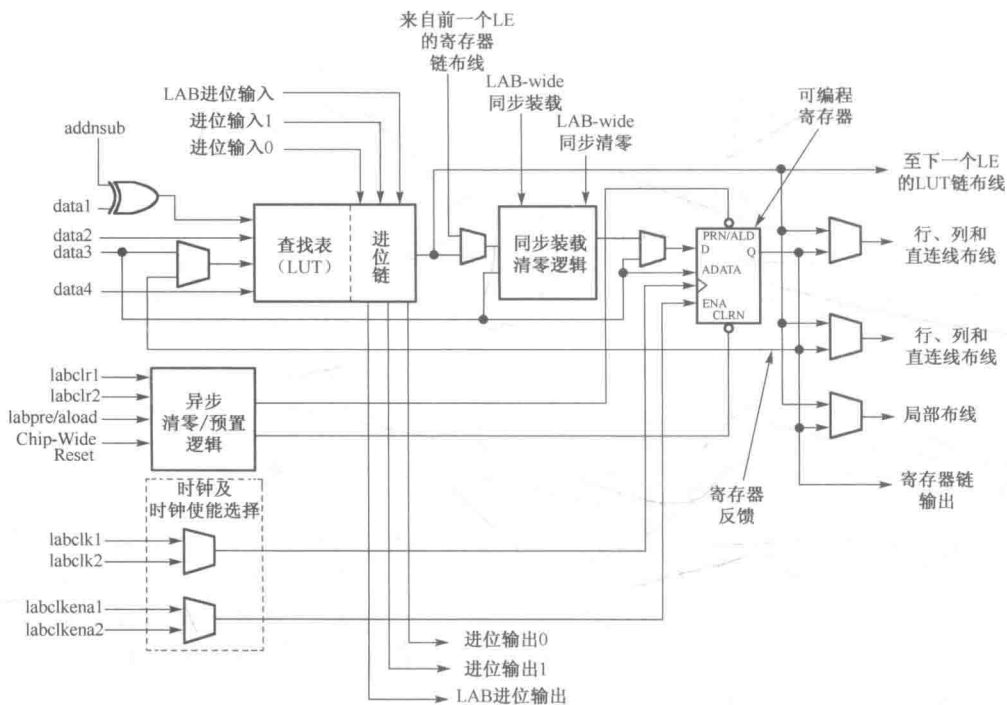


图 1.8 Cyclone LE 结构图

4 输入的 LUT 可完成所有的 4 输入 1 输出的组合逻辑功能。每个 LE 中的可编程寄存器可以配置成各种触发器形式，而且寄存器具有数据、时钟、时钟使能、清零输入信号等功能。寄存器可旁路。LE 有三个输出驱动内部互连，一个驱动局部互连，另两个驱动行或列的互连，LUT 和寄存器的输出可单独控制。

Cyclone LE 可工作在两种操作模式下。

(1) 普通模式，LE 适合通用逻辑应用和组合逻辑的实现，如图 1.9 所示。

(2) 算术模式，可以更好地实现加法器、计数器、累加器和比较器，如图 1.10 所示。

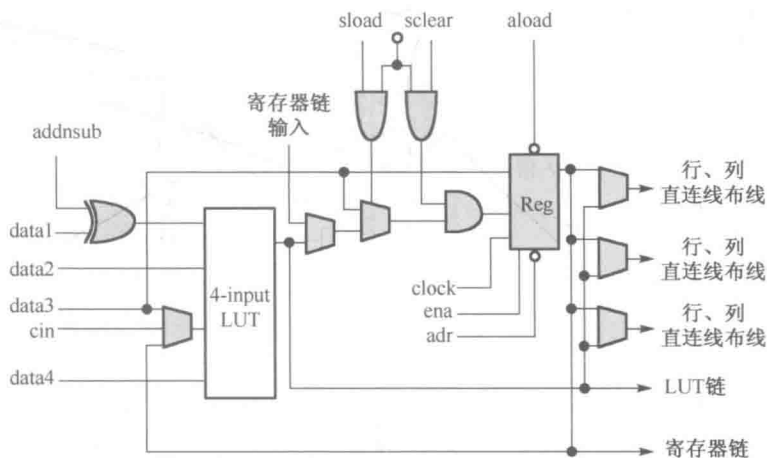


图 1.9 Cyclone LE 普通模式

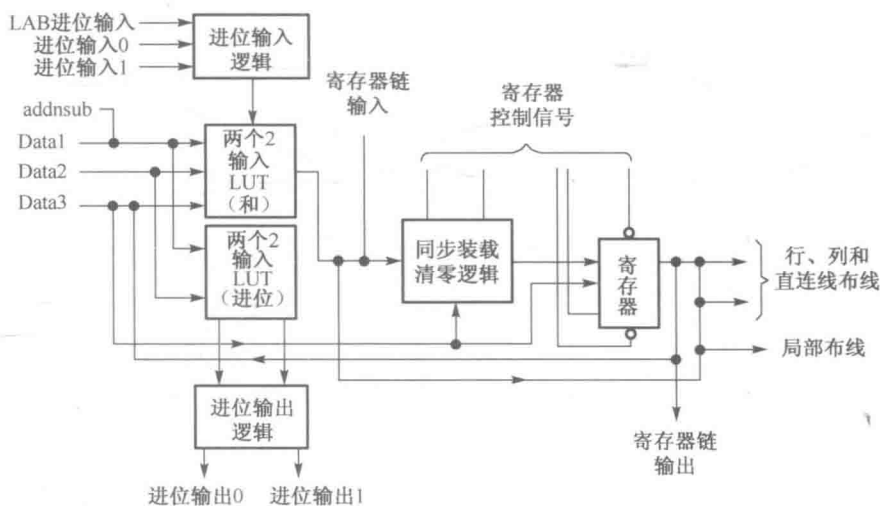


图 1.10 Cyclone LE 动态算术模式

LAB 由一系列相邻的 LE 构成，如图 1.11 所示。Cyclone II 的每个 LAB 包含 16 个 LE，LAB 间存在行互连、列互连、直连通路互连、LAB 局部互连、LE 进位链和寄存器链，如图 1.12 所示。局部互连可以在同一个 LAB 的 LE 间传输信号；进位链用来连接 LE 的进位输出和下一个 LE 的进位输入；寄存器链用来连接下一个 LE 的寄存器数据输出和下一个 LE 的寄存器数据输入。

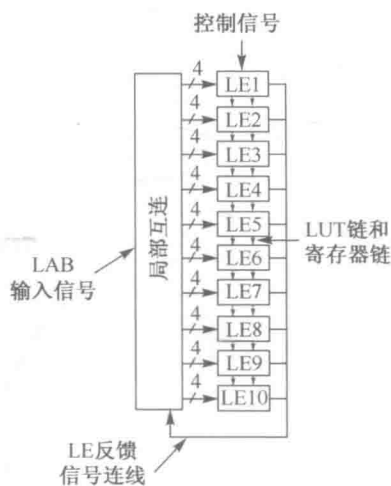


图 1.11 Cyclone LAB 结构

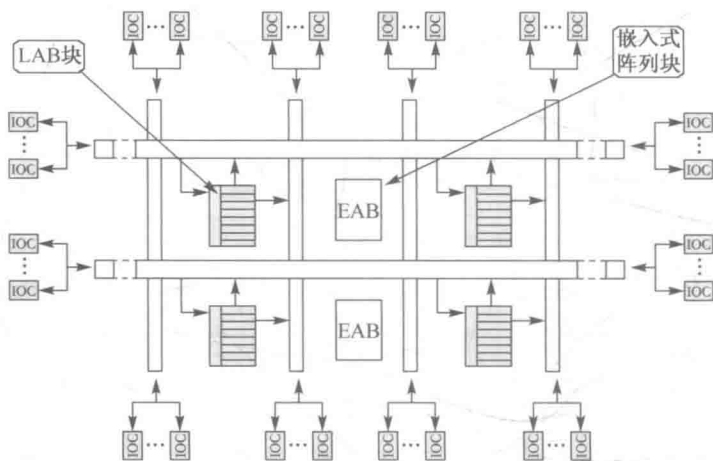


图 1.12 LAB 阵列

控制信号生成：每个 LAB 都有专用的逻辑来生成 LE 的控制信号，LE 的控制信号包括时钟信号、时钟使能信号、异步清零、同步清零、异步预置/装载信号、同步装载和加/减控制信号，如图 1.13 所示。

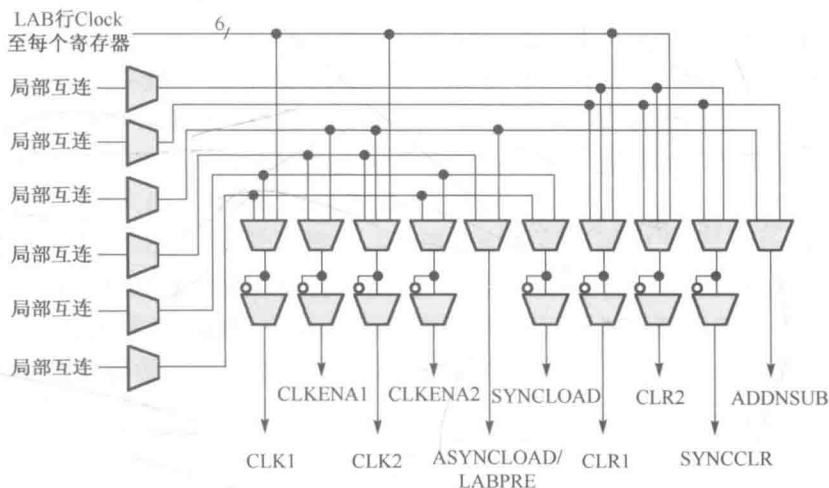


图 1.13 LAB 控制信号生成

1.1.2 CPLD/FPGA 的发展趋势

1. 器件工艺的发展方向

PLD 器件自问世以来，它在性能和规模上的发展，主要依赖于制造工艺的不断改进，高密度 PLD 是 VLSI 集成工艺高度发展的产物。在 80 年代末美国的 Altera 和 Xilinx 公司采用 EECMOS 工艺，分别推出大规模和超大规模 CPLD 和 FPGA，这种芯片在达到高集成度的同时，具有以往的 LSI/VLSI 电路无法比拟的应用灵活性和多组态功能。

90 年代，CPLD/FPGA 发展更为迅速，不仅具有电擦除特性，而且出现了边界扫描及在线编程等高级特性。另外，外围 I/O 模块扩大了它在系统中的应用范围和扩展性。1998 年 HDPLD 的主流产品集成度约为 1 万~3 万门，同时 25 万门产品开始面世，1999 年产品集成度 40 万门，2000 年出现容量为 200 万门的产品。

在制作工艺上，Altera 和 Xilinx 都率先采用 90nm 和 300nm 晶圆制造技术，其中，90nm 指的是芯片上构成电路的刻蚀线的间距，比人的头发的千分之一还细；300nm 晶圆指的是用来生产芯片的硅圆盘直径为 300nm，晶圆表面越大，每晶圆可以生产的芯片越多。

CPLD/FPGA 器件发展体现如下。

一是工艺，现在新型的 FPGA 采用 6 层金属层、0.13 μm 的 CMOS 工艺，并且很快会达到 0.09 μm 。

二是高密度，超过 400 万门的 FPGA 器件面世。

三是在系统上，CPU 正向低电压方向发展，目前器件普遍采用 2.5V，跟 3.3V 和 5V 的电压兼容，下一步目标是 1.8V。

四是高速度，系统的在线速度可以超过 200MHz。

总之，CPLD/FPGA 器件朝着更高速度、更高集成度、更强功能和更灵活的方向发展，它不仅已成为标准逻辑器件的一个强有力的竞争对手，也成为掩膜式专用集成电路的竞争者，同时也不断取代专用集成电路(ASIC)。

2. 开发软件和工具的发展方向

随着 CPLD/FPGA 设计越来越复杂，使用语言设计复杂 CPLD/FPGA 成为一种趋势，目前最主要的硬件描述语言是 VHDL 和 Verilog HDL。VHDL 发展的较早，语法严格，而 Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言，语法较自由。VHDL 和 Verilog HDL 两者相比，学习 VHDL 比学习 Verilog 难一些，但 Verilog 自由的语法也使得初学者容易上手但也易出错。

从 EDA 技术的发展趋势上看，直接采用 C 语言设计 CPLD/FPGA 将是一个发展方向，现在已出现用于 CPLD/FPGA 设计的 C 语言编译软件，在 5~10 年内 C 语言很可能逐渐成为继 VHDL 和 Verilog 之后设计大规模 CPLD/FPGA 的又一种手段。

1.2 CPLD/FPGA 产品概述

本节中将介绍常用的 FPGA 和 CPLD 器件系列，并介绍各系列器件的基本特性，适用范围，结构特点以及 FPGA 的配置器件。这些器件的使用和推广反映了 CPLD/FPGA 产品的发展进程及市场导向。

1.2.1 Lattice 公司的 CPLD 器件系列

Lattice 是最早推出 PLD 的公司。Lattice 公司的 CPLD 产品主要有 ispLSI、ispMACH 等系列。20 世纪 90 年代以来，Lattice 首先发明了 ISP(In-System Programmability)下载方式，并将 EECMOS 与 ISP 相结合，使 CPLD 的应用领域有了巨大的扩展。

1. ispLSI 器件系列

ispLSI 系列器件是 Lattice 公司于 20 世纪 90 年代推出的大规模可编程逻辑器件，集成度在 1000~60000 门，管脚到管脚(Pin-to-Pin)延时最小可达 3ns。ispLSI 器件支持在系统编程和 JTAG 边界扫描测试功能。

ispLSI 器件主要分 4 个系列，它们的基本结构和功能相似，但在用途上有一定的侧重点，因而在结构和功能上有细微的差异：有的速度快，有的密度高，有的成本低，有的 I/O 口多，适合在不同的场合应用。下面是各系列器件的特点及适用范围。