

上海大学出版社

2006年上海大学博士学位论文 26



CMOS 单片集成的 $\Sigma - \Delta$ 小数频率合成器设计

- 作者：杨文荣
- 专业：控制理论与控制工程
- 导师：曹家麟



上海大学出版社

2006年上海大学博士学位论文 26



CMOS单片集成的 $\Sigma - \Delta$ 小数频率合成器设计

- 作者：杨文荣
- 专业：控制理论与控制工程
- 导师：曹家麟



图书在版编目(CIP)数据

2006年上海大学博士学位论文.第1辑/博士学位论文编辑部编. —上海:上海大学出版社,2009.12

ISBN 978-7-81118-511-9

I. 2... II. 博... III. 博士—学位论文—汇编—上海市—2006 IV. G643.8

中国版本图书馆CIP数据核字(2009)第162521号

· 2006年上海大学博士学位论文

——第1辑

上海大学出版社出版发行

(上海市上大路99号 邮政编码200444)

(<http://www.shangdapress.com> 发行热线66135110)

出版人:姚铁军

*

南京展望文化发展有限公司排版

上海华业装潢印刷厂印刷 各地新华书店经销

开本 890×1240 1/32 印张 264.75 字数 7 376 千

2009年12月第1版 2009年12月第1次印刷

印数:1—400

ISBN 978-7-81118-511-9/G·513 定价:1000.00元(50册)

Shanghai University Doctoral Dissertation (2006)

**DESIGN OF A CMOS MONOLITHIC
 $\Sigma - \Delta$ FRACTIONAL
FREQUENCY SYNTHESIZER**

Candidate: Wenrong Yang

Major: Control Theory and Control Engineering

Supervisor: Jialin Cao

Shanghai University Press

• Shanghai •

上海大学

本论文经答辩委员会全体委员审查,确认符合上海大学博士学位论文质量要求。

答辩委员会名单:

委员: 宋文涛	上海交通大学	200030
顾幸生	华东理工大学	200237
张浩	上海电力学院	200092
张文俊	上海大学	200072
冉峰	上海大学	200072
导师: 曹家麟	教授,上海大学	200072

评阅人名单:

张文俊	上海大学	200072
王 祁	哈尔滨工业大学, 自动化测试与控制系	150001
陈启军	同济大学	200092
黄宜平	复旦大学	200433
张 浩	上海电力学院	200090
张兆扬	上海大学	200072
马义德	兰州大学	730000

答辩委员会对论文的评语

杨文荣的博士学位论文针对新一代移动通信产品对频率合成器性能指标日益提高的要求,深入研究了高性能频率合成器的设计方法和关键技术,设计并实现了一个 CMOS 单片集成的 Σ - Δ 小数频率合成器。经流片验证,该频率合成器的所有指标均达到了设计要求,可适用于无绳电话、Home RF、WLAN、蓝牙、Zigbee 等多种基于 2.4 GHz 无线通信标准的无线通信系统。取得的创新性研究成果如下:

1. 研制了一种新型的 CMOS 高速多模可编程分频器,克服了全集成频率合成器的速度瓶颈,与传统分频器相比,该分频器具有结构简单、可重用性好等优点。

2. 提出了一种电容倍乘方法,有效减小了电容的面积,解决了无源滤波器中电容占用面积太大、难以集成的难题,成功地实现了三阶无源滤波器的片上集成。

3. 针对多模可编程分频器的要求,设计了一个输入为 20 位、输出为 3 位的三阶数字 Σ - Δ 调制器对小数分频比进行调制,改善了频率合成器的带内噪声和杂散性能,获得了比较满意的结果。

论文还研究了频率合成器中其他组成单元的设计方法和具体的电路实现形式,工作量大。提出的设计思想、设计方法及取得的成果,对实现全集成、多制式、低成本的无线收发信机具有较大的参考价值和实用意义。

论文反映了作者能掌握本领域国内外发展动态,体现出

其基础理论知识坚实、宽广,专门知识系统、深入、科研创新能力强,有很强的独立从事研发的能力。论文叙述清楚,实验数据和测试结果完整、可信,完成质量好。答辩时论述清晰,回答问题正确,达到工学博士学位的水平。

答辩委员会表决结果

答辩委员会一致同意通过杨文荣学位论文答辩,并一致建议校学位评定委员会授予其工学博士学位。

答辩委员会主席:**宋文涛**

摘 要

随着集成电路制造工艺和无线通信技术的迅速发展,实现全集成、多制式、低成本的无线收发器已成必然趋势。频率合成器作为无线收发器中的核心单元电路,是决定收发器性能好坏的关键因素,也是实现全集成无线收发器的主要难点。 $\Sigma-\Delta$ 小数频率合成器由于很好地解决了环路带宽与信道间距之间的矛盾,具有频率切换速度快、精度高、噪声小等优点,引起了人们越来越多的关注。

本文简要回顾了无线通信系统中的频率合成技术,对高性能 $\Sigma-\Delta$ 小数频率合成器的设计方法进行了深入的研究。针对传统分频器存在的缺陷,设计实现了一种新型的CMOS高速多模可编程分频器,与传统分频器相比,该分频器具有结构简单、可重用性好等诸多优点。为了解决无源滤波器中电容占用面积太大、难以集成的难题,提出了一种电容倍乘方法,有效减小了电容的面积,实现了三阶无源滤波器的片上集成。本文对不同类型的 $\Sigma-\Delta$ 调制器的噪声成形效果进行了分析与比较,设计了一种输出为三位的三阶数字 $\Sigma-\Delta$ 调制器对小数分频比进行调制,改善了频率合成器的带内噪声和杂散性能,获得了比较满意的结果。本文在详细分析压控振荡器的相噪声特性的基础上,总结出集成平面螺旋电感和变容管的制作方法,提出了一些改进措施,改善了它们的Q值,并采用CMOS工艺,实现了一个差分型、低相噪声LC压控振荡器。另外,本文还讨论了

频率合成器中其他重要单元电路的设计方法,如电荷泵、相频检测器、锁定检测电路等等。

本文在上述方法的研究基础上,完成了 2.4 GHz 单片集成的 Σ - Δ 小数频率合成器的设计,并采用 0.25 μm CMOS 工艺流片验证。测试结果表明,本文设计的频率合成器的技术指标均达到了设计要求,可适用于无绳电话、Home RF、WLAN、蓝牙、Zigbee 等多种基于 2.4 GHz 无线通信标准的无线通信系统。

本文的主要创新点如下:采用 CMOS 工艺,设计实现了一种新型的高速多模可编程分频器,克服了频率合成器的速度瓶颈;提出了一种电容倍乘方法,解决了无源滤波器中大电容难以集成的问题;针对多模可编程分频器的要求,实现了一个输入为 20 位、输出为 3 位的三阶数字 Σ - Δ 调制器。

关键词 小数频率合成器,CMOS, Σ - Δ 调制器,高速多模分频器,锁相环

Abstract

With the rapid development of IC (integrated circuits) fabrication processing and wireless communication technology, the implementation of a multi-standard, low-cost and fully integrated RF transceiver has become certainly the trend of development. The frequency synthesizer is a key building block in the RF transceiver. It is the determining factor of the overall performance of transceiver, and is also the biggest obstacle for its monolithic implementation. Due to the $\Sigma-\Delta$ fractional-N frequency synthesizer completely overcomes the tradeoffs between loop bandwidth and channel spacing, and it can obtain a finer frequency resolution, lower phase noise and faster frequency switching, the more and more attentions have been put on it by the system designer recently.

In this dissertation, the conventional techniques of frequency synthesis in wireless communication system are briefly reviewed, and the design methods of high performance $\Sigma-\Delta$ fractional-N frequency synthesizer are investigated. Several novel techniques are proposed to tackle the speed and integration bottlenecks of high-speed PLL.

In order to overcome the disadvantage of traditional frequency divider, a new type of CMOS high-speed multi-

modulus frequency divider is implemented, which is very suitable for the application of fractional-N frequency synthesizer. Comparing with the traditional frequency divider, it has the merits of high flexibility, high reusability and short design time. A capacitive scaler is proposed to reduce the chip area occupied by the large capacitors in the loop filter, thus an on-chip third-order passive filter is implemented. The key issue in the design of fractional-N frequency synthesizer is to eliminate the spurious tones come from fractional division. For this reason, the noise shaping effect of different $\Sigma - \Delta$ modulators is analyzed, and a 3-bit third-order $\Sigma - \Delta$ modulation technique as a spur reduction method to enhance the in-band noise and spur performance of synthesizer is proposed. Furthermore, the phase noise theory of LC VCO (voltage controlled oscillator) is thoroughly discussed, and the design techniques of spiral inductor and varactor are presented. Based on the analyzing and summarizing of the methods of improving their Q factor, a CMOS differential low phase noise LC-VCO is designed.

The design techniques of other building blocks in the frequency synthesizer, such as charge pump, phase/frequency detector, locking detector and etc are also discussed in this dissertation. A prototype of fractional-N frequency synthesizer is designed and fabricated in $0.25 \mu\text{m}$ CMOS technology. The measurement results show that the all specifications of this proposed frequency synthesizer achieves the design target, and it can be used widely in the most of

2.4 GHz RF applications including cordless phone, Home-RF, WLAN, Bluetooth, Zigbee and etc.

The innovative contributions of this dissertation are as follows. Firstly, a novel CMOS high-speed multi-modulus programmable frequency divider is proposed, thus the speed bottleneck of frequency synthesizer has been overcome. Secondly, a capacitive scaler is developed, by which the large capacitors in the passive filter can be easily integrated on the chip. Finally, in order to meet the requirements of proposed multi-modulus frequency divider, a third-order digital $\Sigma - \Delta$ modulator with $20 - b$ input, $3 - b$ output is designed and implemented.

Key words Fractional-N frequency synthesizer, CMOS, $\Sigma - \Delta$ modulator, high-speed multi-modulus frequency divider, PLL.

目 录

第一章 绪论	1
1.1 课题背景	1
1.2 研究现状与存在的问题	8
1.3 本文的主要研究工作及贡献	13
1.4 论文的结构安排	15
第二章 无线通信系统中的频率合成技术	16
2.1 频率合成技术回顾	16
2.2 基于锁相环的频率合成技术	18
2.3 小数频率合成	20
2.4 消除小数频率合成器输出杂散的方法	22
2.4.1 DAC 估值	22
2.4.2 随机加抖	23
2.4.3 Σ - Δ 调制	24
2.4.4 相位插值	25
2.4.5 脉冲产生	26
2.5 频率合成器的噪声特性	27
2.5.1 相噪声	28
2.5.2 杂散	34
2.6 小结	41
第三章 Σ - Δ 小数频率合成器	43
3.1 锁相环的基本理论	43
3.1.1 线性相位模型	44

3.1.2	噪声分析	45
3.1.3	建立时间	46
3.1.4	跟踪和捕获	49
3.2	Σ - Δ 小数频率合成器的建模方法	51
3.2.1	时域模型	51
3.2.2	频域模型	55
3.2.3	相噪声分析	57
3.3	Σ - Δ 调制器	59
3.3.1	基本概念	60
3.3.2	Σ - Δ 调制器的结构	62
3.3.3	三位三阶数字 Σ - Δ 调制器的设计	66
3.4	2.4 GHz Σ - Δ 小数频率合成器	69
3.4.1	系统结构	69
3.4.2	数据接口与控制逻辑	71
3.5	小结	72
第四章 鉴相器与电荷泵		74
4.1	鉴相器	74
4.1.1	PFD 电路设计	77
4.1.2	锁定检测	82
4.2	电荷泵	83
4.2.1	电荷泵电路设计	85
4.2.3	基准电路	91
4.3	小结	92
第五章 RF 分频器		94
5.1	双模预分频器实现的 RF 分频器	94
5.2	多模可编程 RF 分频器	101
5.2.1	基本 2/3 分频单元	102

5.2.2	多模 RF 分频器的电路实现	105
5.2.3	功耗优化	107
5.3	小结	110
第六章	压控振荡器	112
6.1	压控振荡器的相噪声理论	112
6.2	平面螺旋电感	117
6.2.1	平面螺旋电感的物理模型	118
6.2.2	提高电感 Q 值的方法	123
6.3	变容管	126
6.4	LC 压控振荡器电路设计	130
6.5	小结	133
第七章	滤波器设计及片上集成方法	135
7.1	滤波器设计	135
7.2	滤波器的优化	138
7.3	电容倍乘方法	140
7.4	小结	145
第八章	测试结果及结论	146
8.1	测试结果	148
8.2	结论	152
8.3	进一步的工作	154
参考文献		155
作者在攻读博士学位期间公开发表的论文		170
致谢		172

第一章 绪 论

1.1 课题背景

在过去的几年里,数字无线通信技术迅猛发展,特别是那些工作在 800 MHz 到 2 500 MHz 频段的个人移动通信产品,发展速度尤为惊人。就无线通信产品而言,由于激烈的市场竞争以及电池供电时间的限制,导致制造成本和功耗成为衡量产品性能的主要因素。

20 世纪 80 年代初期,砷化镓(GaAs)器件的工作速度已达到 1 GHz 以上。因此,在随后的一段时间内,无线通信系统中高速电路的设计就基本上以 GaAs 工艺为主。然而 GaAs 工艺昂贵的价格严重阻碍了移动通信产品的大众化,迫使人们去寻找其他替代工艺。例如双极(Bipolar)、锗化硅(SiGe)和 HEMT 等工艺都曾经被用来制作过高速集成电路。后来,随着 BiCMOS 工艺的出现以及考虑到硅(Si)工艺的成本优势,射频(RF)电路的设计大多都转向了 BiCMOS 工艺。除成本优势之外,BiCMOS 工艺还可以将高频电路和低频电路集成在一块芯片内,大大提高了电路的集成度。

近年来,深亚微米 CMOS 工艺的迅速发展使得 CMOS 工艺实现射频集成电路成为可能^[1-5]。一般来说,电路的最大工作速度取决于其制造工艺截止频率(单位增益带宽)的大小。目前,双极晶体管的截止频率大约为 70 GHz,而 SiGe 晶体管的截止频率已经超过了 GaAs 场效应管的截止频率,达到了 100 GHz 以上。CMOS 工艺在过去被认为不适宜高频电路制作,但随着工艺的改进、特征尺寸的不断减小以及采用铜连线等技术,其截止频率已接近 GaAs 的水平。CMOS 工艺的截止频率还将随着工艺特征尺寸的进一步缩小而不断