

此书获湖南师范大学出版基金资助

21 世纪电工电子学课程系列教材

在系统可编程(ISP)原理与数字系统设计

王 洪 编著

中 南 大 学 出 版 社

此书获湖南师范大学出版基金资助



TP332.1
W341

21 世纪电工电子学课程系列教材

在系统可编程 (ISP) 原理 与数字系统设计

王 洪 编著



0638235

中南大学出版社

1756256

在系统可编程(ISP)原理 与数字系统设计

王 洪 编 著

☐责任编辑 肖梓高

☐出版发行 中南大学出版社

社址:长沙市麓山南路 邮编:410083

发行科电话:0731-8876770 传真:0731-8710482

电子邮件:csucbs @ public. cs. hn. cn

☐经 销 湖南省新华书店

☐印 装 中南大学湘雅印刷厂

☐开 本 730×960 1/16 ☐印张 23.5 ☐字数 425 千字

☐版 次 2004 年 2 月第 1 版 ☐2004 年 2 月第 1 次印刷

☐书 号 ISBN 7-81061-795-8/TM·011

☐定 价 32.00 元

图书出现印装问题,请与经销商调换

前 言

随着电子技术的不断发展与进步,电子系统的设计方法已发生了很大的变化,传统的设计方法正逐步退出历史舞台,而基于 EDA 技术的开发软件和芯片正成为电子系统设计的主流。超大规模可编程逻辑器件 CPLD 和 FPGA 是当前应用最广泛的两类可编程专用集成电路(ASIC),电子设计工程师利用它可以在实验室里设计出所需要的专用集成电路,从而大大缩短了产品上市时间,降低了开发成本。此外,可编程逻辑器件还具有静态可重复编程和动态在系统重构特性,使得硬件的功能可以像软件一样通过编程来修改,这样就极大地提高了电子系统设计的灵活性和通用性。

全书共分 8 章。第 1 章讲述可编程逻辑器件的基础知识和通用逻辑阵列(GAL)的基本工作原理;第 2 章讲述在系统可编程(ISP)逻辑器件和在系统可编程模拟器件的特点、原理、设计工具和设计过程,重点介绍了 ISP-LSI1032E 在系统可编程逻辑器件和 ISP-PAC10/20 可编程模拟器件的基本工作原理;第 3 章讲述 ABEL_HDL 语言(即一种简单的数字电路硬件描述语言)的基本语法知识和语法结构;第 4 章讲述 VHDL 语言(高级语言)的基本语法知识和语法结构;第 5 章讲述 ispDesignEXPERT 开发软件和 MAX+PLUSII 开发软件的使用方法,通过实例讲述数字逻辑电路的设计、仿真和下载方法;第 6 章讲述在系统可编程模拟器件(ispPAC)的开发软件的使用方法,通过实例讲述模拟电路的设计、仿真和下载方法;第 7 章通过大量实例进行数字电子系统的设计和仿真,并通过计算机下载到 EDA-I 实验开发系统或 SZ-EDA 开发实验系统中验证设计的系统功能;第 8 章介绍了 EDA-I 实验开发系统和 SZ-EDA 开发实验系统的设计思想、电路分析、功能特点和使用方法。本书的所有实例都通过了计算机的调试和仿真。

本书的出版,得到了中南大学出版社的支持和帮助,获得了湖南师范大学出版基金的资助,得到了李仲阳教授和蒋啸镝教授的支持和帮助,特别得到了长沙市三知电子有限公司的大力支持和帮助,其中 5.2 节、7.2 节中的一部分、8.2 节为该公司的王汉其、李小兰两位工程师编写,还得到了谭明凤、谢勇强、林海军、肖时茂和唐义锋等同学的帮助,以及湖南师范大学工学院电子信息工程系其他同仁的支持和帮助,在此表示衷心的感谢。

由于编者水平有限,书中难免有疏漏或错误之处,敬请读者批评指正。

编 者

2003. 10

目 录

第1章 可编程逻辑器件基础	(1)
1.1 概 述	(1)
1.2 可编程逻辑器件结构简介	(4)
1.3 PAL 器件	(7)
1.4 GAL16V8 基本工作原理	(10)
第2章 在系统可编程器件原理	(16)
2.1 ISP 技术	(16)
2.2 在系统可编程逻辑器件原理	(22)
2.3 在系统可编程模拟器件	(33)
第3章 ABEL_HDL 语言	(46)
3.1 ABEL_HDL 语言的基本语法	(46)
3.2 DIRECTIVES 指示字	(57)
3.3 ABEL_HDL 源文件基本结构	(60)
第4章 VHDL 语言	(70)
4.1 VHDL 语言概述	(70)
4.2 VHDL 语言的基本语法	(72)
4.3 VHDL 程序设计的基本结构	(94)
4.4 VHDL 语言基本语句	(110)
第5章 EDA 开发软件应用	(141)
5.1 ispDesignEXPERT 开发软件	(141)
5.2 ispDesignEXPERT 软件设计方法	(148)
5.3 MAX + PLUSII 开发软件应用	(177)
第6章 在系统可编程模拟器件 (ispPAC) 的开发设计软件	(198)
6.1 原理图输入时 ispPAC 的内部可组态电路	(198)
6.2 ispPAC 的编程设计组态	(201)
6.3 PAC - Designer 开发软件的使用	(206)
第7章 设计实例	(214)
7.1 ABEL_HDL 语言与原理图混合设计实例	(214)
7.2 VHDL 语言与原理图混合设计实例	(242)

第8章 EDA 实验开发系统	(315)
8.1 EDA - I 实验开发系统	(315)
8.2 SZ - EDA 开发实验系统介绍及使用说明	(351)
参考文献	(367)

第1章 可编程逻辑器件基础

1.1 概述

当今社会是数字化的社会,是数字集成电路(微处理器、存储器以及标准逻辑电路等)广泛得到应用的社会。信息高速公路、多媒体电脑、移动电话系统、数字电视、各种自动化设备以及我们日常的一些小制作都要用到数字集成电路。与此同时,数字集成电路本身也在不断地进行更新换代。它由早期的电子管、晶体管、小规模集成电路(几十门到几百门)、中规模集成电路(MSIC,几百门至几千门)、大规模集成电路(LSIC,几千门至几万门)发展到超大规模集成电路(VLSIC,几万门以上)以及许多具有特定功能的专用集成电路。但是,随着微电子技术的发展,设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路(ASIC)芯片,而且希望 ASIC 的设计周期尽可能短,最好是在实验室里就能设计出合适的 ASIC 芯片,并且立即投入实际应用之中,因而出现了现场可编程逻辑器件(FPLD),其中应用最广泛的当属现场可编程门阵列(FPGA)、复杂可编程逻辑器件(CPLD)。

1.1.1 PLD 器件特点

可编程逻辑器件(Programmable Logic Device, 简称为 PLD)是从 20 世纪 70 年代初发展起来的一种新型逻辑器件。在发展过程中,先后出现了可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)、电可擦除只读存储器(EEPROM)、可编程逻辑阵列(PLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、擦除可编程逻辑器件(EPLD)、CPLD、FPGA 等器件。这些器件是微电子技术、超大规模集成电路(VLSI)技术和计算机辅助设计(CAD)技术相结合的产物。随着技术的进步和发展,PLD 器件的功能越来越强,应用越来越广泛。

可编程逻辑器件虽然是作为一种通用器件生产的,但它的逻辑功能是由用户通过对器件的编程设计决定的。而且,有些 PLD 的集成度很高,完全能满足设计一般数字系统的需要。因此,设计人员可以根据自己的设计需要,利用 EDA 软件进行设计,然后把设计结果下载到 PLD 芯片上,这样就完成了一个数字电路或数字系统集成电路的设计。

PLD 的基本结构如图 1-1 所示。其中,“与”阵列用以产生“与”逻辑项(乘积项),“或”阵列用以把所有与门输出的乘积项构成“与-或”形式的逻辑函数。

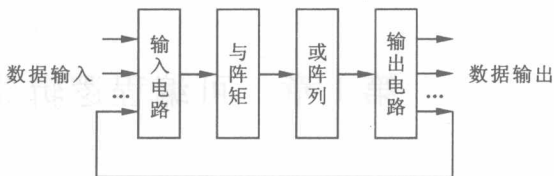


图 1-1 PLD 的基本结构

PLD 器件的优点:

(1)功能集成度高。一般来说,一片 PLD 器件可替代 4~20 个中小规模集成电路芯片,因而能减少芯片数量,提高印制电路板的利用率,提高电路的可靠性。

(2)系统设计时间缩短。可编程逻辑器件引脚的逻辑功能是由用户根据需要来设定的。一般都有强有力的设计工具的支持,不管是在构思阶段,还是在实现阶段,都能快速地进行一种功能或多种功能的设计。而一般中小规模集成电路的逻辑设计,需要将多个固定功能的芯片按照逻辑功能要求进行搭接。因而芯片之间的连线问题、芯片的布局问题等,需要经过多次实验和反复修改才能设计出一块较为可靠的功能板电路。

(3)设计灵活。可编程逻辑器件具有可编程和可擦除的特点,为设计带来了许多灵活性。在设计过程中,可以多次反复地修改设计方案,增添新的逻辑功能,但不需要增加器件。这可充分发挥设计者的创造性,设计出更好的电子产品。

1.1.2 PLD 的分类

PLD 有多种结构形式和制造工艺,不同厂商生产的可编程逻辑器件又有不同的型号和名称。因此,对可编程逻辑器件来说,存在着不同的分类方法。

根据可编程逻辑器件门电路的集成度,可分为低密度(LDPLD)和高密度(HDPLD)可编程逻辑器件两大类:以 1000 门为界,1000 门以下的为低密度;1000 门以上的为高密度。早期生产的可编程逻辑器件,如 PROM, PLA, PAL, GAL 等,都属于低密度器件。目前流行的 CPLD 和 FPGA 等则属于高密度器件。下面简单介绍低密度和高密度可编程逻辑器件的基本结构和特点。

1. 低密度可编程逻辑器件(LDPLD)

(1)PROM(Programmable Read Only Memory),其基本结构是“与”阵列固定和“或”阵列可编程,PROM 采用熔丝工艺编程,只能写一次,不可以擦除或重写。随着技术的发展和应用要求,又出现了 EPROM(紫外线擦除存储器)和 EE-

PROM(电擦除存储器)。

(2) PLA(Programmable Logic Array)是“与或”阵列结构器件,它是“与”阵列和“或”阵列均可编程。由于器件的资源利用率低,现在已经不常使用。

(3) PAL(Programmable Array Logic)是“与或”阵列结构器件,它包括一个可编程的“与”阵列和一个固定的“或”阵列,其中“与”阵列的编程特性可以使输入项增多,而“或”阵列的固定使器件结构简单。PAL具有多种输出结构形式,因而其型号最多。

(4) GAL(Generic Array Logic)在 PAL 器件结构的基础上产生的新一代器件,其结构与 PAL 一样,也是由一个可编程的“与”门阵列去驱动一个固定的“或”门阵列,但它的输出单元的结构完全不同。GAL 器件的每个输出引脚都接有一个输出逻辑宏单元(OLMC),这些宏单元可由设计者通过编程进行不同模式的组合,因而为设计提供了灵活性。与 PAL 器件相比,GAL 器件由于采用了先进的 E^2 CMOS 工艺,数秒内即可完成芯片的擦除和编程过程,并可反复改写。而 PAL 器件采用的是熔丝工艺的编程技术,每只芯片只能编程一次,一旦编程后不能再改写,故 GAL 是产品开发的理想器件。

2. 高密度可编程逻辑器件(HDPLD)

(1) CPLD(Complex Programmable Logic Device)将简单 PLD(PAL、GAL)的概念做了进一步的扩展,并提高了器件的集成度。与简单的 PLD 相比,CPLD 增加了内部连线,对逻辑宏和 I/O 单元也有重大改进。CPLD 允许有更多的输入信号、更多的乘积项和更多的宏单元,其内部含有多个逻辑单元块,每个逻辑块相当于一个 GAL 器件,这些逻辑块之间可以使用可编程内部连线实现相互连接,即 CPLD 是在一块芯片上集成多个 GAL(PAL)块,其基本逻辑单元是乘积项,即 CPLD 是乘积项阵列的集合,各个 GAL(PAL)块可以通过共享的可编程互联资源交换信息,实现 GAL(PAL)块之间的互联。因此,CPLD 通常又被称为分段式阵列结构。CPLD 器件的结构包含可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 器件内部还集成了 ROM、FIFO 或双口 ROM 寄存器,以适应 DSP 应用的需要。

典型的 CPLD 器件有 Lattice 公司的 1000spLSI/ispLSI 系列器件、XILINX 公司的 7000 和 9500 系列器件、Altera 公司的 MAX7000 系列。

(2) FPGA(Field Programmable Gate Array)器件与传统的掩膜编程门阵列相似,即芯片内部由纵横交错的分布式可编程互联线连接起来的逻辑单元阵列 LCA 组成。因此,可编程门阵列通常又被称为通道式阵列结构。它具有门阵列的高密度和 PLD 器件的灵活性。FPGA 器件不受“与或”阵列结构的限制以及触发器和 I/O 端数量上的限制,可以靠内部的逻辑单元以及它们的连接构成任

何复杂的逻辑电路,实现多级逻辑功能。FPGA 器件的内部结构为逻辑单元阵列 LCA(Logic Cell Array),它由 3 类可配置单元组成。

①可编程逻辑块 CLB(Configurable Logic Blocks);

②可编程输入/输出块 IOB(Input Output Block);

③可编程内部连线 PI(Programmable Interconnect)。

CLB 是逻辑资源,实现用户定义的基本逻辑功能;IOB 是 I/O 资源,实现内部逻辑与器件封装引脚之间的接口;PI 是互联资源,实现在模块之间传递信号。另外需指出,FPGA 器件的功能由逻辑结构的配置数据决定。工作时,这些配置数据存放在片内的 SRAM 或者熔丝图上。在工作前需要从芯片外部加载配置数据,配置数据可以存储在片外的 EPROM 或存储体上。

XILINX 公司的 FPGA 产品有:XC2000 是第一代产品;XC 3000 是第二代产品;XC4000、XC 5200 和 XC8100 系列是高密度型产品。FPGA 器件的发展十分迅速,目前已达到 25 万门/片的集成度、3ns 内部延时的水平。除 XILINX 公司外,ALTERA 和 ATMEL 等公司也提供高性能的 FPGA 芯片。

1.2 可编程逻辑器件结构简介

1.2.1 PLD 的电路表示法

在设计、分析、绘制数字逻辑电路时,常常用一些图形符号来表示。这些表示方法对研究中由中小规模数字逻辑集成电路是非常有效的,但这种表示方法却很难描述可编程逻辑器件 PLD 的内部电路。下面介绍的逻辑表示法已为 PLD 器件制造厂商和使用者采用。它在芯片内部配置和逻辑图之间建立起一一对应关系。将逻辑图与真值表结合在一起,构成一种紧凑而易于阅读的形式。

PLD 的输入缓冲器和反馈缓冲器都采用互补输出的结构。对于这种互补输出缓冲器结构,其表示如图 1-2 所示。

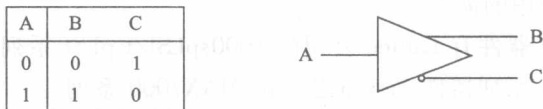


图 1-2 PLD 缓冲器表示法

图 1-3(a)所示是三输入与门的标准门符号和等效的 PAL 逻辑图符号。由与门输入外延的单根水平线代表若干个输入,垂直线分别代表信号 A、B 和 C。星号代表输入信号 A、B 或 C 和与门输入之间是可编程连接。

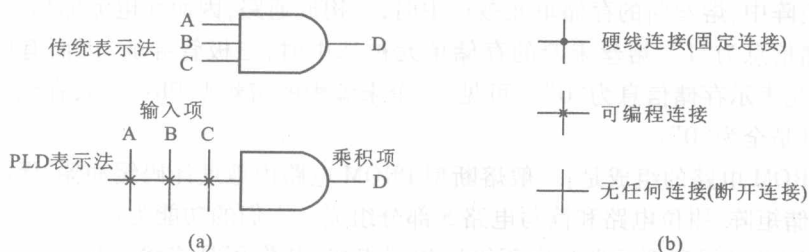


图 1-3 PLD、与门和阵列交叉点表示方法

图 1-3(b) 表示阵列交叉点上的连接方式 3 种表示法, 实点连接表示硬线固定连接, 是不可编程的。“×”表示可编程连接。在熔丝式工艺的 PLD 中, 接通对应于熔丝未熔断, 断开对应于熔丝被熔断。在 E^2 CMOS 工艺的 PLD 中, 接通对应于一个基本开关单元的导通状态, 被编程单元; 断开对应于一个基本开关单元的截止状态, 被擦除单元。交叉点处无节点, 表示无任何连接。

逻辑方程 $F = \overline{A}B + \overline{B}C + \overline{A}B\overline{C}$ 的逻辑电路图如图 1-4 所示。这里, 垂直线的每一根都连接于某一输入信号或该输入信号的非。适当地连接以形成对这个与门输入的连接, 且用或门来实现所有乘积项的和。

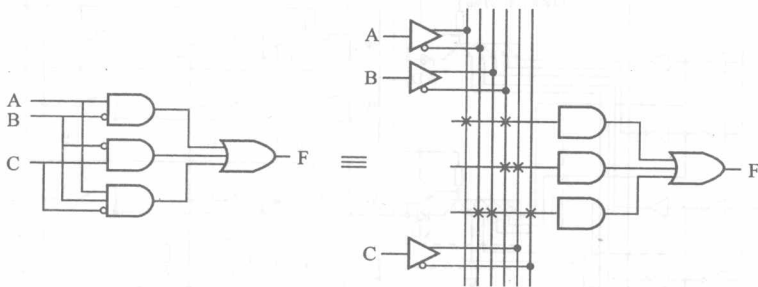


图 1-4 简单组合逻辑电路图

1.2.2 PROM 器件结构

PROM 器件从物理结构上主要分为两类: 一类是双极型结构, 另一类是 MOS 型结构。双极型结构的 PROM 器件只能一次可编程, 其中又分为熔丝可编程和结破坏可编程两种。MOS 型结构的 PROM 器件是可重复擦除和可重复编程的, 其中又分为紫外线可擦除和电可擦除两种。我们只介绍熔丝型 PROM。

图 1-5 给出了一个典型的熔丝型 32×8 位 PROM 逻辑图, 它的基本单元是发射极连有镍铬熔丝的三极管, 由这些三极管组成一个存储矩阵。熔丝在正常工作电流下不会被熔断, 但在几倍于工作电流的编程电流下就会立即熔断。在

存储矩阵中,熔丝断的存储单元被选中时,不构成通路,因而无电流输出,以此表示存储信息为“1”,熔丝未断的存储单元被选中时,三极管导通,因而有电流输出,以此表示存储信息为“0”。可见,一个未编程的熔丝型 PROM,其存储矩阵中的信息是全为“0”。

PROM 电路的组成是:一般熔断型 PROM 电路由地址译码缓冲器、译码驱动器、存储矩阵、钳位电路和读写电路 5 部分组成。它们的功能为:

(1) 地址译码缓冲器是由两级反相器组成,其作用是将输入地址 $A_i (i=0, 1, \dots, 4)$ 变为互补输出 A_i 和 $\overline{A_i}$, 作为地址译码驱动器的输入信号, 其中的输入地址 A_4 与片选信号 CS 送入“或非”门, 分别输出 $\overline{A_4} \cdot \overline{CS}$ 和 $A_4 \cdot \overline{CS}$ 。当片选信号 CS 为高电平时, 两个“或非”门的输出均为低电平, 从而封锁了 32 个地址译码驱动器的全部输入端, PROM 芯片处于禁止状态, 这就是 CS 的片选作用。

(2) 地址译码驱动器由两个三极管 (其中一个为多发射极晶体管)、一个二极管和一个电阻组成。多发射极晶体管起译码作用, 当发射极端均为高电平时, 地址译码驱动器才有高电平输出, 使对应的字驱动线被选中 (为高电平), 从而驱动存储矩阵, 对存储单元进行读写。

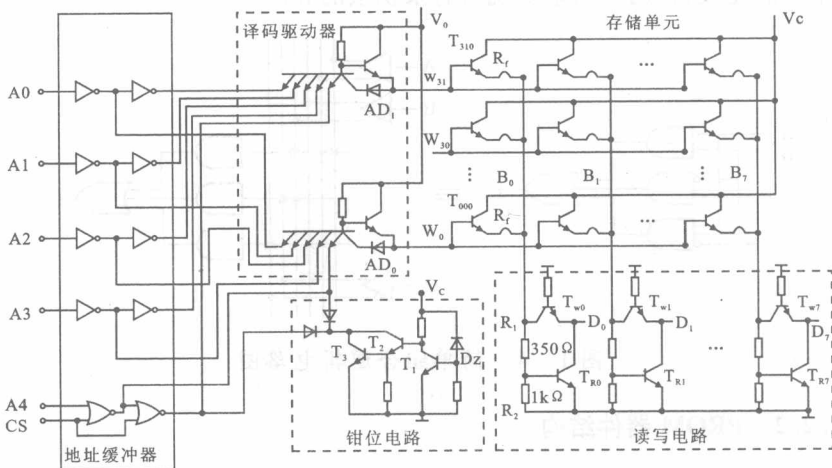


图 1-5 熔丝型 32×8 位 PROM 逻辑图

(3) 存储矩阵是由 32×8 个存储单元 (带熔丝的三极管) 组成。每行三极管基极连成一字线 (或称行), 以 $W_i (i=0, 1, \dots, 31)$ 表示, 每列三极管射极 (通过熔丝) 连成一位线 (或称列), 以 $B_i (i=0, 1, \dots, 7)$ 表示。

(4) 钳位电路并联在地址译码缓冲器输出端 $\overline{A_4} \cdot \overline{CS}$ 和 $A_4 \cdot \overline{CS}$ 上。在正常工作 ($V_c = 5V$) 时, 稳压管 DZ1 为 2.7V, 稳压管 DZ 不导通, T_1 截止, T_2 和 T_3 导通, 地

址译码驱动器的输出端钳位在 3.4V;在写入(或改写)工作($V_c = 6V$)时,稳压管 DZ 导通, T_1 导通, T_2 和 T_3 截止,钳位输出端相当于开路,对地址译码驱动器无影响。

(5)读写电路中的 $T_{wi}(i=0,1,\dots,7)$ 是写入管, $T_{ri}(i=0,1,\dots,7)$ 为读出管。在进行写入(或改写)工作时,数据端 $D_i(i=0,1,\dots,7)$ 加负电压($-2V$), T_{wi} 饱和导通。当字驱动脉冲到来时,电源 V_c 经被选存储单元、位线、 T_{wi} 管到 $-2V$ 有一大电流,将熔丝熔断,于是存储单元被写入(或改写)为“1”;在进行读出工作时, T_{wi} 管不起作用,读出电流经位线加到 $T_{ri}(i=0,1,\dots,7)$ 的基极,由 T_{ri} 管集电极输出信息。

PROM 的编程的实质是如何处理熔丝的熔断问题,即把存储单元的“0”改写为“1”。例如,若需将存储单元 T_{000} 的熔丝熔断,其步骤为:

- ①将电源 V_c 提高为 6V;
- ②送入地址代码(本例 A0 ~ A4 为全“0”);
- ③片选信号 CS 加低电平;
- ④数据端 D0 加负电压($-2V$)。

经过译码,字线 W0 被选中,呈现高电平。这时由电源 V_c 经被选中的存储单元 T_{000} 、位线、 T_{w0} 管到 $-2V$ 有一大电流,将被选单元的熔丝熔断,该单元的信息被写为“1”。依此类推,可对其他单元进行写入。

1.3 PAL 器件

PAL 器件比 PROM 更灵活,能完成更多的逻辑功能。

1.3.1 PAL 器件的基本结构

可编程阵列逻辑(PAL)器件由可编程的“与”逻辑阵列、固定的“或”逻辑阵列和输出电路三部分组成。图 1-6 所示电路是 PAL 器件当中最简单一种电路结构形式,它仅包括一个可编程的“与”逻辑阵列和一个固定的“或”逻辑阵列,没有附加其他的输出电路。

由图 1-6 可见,在尚未编程之前,“与”逻辑阵列的所有有效叉点上均有熔丝接通。编程的过程将有用的熔丝保留,无用的熔丝熔断,即得到所需的电路结构。图 1-7 是经过编程后的一个 PAL 器件的结构图。该结构图所产生的逻辑函数表达式为:

$$Y_1 = I_1 I_2 I_3 + I_2 I_3 I_4 + I_1 I_3 I_4 + I_1 I_2 I_4$$

$$Y_2 = \overline{I_1 I_2} + \overline{I_2 I_3} + \overline{I_3 I_4} + \overline{I_1 I_4}$$

$$Y_3 = I_1 \bar{I}_2 + \bar{I}_1 I_2$$

目前常见的 PAL 器件中,输入变量最多的可达 20 个,“与”逻辑阵列乘积项最多的有 80 个,“或”逻辑阵列输出端最多的有 10 个,每个或门输入端最多的达 16 个。

1.3.2 PAL 的几种输出电路结构和反馈形式

根据 PAL 器件输出电路结构和反馈方式的不同,可将它们分成专用输出结构、可控输出极性结构、可编程输入/输出结构及寄存器输出结构等几种类型。

1. 专用输出结构

图 1-7 给出的 PAL 电路就属于这种专用结构,它们的输出是一个与或门,在有些 PAL 器件中,输出端还采用与或非门结构或者互补输出结构。图 1-8 所示给出了互补输出的电路结构。

2. 可控输出极性结构

在有些 PAL 器件中,在与或逻辑阵列的输出和三态缓冲器之间还设置有可编程的异或门,如图 1-9 所示。通过对异或门一个可编程输入端的编程可以控制输出的极性。当 $XOR = 0$ 时, Y 与 S 同相,而当 $XOR = 1$ 时, Y 与 S 反相。这在用 PAL 设计组合逻辑电路时经常会遇到求反函数的情况。

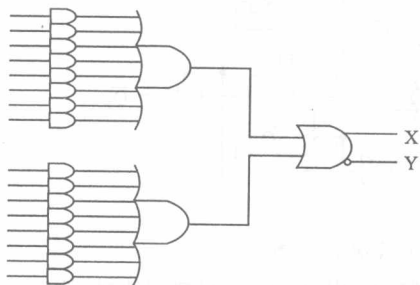


图 1-8 互补输出的电路结构

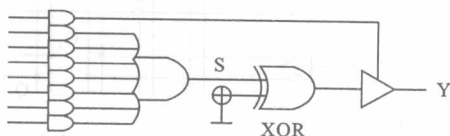


图 1-9 可控输出极性结构

3. 可编程输入/输出结构(简称可编程 I/O 结构)

它的电路结构图如图 1-10 所示。它的输出端是一个具有可编程控制端的三态缓冲器,控制端由与逻辑阵列的一个乘积项给出。同时,输出端又经过一个互补输出的缓冲器反馈到与逻辑阵列上。

在图 1-10 所示的编程情况下,当 $I_1 = I_2 = 1$ 时,上边一个缓冲器 G1 的控制端 $C1 = 1$,相应 I/O1 处于输出工作状态。对下边一个缓冲器 G2 而言,它的控制端 $C2 = 0$,G2 处于高阻状态,因此可以把 I/O2 作为变量输入端使用。这时加到 I/O2 上的输入信号经 G3 接到与逻辑阵列的输入端,即图中的第 6、第 7 列上。

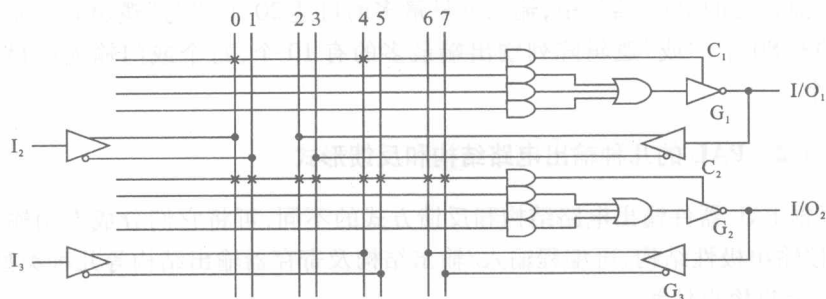


图 1-10 PAL 的可编程输入/输出结构

4. 寄存器输出结构

PAL 器件的寄存器输出结构如图 1-11 所示,它在输出三态缓冲器与或逻辑阵列的输出之间串进了由 D 触发器组成的寄存器。同时,触发器的状态又经过互补输出的缓冲器反馈到与逻辑阵列的输入端。

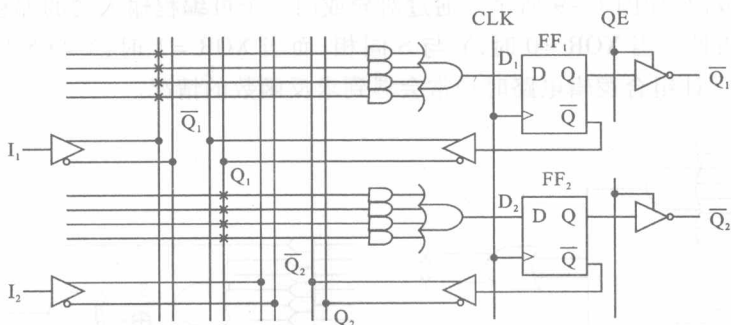


图 1-11 PAL 的寄存器输出结构

利用这种输出结构不仅可以存储与或逻辑输出状态,而且能方便地组成各种时序逻辑电路。例如将与逻辑阵列按图 1-11 所示的编程,则得到 $D1 = I1$, $D2 = Q1$ 。因此,两个触发器和与或逻辑阵列一起组成了移位寄存器。

1.4 GAL16V8 基本工作原理

1.4.1 GAL16V8 逻辑框图及引脚功能

如图 1-12 为 GAL16V8 逻辑框图,它由 8 个输入缓冲器(引脚 2、3、4、5、6、7、8、9)、8 个输出三态缓冲器(引脚 12、13、14、15、16、17、18、19)、与门阵列、8 个输出反馈/输入缓冲器(引脚 12、13、14、15、16、17、18、19)输出逻辑宏单元

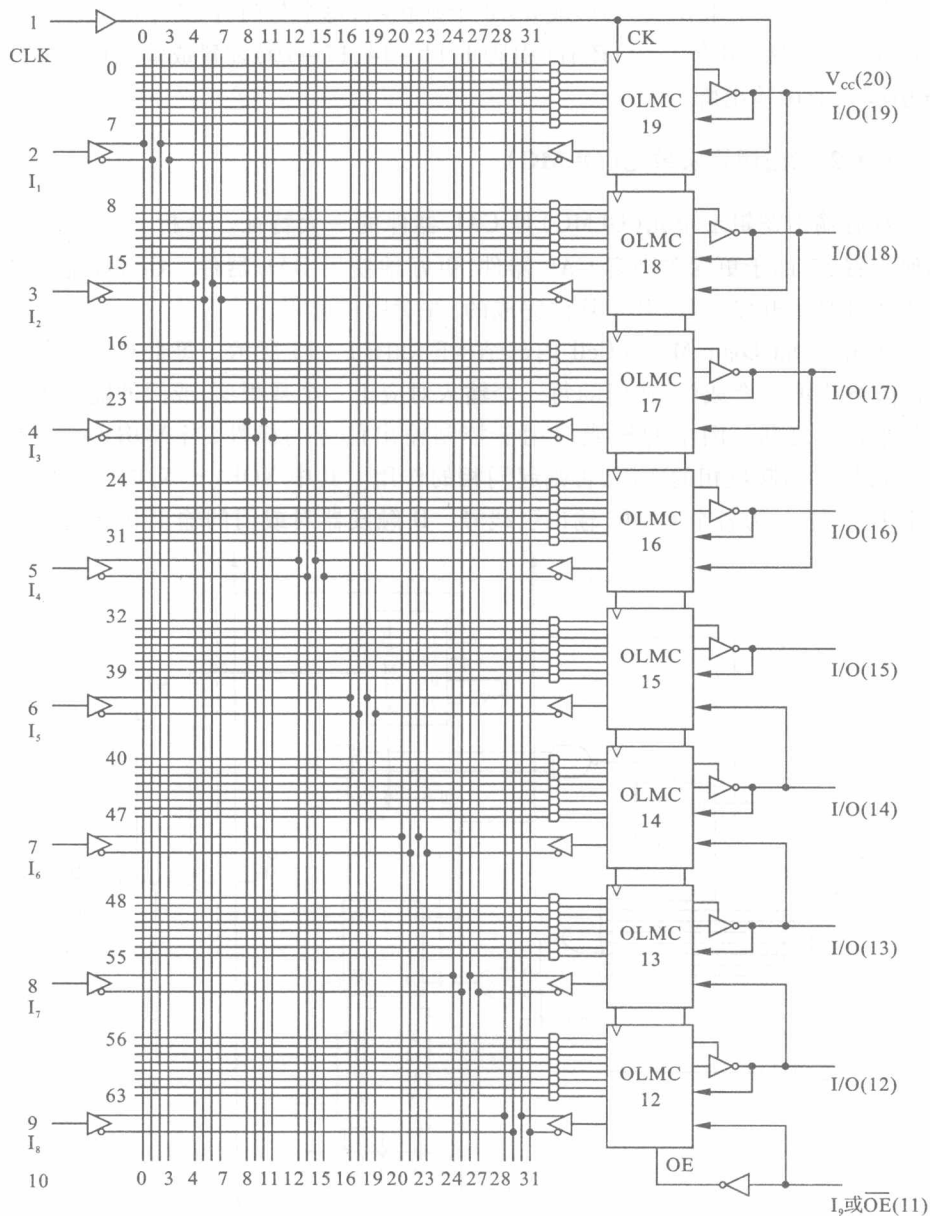


图 1-12 GAL16V8 逻辑框图