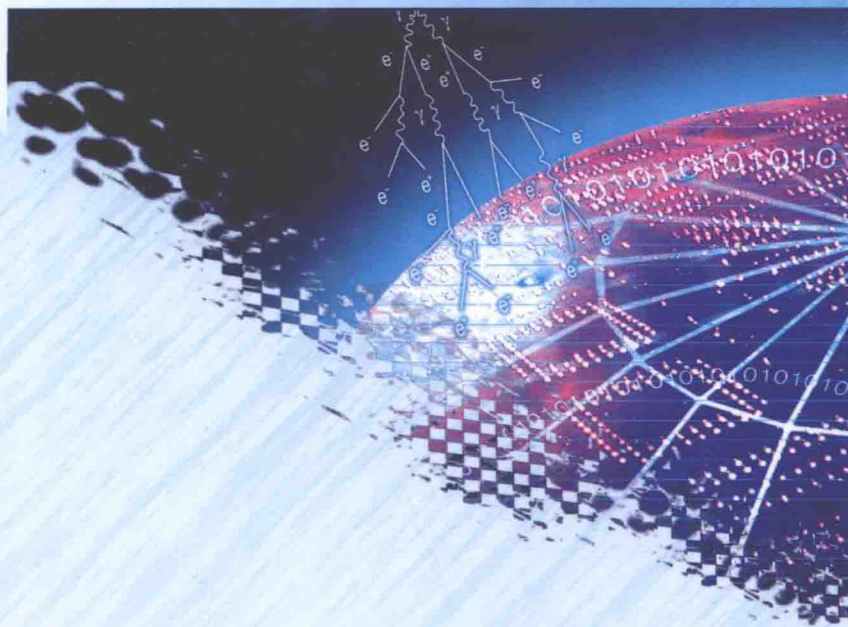


李晓维 胡瑜 张磊 鄢贵海 著

数字集成电路容错设计

——容缺陷/故障、容参数偏差、容软错误



科学出版社

数字集成电路容错设计

——容缺陷/故障、容参数偏差、容软错误

李晓维 胡 瑜 张 磊 鄢贵海 著

科学出版社

北 京

内 容 简 介

本书主要内容涉及数字集成电路容错设计的三个主要方面:容缺陷(和故障)、容参数偏差以及容软错误;包括 3S 技术(自测试、自诊断、自修复)的基本原理。从嵌入式存储、多核处理器和片上网络三个方面论述了缺陷(故障)容忍方法;从参数偏差容忍的角度,论述了抗老化设计和参数偏差容忍设计方法;从处理器和片上网络两个层次论述了软错误容忍方法;并以国产具有自修复功能的单核及多核处理器为例介绍了相关成果的应用。本书的特点是兼具先进性和实用性,系统性强,体系新颖。

本书适合于从事集成电路(与系统)容错设计方向学术研究,以及集成电路 EDA 工具开发和应用的科技人员参考;也可用作集成电路与半导体专业的高等院校教师、研究生和高年级本科生的教学参考书。

图书在版编目(CIP)数据

数字集成电路容错设计:容缺陷/故障、容参数偏差、容软错误/李晓维等著. —北京:科学出版社,2011

ISBN 978-7-03-030576-3

I. ①数… II. ①李… III. ①数字集成电路-电路设计
IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2011)第 044222 号

责任编辑:刘宝莉 孙伯元 / 责任校对:林青梅

责任印制:赵 博 / 封面设计:鑫联必升

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2011 年 4 月第 一 版 开本: B5 (720×1000)

2011 年 4 月第一次印刷 印张: 28

印数: 1—3 000 字数: 546 000

定价: 68.00 元

(如有印装质量问题,我社负责调换)

FOREWORD

As semiconductor technology continues to progress toward higher integration and greater density, system design becomes much more challenging as designers must contend with the increasing variability and reliability threats. The threats arise from a variety of sources, including silicon defects, noise effects, process variation, design errors, as well as in-field failure sources such as infant mortality, soft errors, silicon aging, and electro-migration. To sustain further scaling and support tera-scale integration, future systems must be designed with sufficient robustness to address such quality and reliability concerns.

Errors and faults in a system could be either permanent (hard errors) or transient (soft errors). Even for consumer electronics, built-in mechanisms such as reconfiguration and redundancy, either to self-recover from or to tolerate errors, will soon become the only solutions, to ensure sufficient system yield and reliability. Reconfiguration, done either statistically or dynamically, could be an effective solution to fixing the hard errors. To support reconfigurability, the design must be self-testable and self-diagnosable, to the right level of diagnosis resolution, to automatically identify the failed components before self-reconfiguration can take place. For static reconfiguration, off-line self-test and self-diagnosis will be sufficient. To support dynamic reconfiguration, the design must have on-line self-test and diagnosis capabilities to detect and identify failures when a system is operating. Redundancy, which is a fundamental technique to address transient errors, can be generally categorized into three types: ① *hardware redundancy* such as the classical N-tuple modular redundancy (NMR); ② *time redundancy* such as recomputation in time; ③ *information redundancy* by adding redundant information to the original data, such as error-correcting codes. Each type of reconfiguration schemes and redundancies, or the mixture of them in each unique way, protects the systems from certain kinds of reliability threats, and has different cost implications too. Customizing and tuning the solutions to counter-attack the most likely threats at the lowest cost is the name of the game.

While fault tolerant design has been studied for more than 30 years and employed

in many high-end and safety-critical systems, existing fault tolerance techniques are still too expensive for today's consumer applications. Many of the classical solutions also lack the resiliency necessary to deal with some of the modern quality and reliability threats for monster VLSI chips. The need for low-cost fault tolerance solutions continues to offer new research opportunities and has drawn many young research talents to join this growing field.

Researchers at the Institute of Computing Technology of Chinese Academy of Sciences have been actively addressing some of the challenges in this area. Since 2004, this group of researchers has successfully developed several innovative solutions and published a number of original results on fault tolerant design for embedded memory, multi-core processors, and network-on-a-chip (NoC) systems. This book gives an in-depth coverage of their results with a thorough introduction to the motivations and problem definitions, a comprehensive survey of the current art, the key ideas behind their proposed solutions, descriptions of the experimental validation, and their applications to modern systems. It's commendable that the authors have done a superb job in producing this self-contained and easy-to-read book with a coherent treatment of a broad range of topics. The particular focuses on embedded memory, multi-core processors, and NoCs are excellent choices as they are among the most commonly used components and cover key aspects of storage, computing and communications.

We can foresee that error resilient design will continue to be a popular focus of systems design research for the next several years. We can also predict that the development of error detection, tolerance, correction, recovery, and repair technologies to support error resilient design will soon reach maturity for mainstream deployment in next-generation system chips. The publication of this book is timely and serves very well in the role of motivating and educating graduate students, engineers, and researchers to gain the required knowledge and obtain better insight into this subject of growing importance.

Kwang-Ting (Tim) Cheng (郑光廷)

Univ. of California, Santa Barbara

October 31, 2010

前 言

随着集成电路制造工艺进一步细化(现已进入纳米时代),硅失效机理(包括工艺偏差、晶体管早夭和制造缺陷等)对成品率和产品质量的影响日益增大;利用冗余资源实现缺陷/故障的修复技术已逐渐成为保障(和提高)成品率的重要手段。与此同时,软错误也已成为威胁数字集成电路质量与(系统)可靠性的严重挑战。容错设计(容缺陷和故障、容工艺偏差、容软错误)已成为现代集成电路设计的一种先进技术。

本书全面论述了数字集成电路(与系统)容错设计方法,以“容忍”为主线,汇集了2004年以来中国科学院计算技术研究所(以下简称中科院计算所)在数字集成电路(与系统)可靠设计方法学研究中取得的自主创新的重要研究成果和结论。内容涉及数字集成电路容错设计的三个主要方面:容缺陷(和故障)、容制造(工艺)偏差、容软错误。

全书共分13章,其中技术内容可分为三大部分。第一部分(第2~6章)为缺陷(故障)容忍,从嵌入式存储、多核处理器和片上网络三个方面论述了缺陷(故障)容忍方法。第二部分(第7~8章)为制造(工艺)偏差容忍,从参数偏差容忍的角度,论述了抗老化设计和参数偏差容忍设计方法。第三部分(第9~10章)为软错误容忍,论述了处理器和片上网络的软错误容忍方法。第11章探讨了评价处理器体系结构中各类部件受软错误和间歇性故障影响严重程度的量化计算方法。第12章介绍了缺陷容忍技术在中科院计算所自主研发处理器中的实践。

本书的主要技术内容汇集了李晓维研究员2004年以来指导的博士生(张磊、鄢贵海、王飞、雷韶华等)的学位论文工作的部分成果;也包括胡瑜副研究员和她指导的硕士生(陈中梁、潘送军等)的学位论文工作的部分成果。这些研究成果部分已经在本领域相关学术刊物和学术会议上发表。本书由李晓维研究员主持撰写,胡瑜博士参与了第2、6、9、11、12章内容的整理;张磊博士参与了第3~5、9~10章内容的整理;鄢贵海博士参与了第7、8章内容的整理。清华大学自动化系杨士元教授审阅了全部书稿,美国UCSB计算机系郑光廷教授撰写了序言。在此向他们表示衷心的感谢。

本书汇集的部分科研成果是在国家重点基础研究发展计划(973)课题“高性能处理器芯片的可靠性设计”(2005CB321604)、国家自然科学基金重点项目“数字VLSI电路测试技术研究”(60633060)和“微处理器自修复设计基础技术研究”(90707004)等资助下完成的。研究过程中得到了中科院计算所李国杰院士、孙凝

晖研究员、胡伟武研究员、闵应骅研究员等领导和同事的关心和支持,得到了清华大学杨士元教授、北京邮电大学宫云战教授、同济大学江建慧教授等同行的支持和帮助,在此表示衷心的感谢。

由于作者水平和经验有限,书中难免存在不足之处,恳请读者批评指正。

目 录

FOREWORD

前言

第 1 章 绪论	1
1.1 数字集成系统容错设计简介	1
1.1.1 数字集成电路设计的可靠性挑战	1
1.1.2 数字集成电路的 3S 和 3T 可靠性设计框架	5
1.2 数字集成系统容错设计的关键问题	7
1.2.1 缺陷容忍	8
1.2.2 偏差容忍	9
1.2.3 软错误容忍	9
1.3 章节组织结构	10
参考文献	13
第 2 章 嵌入式存储器的容缺陷设计	15
2.1 嵌入式存储器的容缺陷设计	15
2.1.1 缺陷与故障模型	16
2.1.2 嵌入式存储器的自测试方法	20
2.1.3 嵌入式存储器的自诊断方法	24
2.1.4 嵌入式存储器的自修复方法	25
2.2 利用内容可寻址技术的嵌入式存储器容缺陷设计	33
2.2.1 相关研究工作	33
2.2.2 冗余资源结构	34
2.2.3 自测试自诊断和自修复方法	35
2.2.4 实验结果及其分析	43
2.3 小结	45
参考文献	46
第 3 章 多核处理器的容缺陷设计	49
3.1 多核处理器的核级冗余	50
3.1.1 核级冗余与微体系结构级冗余	50
3.1.2 核级冗余的降级模式与冗余模式	54
3.1.3 冗余模式对多核处理器系统的影响	55

3.2 冗余模式下多核处理器的拓扑重构	57
3.2.1 拓扑重构的量化评估方法	59
3.2.2 二维 mesh 结构的重构问题	62
3.2.3 问题复杂度分析	65
3.3 多核处理器的拓扑重构优化算法	70
3.3.1 最直接的算法——模拟退火	72
3.3.2 一种贪心算法——行波列借算法	75
3.3.3 行波列借制导的模拟退火算法	76
3.3.4 算法性能分析	79
3.4 多核处理器的测试与故障诊断	85
3.5 小结	86
参考文献	87
第4章 片上网络路由器容错设计	90
4.1 片上网络路由器容错设计概述	91
4.1.1 片上路由器容错设计的关键问题	91
4.1.2 典型容错路由器结构	93
4.2 切片路由器	96
4.2.1 数据通路的切片复用	98
4.2.2 切片复用微体系结构	98
4.2.3 切片路由器的工作模式	99
4.2.4 路由器间的故障关联	101
4.2.5 切片路由器扩展	102
4.3 切片路由器的性能开销分析	103
4.3.1 可靠性参数设计与分析	103
4.3.2 总体评估	105
4.4 片上网络路由器的故障检测和诊断方法	109
4.5 小结	110
参考文献	110
第5章 片上网络容错路由	112
5.1 容错路由算法分类	112
5.2 死锁避免方法	114
5.2.1 Dally 和 Seitz 理论	115
5.2.2 Duato 理论	117
5.2.3 转向模型	120
5.3 故障模型	124

5.3.1 凸区域模型	124
5.3.2 正交凸区域模型	126
5.4 典型算法分析	128
5.4.1 Boppana 和 Chalasani 算法	129
5.4.2 低成本可重构路由算法	133
5.5 小结	141
参考文献	141
第 6 章 数字电路的复合故障诊断方法	143
6.1 复合故障诊断方法	143
6.1.1 扫描设计与故障模型	144
6.1.2 复合故障诊断方法	148
6.2 基于可诊断性螺旋扫描设计的故障诊断方法	149
6.2.1 可诊断性设计方法	150
6.2.2 基于螺旋扫描设计的故障诊断	152
6.2.3 实验结果及其分析	164
6.3 基于确定性诊断向量生成的复合故障诊断方法	167
6.3.1 面向复合故障的扫描链故障诊断方法	168
6.3.2 面向复合故障的组合逻辑故障诊断方法	190
6.4 小结	215
参考文献	216
第 7 章 处理芯片的抗老化设计	218
7.1 老化机理与生命期可靠性建模	218
7.1.1 两类老化机理简述	218
7.1.2 生命期可靠性建模——“浴盆曲线”	221
7.2 老化的在线感知	222
7.2.1 老化感知原理	222
7.2.2 电路实现	223
7.3 老化容忍的微结构设计	224
7.3.1 基于冗余重构设计	225
7.3.2 基于电路状态控制的设计	225
7.3.3 基于时序动态优化设计	228
7.4 老化的预测	235
7.4.1 老化预测框架	236
7.4.2 识别关键路径和关键门	238
7.4.3 最大电路老化预测模型	240

7.4.4 实验结果及其分析	241
7.5 小结	243
参考文献	244
第8章 多核处理器容参数偏差设计	246
8.1 参数偏差的分类	246
8.1.1 工艺偏差	246
8.1.2 电压波动	248
8.1.3 温度波动	249
8.2 针对不同类型参数偏差的优化技术	250
8.2.1 工艺偏差的优化	250
8.2.2 电压波动的优化	250
8.2.3 温度波动的优化	250
8.3 参数偏差的协同优化技术	251
8.3.1 PVT 偏差对时序偏差的影响	251
8.3.2 偏差强度的频域分析	251
8.3.3 时域的解释	254
8.4 TEA 方法的可行性分析	255
8.4.1 实现技术难点	255
8.4.2 已具备的基础条件	255
8.5 实施方案	257
8.5.1 即时推测各个偏差分量强度	257
8.5.2 非显式依赖 V 分量的即时迁移决策	259
8.5.3 即时偏差程度预测	261
8.5.4 硬件开销	262
8.6 方案有效性评估	262
8.6.1 处理器核的配置参数和工作负载	263
8.6.2 供电网络模型	264
8.6.3 PVT 偏差与电路时延的精确关系	265
8.6.4 其他参数定义	266
8.6.5 评估指标	266
8.6.6 实验结果及其分析	267
8.7 小结	270
参考文献	270
第9章 处理器的容软错误设计	275
9.1 冗余执行层次	276

9.1.1 数据级冗余执行	276
9.1.2 指令级冗余执行	278
9.1.3 线程级冗余执行	282
9.1.4 进程级冗余执行	288
9.2 利用数据级冗余执行的软错误检测与恢复	289
9.2.1 数据级冗余执行的条件	290
9.2.2 数据级冗余执行的微结构设计	292
9.2.3 结合指令复制的软错误检测机制	296
9.2.4 基于检查点的软错误恢复技术	298
9.2.5 实验结果及其分析	299
9.3 冗余线程的调度和分配	307
9.3.1 核间性能不对称的多核处理器上的线程冗余	308
9.3.2 冗余线程的调度算法	311
9.3.3 算法性能分析	314
9.4 小结	317
参考文献	317
第 10 章 片上网络容软错误通信方法	320
10.1 片上通信的差错控制方法	321
10.1.1 基于检错纠错的请求重传机制	321
10.1.2 无重传的随机通信机制	323
10.2 数据包分级保护方法	326
10.2.1 数据包分析	326
10.2.2 分级保护策略	327
10.2.3 性能效率分析	328
10.3 带有端到端反馈的容软错误通信方法	329
10.3.1 一种带反馈的随机容错路由算法	330
10.3.2 三种容软错误通信算法比较	332
10.3.3 带有端到端反馈容错方法总结	335
10.4 小结	335
参考文献	336
第 11 章 微体系结构级可靠性评估方法	338
11.1 微体系结构级可靠性评估方法	339
11.1.1 背景知识	340
11.1.2 体系结构脆弱因子计算	342
11.1.3 分析比较	351

11.2 体系结构脆弱因子离线评估	353
11.2.1 软错误故障注入分析	353
11.2.2 故障注入流程	355
11.2.3 实验结果及其分析	356
11.3 体系结构脆弱因子在线评估	358
11.3.1 整体框图设计	359
11.3.2 体系结构脆弱因子在线计算	360
11.3.3 体系结构脆弱因子预测算法	363
11.3.4 实验结果及其分析	365
11.4 间歇故障脆弱因子评估	369
11.4.1 研究背景及动机	370
11.4.2 间歇故障脆弱因子计算方法	371
11.4.3 实验结果及其分析	376
11.5 小结	380
参考文献	381
第 12 章 处理器芯片的容错设计实例	384
12.1 自修复处理器	384
12.1.1 自修复处理器设计背景及意义	385
12.1.2 自修复处理器芯片的结构设计	387
12.1.3 自修复处理器在 WSN 中的应用	396
12.2 Godson-T 众核处理器容错设计	401
12.2.1 Godson-T 体系结构	401
12.2.2 片上网络和基准程序性能分析	404
12.3 小结	406
参考文献	407
第 13 章 总结与展望	409
13.1 总结	410
13.2 展望	413
参考文献	417
索引	418

第 1 章 绪 论

1.1 数字集成系统容错设计简介

随着摩尔定律的延续,芯片特征尺寸进一步按比例缩小,在单芯片上集成数十亿晶体管(transistor)已成为可能。数字集成电路的规模和性能不断提高,为应用提供了强大的计算能力。数字集成系统不再是一种功能单一的芯片,而是将微处理器、存储器、数字信号处理器、网络控制器等通过测试和验证的芯核集成在一个芯片上,构成一个完整的系统。随着片上所能集成的芯核数目的不断增加,数字集成系统的功能越来越强,复杂度越来越高,也给设计开发人员带来了更多的挑战。

工艺进步是一把双刃剑,在提供更多功能和更强性能的同时,如此复杂和庞大的芯片给设计者带来了诸多挑战,其中可靠性问题变得越来越突出了。由制造过程中工艺参数的偏差或内部原子级效应等引起的器件参数离散性不断增加;越来越薄的栅氧化层导致因隧穿而影响可靠性的机率不断增加;越来越多的片内存储器(单个存储单元的尺寸越来越小)给单粒子效应等因素导致的软失效提供了越来越多的机会;芯片供电电压的不断降低和漏电流的不断增加,使传统的可靠性筛选方法(如动态老化、静态电流测量、施加过压应力等)越来越难以实施。生产缺陷(manufacturing defect)导致芯片的成品率(yield)不断下降,老化(wear-out)、软错误(soft error)、工艺的不稳定性等导致芯片的失效率不断攀升,使芯片的容错设计成为延长硅集成电路摩尔定律最迫切的需求之一。大规模数字集成电路设计必须装备有电路级和系统级故障自修复(self-repair, SR)方法,从而提高芯片成品率,降低成本,构造稳定可靠、性能可预测的系统。

1.1.1 数字集成电路设计的可靠性挑战

数字集成电路的可靠性面临着众多挑战和问题,下面简要介绍一下几种重要的导致芯片失效的机制及其发展趋势。针对这些失效机制的容错设计方法研究也是学术界和工业界关注的热点。

1) 生产缺陷

由于硅工艺加工过程不可能是完美的,芯片上很有可能存在生产缺陷,从而导致制造出来的芯片无法使用,造成了成品率的损失。而对于集成电路厂商来说,一款产品的利润主要取决于其成品率。随着工艺水平的不断进步,集成电路的缺陷

密度(defect density),即单位芯片面积上含有的缺陷数目也在不断下降。比如,通过降低超净室空气中尘埃颗粒的数目减少缺陷数目。然而,工艺尺寸的缩小和芯片面积的不断扩大,使得芯片上集成的器件的数目和密度都不断地增大,从而又导致了芯片成品率的下降。例如,在 180nm 工艺下的一个“小”缺陷不会导致芯片失效,而如果使用了 90nm 工艺,由于缺陷的几何尺寸是不随工艺变化的,相对于更小尺寸的晶体管,那么这个“小”缺陷就会变成“大”缺陷,从而导致芯片失效^[1]。这也就是为什么芯片面积不能无限增大的原因,面积大的芯片会含有更多的缺陷,其正常工作的概率就会大大降低^[2]。目前的很多处理器芯片,功能十分强大,芯片面积也非常大,例如 IBM 的 Cell 处理器的芯片面积有 235mm^2 (90nm 工艺),而其成品率只有 10%~20%^[3]。半导体工艺的进步为设计者提供了更大的设计空间,为用户提供更为丰富的功能,但是芯片的设计者和制造者都必须关注成品率问题。成品率将继续传统的性能和功耗成为芯片设计的又一指标。

2) 工艺偏差

工艺偏差(process variation)是一个让芯片设计者和制造者都比较头疼的问题。随着工艺的进步,晶体管尺寸已经进入纳米时代,这使得在芯片制造过程中,难以对制造过程进行精确地控制。例如极微小掺杂的差异可能导致同一芯片上的不同部分,或者不同芯片上的晶体管的开关速度或者漏电流产生较大的差异,再比如在硅工艺加工过程中,需要进行光刻,由于晶体管的尺寸已经接近光源的衍射尺寸,这使得器件之间的尺寸存在差异,因此同一芯片上不同部件之间的性能存在差异,如关键通路,同一设计的芯片之间的性能也存在差异。互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺进入纳米时代,工艺偏差带来的影响已经无法忽略,从芯片逻辑设计,到物理布局布线,到芯片制造和用户的使用,都需要考虑工艺偏差导致的参数偏差带来的影响。

如图 1.1 所示,Intel 实验室统计了大量芯片的工作频率和芯片的漏电流数

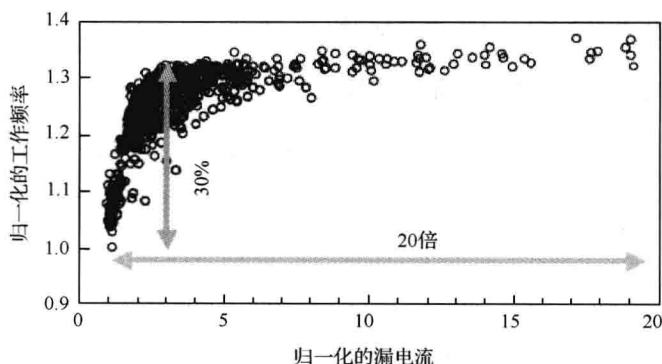


图 1.1 工艺偏差对芯片频率和漏电流的影响^[4]

据^[4],很容易看到,大部分芯片的工作频率集中在 1.2~1.3 之间,但是呈现出较大的偏差,工作频率差异在 30%左右,而芯片的漏电流相差竟达到 20 倍。面对如此大的性能差异(performance variation),芯片厂商一般采用频率分类的方法出售芯片,性能好的芯片其价格也高,性能差的芯片只能以低价出售或者用于其他场合。

工艺偏差一般被分为两类:一类是系统偏差(systematic variation),一类属于随机偏差(random variation)^[5]。系统偏差具有一定的统计规律,所有芯片呈现出相同或者类似的偏移,比如光刻相差可能使得一批芯片具有类似的参数。而随机偏差则没有任何规律,如掺杂的不均匀,使得晶体管之间的性能差异就是一种随机的偏差。系统偏差可以采用反馈和统计学习的方法加以矫正,而随机偏差则难以控制。

工艺偏差按照分布可以分为 Die-to-Die 偏差和 Within-Die 偏差,前者是指不同芯片之间的差异,而后者是指芯片内部不同部分之间的差异。随着多核处理器(multicore processor)的出现,Within-Die 偏差又包括了 Core-to-Core 偏差,即核与核之间的性能差异。

3) 软错误

软错误越来越被重视,它被看做是威胁数字集成电路可靠性的最严重挑战之一。当宇宙射线或芯片封装(package)材料中的高能粒子轰击到晶体管时,就有可能引发永久失效或瞬时失效。永久失效是高能粒子击穿硅氧界面,导致芯片功能损害。永久失效只有当芯片长时间暴露于高辐射环境中才有可能发生,而大多数情况下,高能粒子会引发瞬时失效。由于这些错误是瞬态且可恢复的,因而也被称为软错误。软错误属于瞬态故障(transient fault)的一种,而且是目前最受关注的一类瞬态故障。本书后面提到的瞬态故障特指软错误,除非特别说明。

瞬时失效包括单事件翻转(single event upset, SEU)、单事件瞬态(single event transient, SET)或多位翻转(multiple-bit upset, MBU)^[6]。当高能粒子轰击到单个存储单元时,其存储的值可能发生翻转,错误的值将保持到下一个值写入,这成为 SEU。由于存储器阵列的密度很大,SEU 发生的频率很高。当高能粒子轰击组合电路逻辑门时,有可能会产生一个 0.35~1.3 ns 的毛刺,并沿通路传播(propagate)。由于目前大多数处理器工作频率在 1GHz 以上,两级寄存器之间组合逻辑(combinational logic)深度很小,这个毛刺极有可能被下一级寄存器捕获,从而发生 SET。人们很早就开始研究如何保护存储器避免发生 SEU,随着工艺进步和芯片时钟频率的提高,SET 的严重性日益显现。此外,高能粒子轰击存储器单元可能导致相邻的多个存储单元发生翻转,即 MBU,但目前来看 MBU 发生的概率较小。

事实上,随着工艺的进步,单个器件的抗轰击能力在增强。一方面,晶体管的供电电压在降低,其存储的电荷也很少,只有能量很高的粒子轰击才能改变其状

态。另一方面,晶体管尺寸在缩小,粒子击中器件的概率也在减小。这使得单个器件发生软错误的概率基本保持不变。然而由于数字集成电路的规模在不断变大,器件密度不断提高,就整个芯片来看,其发生软错误的概率不断提高,导致程序运行错误^[7]。图 1.2 所示是国际半导体技术蓝图(international technology roadmap for semiconductors, ITRS)预测的工艺尺寸进一步细化后,系统软错误率(soft error rate, SER)的变化^[8]。因此数字电路设计必须考虑容软错误的方法。Intel 的研究报告指出,未来芯片中,用于容错设计的资源将占到整个芯片的 5%~10%^[9]。

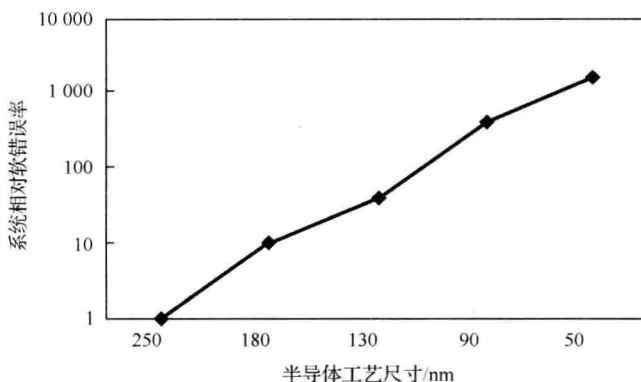


图 1.2 软错误率随工艺尺寸的变化

4) 老化

芯片的生命周期包括三个部分,如图 1.3 所示^[10]。随着早期一些残次品被淘汰,芯片的失效率迅速下降,进入稳定期,这一时期,芯片的失效率维持在一个较低的水平,是芯片最有用的时期。当芯片到达一定的使用寿命时,进入老化期,此时芯片故障不断,失效率成指数递增,这个时候就意味着芯片需要被更新了。

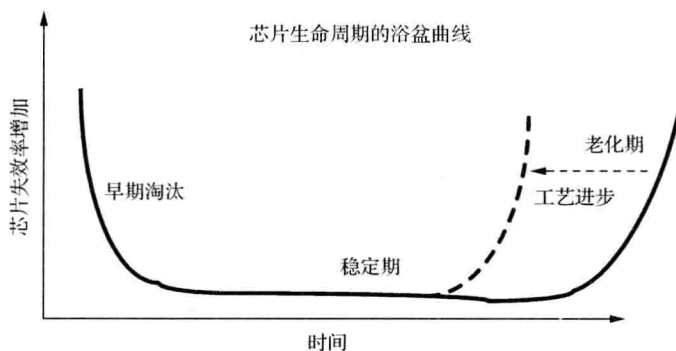


图 1.3 芯片的生命周期