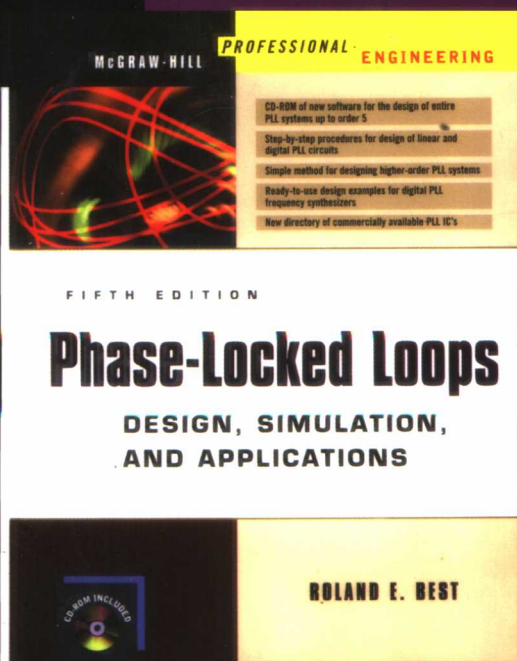


国外大学优秀教材——微电子类系列（翻译版）

锁相环 设计、仿真与应用(第5版)

Roland E. Best 著

李永明 等译



国外大学优秀教材——微电子类系列（翻译版）

锁相环 设计、仿真与应用 (第5版)

Roland E. Best 著

李永明 王海永 肖珺 张希鹏 曹奉祥 译

清华大学出版社
北京

Roland E. Best

Phase-Locked Loops: Design, Simulation, and Applications (5th Edition)

EISBN: 0-07-141201-8

Copyright © 2003 by The McGraw-Hill Companies, Inc.

Original language published by The McGraw-Hill Companies, Inc. All Rights reserved. No part of this publication may be reproduced or distributed by any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

Simplified Chinese translation edition is published and distributed exclusively by Tsinghua University Press under the authorization by McGraw-Hill Education(Asia) Co., within the territory of the People's Republic of China only (excluding Hong Kong, Macao SAR and Taiwan). Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.

本书中文简体字翻译版由美国麦格劳-希尔教育出版(亚洲)公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经许可之出口视为违反著作权法,将受法律之制裁。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字: 01-2003-7774

本书封面贴有 McGraw-Hill 公司防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话: 010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

锁相环设计、仿真与应用:第5版/(美)贝斯特(Best, R. E.)著;李永明等译. —北京:清华大学出版社,2007.4

书名原文:Phase-Locked Loops: Design, Simulation, and Applications (5th Edition)

(国外大学优秀教材·微电子类系列)

ISBN 978-7-302-12882-3

I. 锁… II. ①贝… ②李… III. 锁相技术—高等学校—教材 IV. TN911.8

中国版本图书馆CIP数据核字(2006)第036246号

责任编辑:王敏稚

责任校对:时翠兰

责任印制:何芊

出版发行:清华大学出版社 地 址:北京清华大学学研大厦A座

<http://www.tup.com.cn> 邮 编:100084

c-service@tup.tsinghua.edu.cn

社总机:010-62770175 邮购热线:010-62786544

投稿咨询:010-62772015 客户服务:010-62776969

印刷者:清华大学印刷厂

装订者:三河市兴旺装订有限公司

经 销:全国新华书店

开 本:185×230 印 张:22.75 字 数:497千字

附光盘1张

版 次:2007年4月第1版 印 次:2007年4月第1次印刷

印 数:1~3000

定 价:39.00元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:(010)62770177 转 3103 产品编号:012798-01

第 5 版前言

锁相环历来是线性电路。第一个锁相环是用分立元件实现的,大约在 1965 年锁相环成为可以使用的集成电路。这些集成锁相环中的第一个是线性器件(LPLL),基于半导体技术,类似那个时代的运算放大器。几年后(大约 1970 年),有了第一个可以使用的数字锁相环(DPLL)。但我们观察它们的电路时,可以知道,仅仅鉴相器是逻辑电路,而其余部分(压控振荡器 VCO,环路滤波器)仍然是模拟电路,因此这些锁相环是混合系统。在这本新版本的书中,我们把 LPLL 和 DPLL 两个类型结合成一类,称之为“混合信号锁相环”。于是,现在两种可以使用统一的理论阐述,大大地简化了分析。

第 1 章是简短的引言,介绍锁相环领域的情况。第 2 章安排涉及混合信号锁相环的理论,设计和混合信号 PLL 的应用。讨论了不同类型的鉴相器(线性的和数字的),具有电荷泵输出的鉴频鉴相器、环路滤波器(无源和有源)以及压控振荡器。给出了典型混合信号锁相环的应用,例如重定时和时钟恢复,控制马达速度等。

因为频率综合器是 DPLL 数字锁相环最重要的应用之一,所以单立第 3 章深入讨论数字锁相环频率综合器。因为相位抖动和寄生边带是频率综合器最烦人的现象,我们给出了不同的解决这些问题的方法,即抗齿隙式电路和高阶环路滤波器。此外,还分析了整数 N 和分数 N 两类综合器并说明后者可以非常快地捕获锁定,其特点是在跳频(扩频)应用中具有很大的好处;最新一代的移动电话中,扩频技术将越来越重要。接着说明了简单的频率综合器可以单环实现,而高性能系统中必须使用多环结构。

因为在许多综合器应用中必须采用高阶系统(滤波器),第 4 章讨论了这样系统的设计,例如高达五阶的锁相环。在高阶环路的设计中,安排极点和零点的位置会是一项困难的工作,利用作者开发的新方法,基于波特图,可以非常容易地进行高阶环路设计。同时,利用作者开发的程序(在随书附有的 CD-ROM 中)可以轻松实现系统。该程序可以自动设计和分析高达五阶的锁相环路。该主题在第 5 章讨论,其中还包括了许多设计例子。在综合一个锁相环电路时,这个程序可以用于模拟系统的动态性能,即锁定和失锁过程。为了研究锁相环在噪声情况下的性能(这在实际中是一般设定情况),用户可以添加任意水平的窄带或宽带噪声。最终,程序显示综合的锁相环波特图和环路滤波器电路图,包括元件值。

第 6 章阐述全数字锁相环 ADPLL 的理论、设计和应用,这类 PLL 引入时间比前面介绍的要晚一些。这几种锁相环中,LPLL 与 DPLL 是连续时间系统,而 ADPLL 是离散时间器件,所以,会表现出相对较大的波纹(相位抖动)。因此,ADPLL 的应用局限在可容忍波纹的情况下,如频移键控(FSK)解码器和类似设备。第 7 章描述了 ADPLL 计算机辅助设计

和仿真,使用前面讲述过的计算机程序。

因为近年来微控制器和数字信号处理器的速度显著提高,现在许多 PLL 应用都可以用软件实现。第 8 章讨论了锁相环领域中软件和硬件折中的考虑,描述了一些可以实现软件 PLL(SPLL)的软件算法。

第 9 章综述通信领域中 PLL 的应用。包括大多数重要的数字调制方案,例如 BSK, QPSK, FSK 以及 QAM,并且描述了一些专用的 PLL 电路用于载波和符号同步(如, Costas 环, 早-迟门, 积分和复位转移电路),以及采取措施防止符号间干扰(intersymbol interference, ISI),例如平方根升余弦滤波器。本章的其他主题中也说明了在不增加系统带宽的情况下,如何增加数字通信的符号速率。

第 10 章列出了当前可以使用的 PLL 集成电路,它们来自美国、欧洲和日本的制造厂家,包括简短的电路说明。列表中包括单片上完整的 PLL 系统,锁相环的部分电路模块,如鉴相器和 VCO 压控振荡器,以及类似锁相环频率综合器的复杂系统或收音机、电视机芯片;还包括单、双模预分频器。

最后,第 11 章说明使用常规实验室仪器,如示波器、信号发生器等,以及如何测量锁相环的参数。

三个附录提供了所选主题的附加信息。附录 A 为捕获过程分析推导,以满足对数学方法感兴趣的读者。附录 B 是在这本书中经常使用的初等拉普拉斯变换。附录 C 是对数字滤波器的综述,在高复杂度的 PLL 系统中它变得越来越重要。

Roland Best

目 录

第 1 章 锁相环简介	1
1.1 锁相环工作原理	1
1.2 PLL 的分类	4
第 2 章 混合信号锁相环	5
2.1 混合信号锁相环框图	5
2.2 相位信号注解	6
2.3 混合信号锁相环的组成模块	8
2.3.1 鉴相器	8
2.3.2 环路滤波器(一阶)	18
2.3.3 受控振荡器	20
2.3.4 分频器	23
2.4 锁定状态下的锁相环性能	23
2.4.1 锁定状态的数学模型	24
2.4.2 传输函数定义	25
2.4.3 锁定状态下锁相环的瞬态响应	29
2.4.4 锁相环稳态误差	32
2.5 锁相环系统的阶次	33
2.5.1 极点数	33
2.5.2 特殊情况:一阶锁相环	34
2.6 未锁定状态下的锁相环性能	34
2.6.1 未锁定状态的数学模型	34
2.6.2 锁相环的关键参数	41
2.7 带有电荷泵输出的鉴相器	61
2.8 在噪声情况下的 PLL 性能	64
2.8.1 PLL 里的噪声源和噪声类型	64
2.8.2 噪声参数定义	66
2.8.3 噪声对 PLL 性能的影响	67

2.8.4	带有噪声的信号捕捉技术	72
2.9	混合信号 PLL 的设计流程	74
2.10	混合信号 PLL 的应用	81
2.10.1	重定时和时钟信号恢复	81
2.10.2	马达速度控制	86
第 3 章	锁相频率综合器	92
3.1	无线和射频应用领域中的频率综合器	92
3.2	锁相环频率综合器基础	92
3.2.1	整数 N 频率综合器	93
3.2.2	示例研究:设计整数 N PLL 频率综合器	99
3.2.3	分数 N 频率综合器	101
3.3	单环和多环频率综合器	106
3.4	频率综合器噪声	108
3.4.1	参考振荡器的相位抖动 $\theta_{n,ref}$	109
3.4.2	VCO 的相位抖动 $\theta_{n,vco}$	115
3.4.3	鉴相器产生的参考馈通	116
第 4 章	高阶环路	121
4.1	高阶环路的起因	121
4.2	高阶环路的稳定度分析	121
4.3	三阶 PLL 的设计	124
4.3.1	无源超前一滞后滤波器	124
4.3.2	有源超前一滞后滤波器	126
4.3.3	有源比例积分环路滤波器	127
4.4	四阶 PLL 的设计	129
4.4.1	有源超前一滞后环路滤波器	129
4.4.2	有源比例积分环路滤波器	132
4.5	五阶 PLL 的设计	135
4.5.1	有源超前一滞后环路滤波器	135
4.5.2	有源比例积分环路滤波器	138
4.6	高阶 PLL 的关键参数	141
4.7	带电荷泵输出的鉴相器的环路滤波器	142
4.7.1	二阶 PLL 中的环路滤波器	142
4.7.2	三阶 PLL 中的环路滤波器	143

4.7.3	四阶 PLL 中的环路滤波器	143
4.7.4	五阶 PLL 中的环路滤波器	144
第 5 章	混合信号 PLL 的计算机辅助设计和仿真	146
5.1	概述	146
5.2	快速浏览	146
5.2.1	配置 PLL 系统	147
5.2.2	设计环路滤波器	148
5.2.3	环路稳定性分析	150
5.2.4	获取环路滤波器电路	152
5.2.5	仿真	153
5.2.6	获得帮助	156
5.2.7	定义图表的显示风格	156
5.3	实例:两阶 PLL 设计和仿真	157
5.4	研究其他情况的建议	164
5.5	显示三态信号的波形	164
第 6 章	全数字 PLL(ADPLL)	166
6.1	ADPLL 组成	166
6.1.1	全数字鉴相器	166
6.1.2	全数字环路滤波器	171
6.1.3	数字控制振荡器	175
6.2	ADPLL 实现的例子	180
6.2.1	ADPLL 例 1	180
6.2.2	ADPLL 例 2	183
6.2.3	ADPLL 例 3	184
6.3	选择 ADPLL 类型理论	185
6.3.1	离散时间运算效应	186
6.3.2	ADPLL 的同步范围	191
6.3.3	ADPLL 的频域分析	193
6.3.4	减少波纹技术	194
6.3.5	高阶 ADPLL	196
6.4	典型 ADPLL 应用	197
6.5	设计 ADPLL	198
6.5.1	实例研究:设计 ADPLL FSK 解码器	198

第 7 章 ADPLL 的计算机辅助设计和仿真	201
7.1 设置设计参数	201
7.2 仿真 ADPLL 性能	202
7.3 ADPLL 行为的实例分析	203
第 8 章 软件 PLL(SPLL)	209
8.1 软件和硬件的折中	209
8.2 SPLL 设计的可行性	210
8.3 SPLL 举例	210
8.3.1 类似 LPLL 的 SPLL	211
8.3.2 类似 DPLL 的 SPLL	216
8.3.3 类似 ADPLL 的 SPLL 简述	222
第 9 章 通信中的锁相环(PLL)	224
9.1 通信的种类	224
9.1.1 从模拟到数字	224
9.2 带通调制的数字通信	225
9.2.1 幅移键控	225
9.2.2 相移键控	226
9.2.3 正交相移键控	227
9.2.4 QAM(m 元相移键控)	228
9.2.5 频移键控	229
9.3 数字通信中同步的作用	231
9.4 使用 BPSK 的数字通信	232
9.4.1 发射机考虑事项	232
9.4.2 接收机考虑事项	235
9.5 使用 QPSK 的数字通信	243
9.5.1 发射机考虑事项	243
9.5.2 接收机考虑事项	244
9.6 使用 QAM 的数字通信	247
9.7 使用 FSK 的数字通信	247
9.7.1 简单 FSK 解调器:易于实现,但效率低	247
9.7.2 相干 FSK 检测	248
9.7.3 非相干 FSK 检测和正交 FSK 解调器	249

第 10 章 商用 PLL 集成电路技术现状	251
第 11 章 PLL 参数的测量	272
11.1 中心频率 f_0 的测量	272
11.2 VCO 增益 K_0 的测量	272
11.3 鉴相器增益 K_d 的测量	273
11.4 同步范围 $\Delta\omega_H$ 和捕捉范围 $\Delta\omega_P$ 的测量	276
11.5 自然频率 ω_n , 阻尼因子 ζ 和锁定范围 $\Delta\omega_L$ 的测量	278
11.6 相位传输函数 $H(\omega)$ 和 3dB 带宽 ω_{3dB} 的测量	280
附录 A 捕捉过程(The Pull-in Process)	284
A.1 LPLL 捕捉范围 $\Delta\omega_P$ 的简化模型	284
A.2 求解 LPLL 捕捉时间 T_P 的简化模型	289
A.3 DPLL 的捕捉范围 $\Delta\omega_P$	292
A.4 DPLL 的捕捉时间 T_P	293
附录 B 拉普拉斯变换	295
B.1 变换是工程师的工具	295
B.2 拉普拉斯变换是通向成功的钥匙	298
B.3 拉普拉斯变换的数字例子	301
B.4 拉普拉斯变换的一些基本特性	304
B.4.1 加法原理	304
B.4.2 与常数因子 k 相乘	304
B.4.3 信号相乘	305
B.4.4 时域延迟	305
B.4.5 时域中的微分和积分	306
B.4.6 初值定理和终值定理	309
B.5 使用拉普拉斯变换表	310
B.6 将拉普拉斯变换应用到电学网络中	310
B.7 弥补时域和复频域的间隙	313
B.8 $t=0$ 时储能非零的网络	314
B.9 用零极点图分析动态特性	315
B.10 “复频率”的简单物理解释	317

附录 C 数字滤波器基础	319
C.1 数字滤波器的传输函数 $H(z)$	319
C.2 IIR 滤波器	321
C.2.1 冲激不变 z 变换	321
C.2.2 双线性 z 变换	327
C.3 FIR 滤波器	331
C.3.1 窗口 FIR 滤波器	334
C.3.2 用 Parks-McClellan 算法设计 FIR 滤波器	338
参考文献	343
索引	346

第 1 章 锁相环简介

1.1 锁相环工作原理

锁相环使我们世界的一些部分有序化。如果我们打开电视,锁相环会保证图像的头在上,脚在下面。彩色电视机中其他锁相环可以保证绿色是绿色,红色是红色(即使政治家主张颠倒才是真理)。

锁相环电路使一个特殊系统跟踪另外一个系统。更确切地讲,锁相环是一个使输出信号(由振荡器产生的)与参考信号或者输入信号在频率和相位上同步的电路。在同步(通常称为锁定)状态,振荡器输出信号和参考信号之间的相位差为零,或者保持常数。

如果出现相位误差,一种控制机理作用到振荡器上,使得相位误差再次减小到最小。在这样的控制系统中,实际输出信号的相位锁定到参考信号的相位。因而我们称之为锁相环。

锁相环的工作原理可以通过一个线性锁相环(LPLL)例子进行解释。在 1.2 节中将给出其他种类的锁相环,例如数字锁相环(DPLL)、全数字锁相环(ADPLL)和软件锁相环(SPLL)。图 1.1(a)是锁相环的模块组合图,包含三个功能模块:

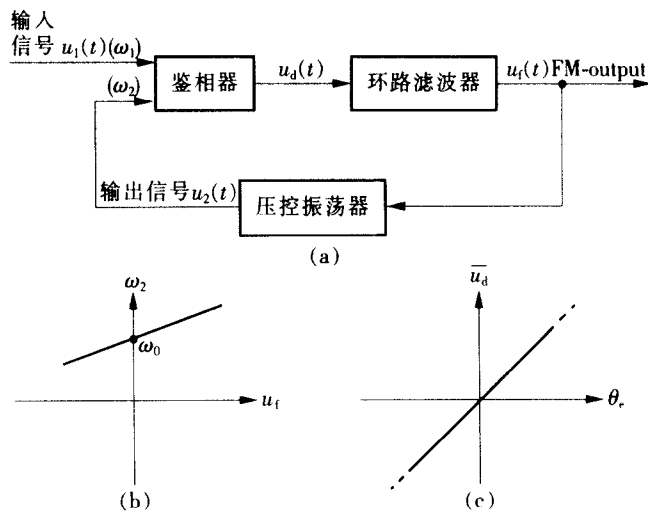


图 1.1 (a) PLL 的模块图。(b) VCO 的传输函数。(u_f = 控制电压; ω_2 = 输出信号的角频率。)
(c) PD 的传输函数。(\bar{u}_d = 鉴相器输出信号的平均值; θ_e = 相位误差。)

- (1) 压控振荡器(VCO)
- (2) 鉴相器(PD)
- (3) 环路滤波器(LF)

在这个简单的例子中,在 VCO 输出 $[u_2(t)]$ 和较低的鉴相器输入 $[\omega_2]$ 之间,没有向下分频处理。采用向下分频的系统在随后章节中讨论。

在有些锁相环电路中,用电流控制的振荡器(CCO)代替压控振荡器。这种情况下,鉴相器的输出信号是受控电流源,而不是电压源。但是,工作原理保持不变。锁相环电路中我们关心的主要信号定义如下:

- 参考(或输入)信号 $u_1(t)$
- 参考信号的角频率 ω_1
- VCO 的输出信号 $u_2(t)$
- 输出信号的角频率 ω_2
- 鉴相器的输出信号 $u_d(t)$
- 环路滤波器的输出信号 $u_f(t)$
- 相位误差 θ_e 定义为信号 $u_1(t)$ 和信号 $u_2(t)$ 之间的相位差

现在我们研究图 1.1(a)中三个功能模块的工作。VCO 在角频率 ω_2 振荡,该频率取决于环路滤波器输出信号 u_f 。角频率 ω_2 由下式给出:

$$\omega_2(t) = \omega_0 + K_0 u_f(t) \quad (1.1)$$

其中, ω_0 为 VCO 的中心(角)频率, K_0 为 VCO 的增益,单位 $\text{rad} \cdot \text{s}^{-1} \cdot \text{V}^{-1}$ 。

图 1.1(b)中画出了公式(1.1)关系所在。在本书中,因为 rad (弧度)是一个无量纲的数,大多数情况下我们不再讨论它。(因而,应该注意本书中任何相位变量必将用弧度表示,而不是度。)因此,在方程式中, 180° 的相移总是必须表示为 π 。

PD,又称为相位比较器,比较输出信号和参考信号之间的相位,获得的输出信号 $u_d(t)$ 近似正比于相位误差 θ_e ,至少当 θ_e 处于一定范围内时如此:

$$u_d(t) = K_d \theta_e \quad (1.2)$$

其中, K_d 表示 PD 的增益。 K_d 的物理单位是伏/弧度。图 1.1(c)是公式(1.2)的图形表示。

PD 的输出信号 $u_d(t)$ 包含直流分量和叠加的交流分量。我们不希望后者存在,因此利用环路滤波器滤掉。在大多数情况下,可以使用一阶低通滤波器。现在,让我们来研究三个电路模块在一起怎样工作。首先,我们假设输入信号 $u_1(t)$ 的角频率等于中心频率 ω_0 。然后假设 VCO 工作的中心频率为 ω_0 。如我们所见,相位误差 θ_e 为 0。如果 θ_e 为 0, PD 的输出信号 u_d 也必须等于 0。最终,环路滤波器的输出信号 u_f 也将必须为 0。这正是允许 VCO 工作在其中心频率的条件。

如果开始时相位误差 θ_e 不为 0, PD 的输出信号 u_d 将不为 0。经过一些延迟,环路滤波器也将产生一个固定信号 u_f 。这将改变 VCO 的工作频率,照此下去,相位误差最终消失。

现在假设在时刻 t_0 输入信号的频率突然改变 $\Delta\omega$, 如图 1.2 所示。那么输入信号的相

位超前于输出信号的相位。出现了相位误差,并随着时间开始增加。PD的输出信号 $u_d(t)$ 也将随着时间而增加。经过环路滤波器的延迟后, $u_f(t)$ 也会增加。于是VCO输出频率上升,结果相位误差变小。经过一定建立时间以后,VCO振荡频率会和输入信号频率完全相同。最终的相位误差将减小到0或者一个固定值,这与使用环路滤波器的类型有关。

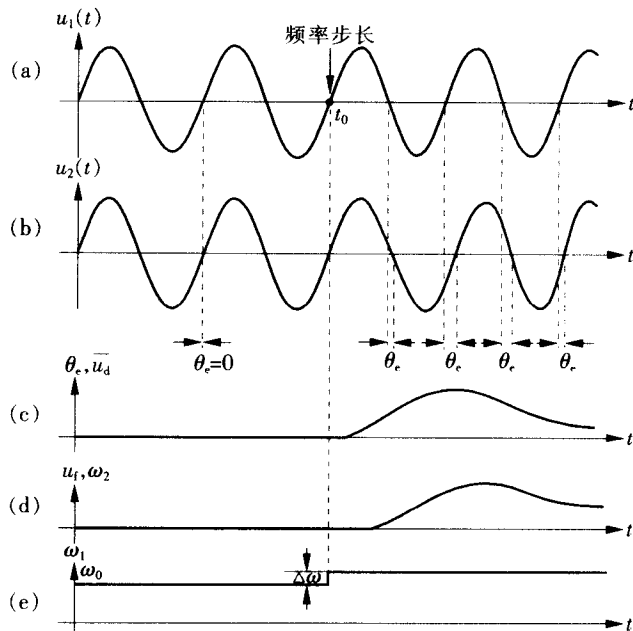


图 1.2 PLL 对参考频率阶跃变化的瞬态响应。(a) 参考信号 $u_1(t)$ 。(b) VCO 的输出信号 $u_2(t)$ 。(c) 信号 $\bar{u}_d(t)$ 和 $\theta_e(t)$ 作为时间的函数。(d) VCO 的角频率 ω_2 作为时间的函数。(e) 参考信号 $u_1(t)$ 的角频率。

现在 VCO 的工作频率比它的中心频率 ω_0 大 $\Delta\omega$ 。这将迫使信号 $u_1(t)$ 建立一个终值 $u_f = \Delta\omega/K_0$ 。如果输入信号的中心频率是被一个任意低频信号调制,那么环路滤波器的输出信号就是解调信号,因此,PLL 可以当作一个 FM 解调器。以后我们会看到,PLL 可以作为 AM 或 PM 解调器应用。

PLL 最吸引人的能力之一是它能抑制叠加到它输入信号上的噪声。我们假设 PLL 的输入信号被噪声淹没。PD 尝试着测量输入和输出信号之间的相位差。输入信号中的噪声使得输入信号 $u_1(t)$ 的过零点以随机的方式超前或滞后。于是,PD 输出信号 $u_d(t)$ 在一个平均值附近抖动。如果环路滤波器的转折频率足够低,那么信号 $u_f(t)$ 中就几乎没有什么明显的噪声。VCO 将以如下方式工作,信号 $u_2(t)$ 的相位等于输入信号 $u_1(t)$ 的平均相位。因此,我们可以说,PLL 可以检测淹没在噪声中的信号。这些简单的分析已经表明 PLL 仅仅是一个控制输出信号 $u_2(t)$ 相位的伺服系统。

如图 1.2 所示,PLL 总可以使输出信号的相位跟踪参考信号的相位,在所有时间系统

都可以锁定。但是,不一定总是这种情况,因为给输入信号加入一个大的频率阶跃将会使得系统“失锁”,PLL中的固有的控制机制会试着使系统再次同步,但是这个系统真的可以再次锁定吗?在随后的章节中我们会处理这个问题。基本上,必须考虑两类问题:

- PLL开始时锁定。在什么情况下,PLL会保持锁定?
- PLL开始时处于失锁。在什么情况下,PLL可以变为锁定?

如果我们试图去回答这些问题,要注意,在这些问题上,不同的PLL表现的行为很不相同。有一些基本的不同类型PLL。因此,首先来识别这些不同的类型。

1.2 PLL的分类

早在1932年,de Bellescize^[22]就实现了第一个PLL。这个法国工程师称该发明为“相关通信”(coherent communication)。直到实现可应用的PLL集成电路,PLL才广泛应用到工业界。第一个PLL集成芯片大约出现在1965年,是一个纯粹的模拟器件。采用一个模拟乘法器(四象限乘法器)作为鉴相器;环路滤波器用无源或者有源RC滤波器实现,利用大家熟知的压控振荡器VCO产生PLL的输出信号。今天,我们称这种类型的PLL为“线性PLL”(LPLL)。在接下来的几年里,PLL缓慢而稳定地转移到数字领域。大约在1970年,出现了第一个数字PLL(DPLL),实际上,它是一个混合器件,仅仅鉴相器采用数字电路实现,即使用一个EXOR门或者一个JK触发器,剩下的模块仍然是模拟电路。几年以后,发明了“全数字”的PLL(ADPLL)。ADPLL毫无例外地全部由数字功能模块组成,因此不包含任何无源元件,如电阻和电容等。

类似滤波器,PLL也可以用软件实现。在这种情况下,PLL的功能不再用一些专用的硬件实现,而是用计算机程序完成。我们称这种PLL为SPLL。

不同类型的PLL的行为很不相同,因此,没有共同的理论可以涵盖各种类型的PLL。但是,LPLL和DPLL的性能相似,因此我们可以开发一种对两种类型都有效的理论。在第2章中,我们把LPLL和DPLL作为“混合信号PLL”处理。术语“混合”的内涵是这些PLL大多由线性和数字电路混合组成。严格来说,仅仅DPLL是一个混合信号电路;LPLL是纯粹模拟的。ADPLL的行为与混合信号PLL的行为非常不同,因此,在独立的一章中讨论ADPLL(第6章)。

一般来说,软件PLL借助一个硬件平台,例如微处理器或数字信号处理器(DSP),PLL的功能用软件实现。这提供了很大的灵活性,可以开发出大量不同的算法。例如,通过编程,SPLL的行为可以像LPLL、DPLL或ADPLL。我们将在第8章讨论SPLL。

第 2 章 混合信号锁相环

2.1 混合信号锁相环框图

如 1.2 节所述,混合信号 PLL 由线性电路和数字电路混合组成。为了解系统中哪一部分是线性电路,哪一部分是数字电路,我们研究图 2.1 给出的一个简单锁相环结构框图。如同 1.1 节中所见到的,每个锁相环电路可以由三个模块组成:鉴相器、环路滤波器和压控振荡器(VCO)。锁相环电路用作频率综合器的时候,需要加入其他模块:除 N 计数器。假设计数器除以因子 N ,那么就强制 VCO 的输出信号频率等于参考信号频率(输入信号 u_1 的频率)的 N 倍。大多数情况下除数 N 是可编程的。在第 3 章中我们将会展开讨论频率综合器。

如果插入一个分频器,“中心频率”这个词的意思就很容易让人混淆,因为中心频率(弧度) ω_0 既可以与 VCO(如 1.1 节)的输出相关,也应该和分频器的输出有关,或者换句话说,是与锁相环的输入相关。为了消除这个词含糊情况,我们引入两个不同的术语来区分中心频率:使用字符 ω_0 表示 VCO 的中心频率,而使用字符 ω'_0 表示锁相环输入端的中心频率(弧度)。显然, ω_0 与 ω'_0 的关系可以表示为 $\omega'_0 = \omega_0 / N$ 。从图 2.1 中可以看出,与分频器输出信号相关的量均用特指符号“'”标识,如 u'_2, ω'_2 。当 VCO 没有工作在它的中心频率时($u_1 \neq 0$),其输出信号频率(弧度)用 ω_2 表示。此时分频器频率用 ω'_2 表示,如图 2.1 所示。同样,我们有 $\omega'_2 = \omega_2 / N$ 。

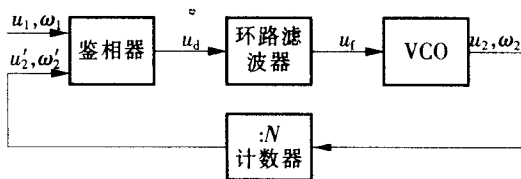


图 2.1 混合信号锁相环框图。这里定义的符号整章通用。除 N 计数器为可选模块。

在这一章的后面会示例说明,一个锁相环的阶次(传输函数的极点数)等于环路滤波器的阶次加 1。大多数实用的锁相环电路都采用 1 阶环路滤波器,因此这些锁相环系统均为 2 阶系统。在少数情况下还可以不用环路滤波器,这样的锁相环系统是一阶系统。本章我们主要讲解 1 阶和 2 阶锁相环。对寄生边带(也称为“spurs”)抑制有较高要求时,需要使用高阶次环路。此时锁相环的设计人员就必须提供较高阶次的环路滤波器,如 2 阶、3 阶乃至 4

阶。因阶次增加将使环路滤波器的相移增加,所以高阶次的锁相环路容易变得不稳定。我们在另一章(第4章)将会讲述较高阶次(>2)的锁相环电路,给出如何设置高阶环路滤波器的零、极点位置,使锁相环系统稳定地工作。

正如 1.1 节的阐述,锁相环只是一个控制系统,作用于 VCO,使信号 u_2' 的频率与信号 u_1 的频率达到一致;而且信号 u_2' 的相位与信号 u_1 的相位几乎相等,或者与后者有一个常数偏差。因此,锁相环可以当作一个相位信号的控制系统。因为在控制理论中较少见到相位信号,诸如电压、电流信号等,所以,我们会在 2.2 节比较详细地说明相位信号的本质。2.3 节讨论锁相环组成模块的特性。

2.2 相位信号注解

通常借助传输函数 $H(s)$ 进行控制系统的动态分析。 $H(s)$ 表示系统输入和输出信号之间的关系;传统的电子网络中,输入输出分别以电压信号 $u_1(t)$ 和 $u_2(t)$ 表示,因而 $H(s)$ 可以表示为

$$H(s) = \frac{U_2(s)}{U_1(s)} \quad (2.1)$$

其中 $U_1(s)$ 和 $U_2(s)$ 分别是信号 $u_1(t)$ 和 $u_2(t)$ 的拉普拉斯变换, s 称为拉普拉斯算子。然而在锁相环系统中,输入输出均为相位信号,这是许多电子工程师不太熟悉的。

为了弄清楚相位信号究竟是什么,现在我们假设锁相环的输入、输出信号都是正弦波

$$\begin{aligned} u_1(t) &= U_{10} \sin[\omega_1 t + \theta_1(t)] \\ u_2'(t) &= U_{20} \sin[\omega_2' t + \theta_2'(t)] \end{aligned} \quad (2.2)$$

这些信号携带的信息既不是幅度(U_{10} 或 U_{20}),也不是频率(ω_1 或 ω_2'),而是相位 $\theta_1(t)$ 和 $\theta_2'(t)$ 。(注意:因为我们使用字符 ω_2' 表示分频器的输出弧度频率(图 2.1),用符号 θ_2' 而不是 θ_2 表示信号 u_2' 的相位; θ_2 用来表示 VCO 输出信号 u_2 的相位。)

现在考虑一些简单的相位信号。图 2.2 列出了一些常用来激励锁相环的相位信号 $\theta_1(t)$ 。图 2.2(a) 给出了最简单的情况:相位 $\theta_1(t)$ 在 $t=0$ 时刻,阶跃跳变,因此有

$$\theta_1(t) = \Delta\Phi \cdot u(t) \quad (2.3)$$

其中 $u(t)$ 为单位阶跃函数。这是一个相位调制的例子。下面我们来看一个频率调制的例子(图 2.2(b))。假设 $t < 0$ 时参考信号的弧度频率为 ω_0' 。在 $t=0$ 时刻,弧度频率突然跳变,增量 $\Delta\omega$ 。因此, $t \geq 0$ 时参考信号可以由下式给出

$$u_1(t) = U_{10} \sin(\omega_0' t + \Delta\omega t) = U_{10} \sin(\omega_0' t + \theta_1) \quad (2.4)$$

这种情况中, $\theta_1(t)$ 可以写成

$$\theta_1(t) = \Delta\omega \cdot t \quad (2.5)$$

因此, $\theta_1(t)$ 是一斜坡信号。