



21世纪微电子学专业规划教材

超大规模集成电路分析与设计

Analysis and
Design of VLSI
Circuits

王源 贾嵩 崔小欣 王润声 甘学温 编著



北京大学出版社
PEKING UNIVERSITY PRESS



21世纪微电子学专业规划教材



超大规模集成电路分析与设计

Analysis and
Design of VLSI
Circuits

王源 贾嵩 崔小欣 王润声 甘学温 编著



北京大学出版社
PEKING UNIVERSITY PRESS

内 容 提 要

本书是在学生对 CMOS 逻辑电路有一定了解的基础上,讨论 CMOS 超大规模集成(VLSI)电路的原理与设计的。本书第一章介绍 CMOS VLSI 电路发展的基本理论——scaling down 理论,分析器件特征尺寸减小对 CMOS VLSI 电路的影响。该书第二、三、四章是 CMOS VLSI 电路分析的重点,主要分析构成数字系统的存储器、运算器和控制器的结构、电路工作原理和设计考虑。第五章讨论 CMOS VLSI 电路和版图的设计方法,重点讲解全定制和半定制设计方法。第六章对 SOI CMOS 和 BiCMOS 技术做一个简单介绍,并讨论了 CMOS 技术的发展趋势。

本书内容是基于作者给“微电子学与固体电子学”专业研究生讲授“VLSI 电路分析与设计”课程中多年的教学积累加工整理而成的,本书的特点是深入到电路层级和器件层级的分析。书中引用了大量的文献资料,反映了 CMOS VLSI 电路发展中的重要研究成果。本书内容先进、讲解透彻、便于自学。本书可以作为电子科学与技术学科,特别是微电子学科的研究生和高年级本科生的教材。对于从事 CMOS VLSI 电路设计、制作和应用的研究人员和工程技术人员也有重要的参考价值。

图书在版编目(CIP)数据

超大规模集成电路分析与设计/王源等编著. —北京:北京大学出版社,2014.7

(21 世纪微电子学专业规划教材)

ISBN 978-7-301-24430-2

I. 超… II. ①王… III. ①超大规模集成电路*—电路分析—高等学校—教材②超大规模集成电路—电路设计—高等学校—教材 IV. ①TN47

中国版本图书馆 CIP 数据核字(2014)第 137709 号

书 名: 超大规模集成电路分析与设计

著作责任者: 王 源 贾 嵩 崔小欣 王润声 甘学温 编著

责任编辑: 沈承凤

标准书号: ISBN 978-7-301-24430-2/TP·1338

出版发行: 北京大学出版社

地 址: 北京市海淀区成府路 205 号 100871

网 址: <http://www.pup.cn> 新浪官方微博: @北京大学出版社

电子信箱: zpup@pup.cn

电 话: 邮购部 62752015 发行部 62750672 编辑部 62752038 出版部 62754962

印 刷 者: 北京大学印刷厂

经 销 者: 新华书店

787 毫米×980 毫米 16 开本 29 印张 721 千字

2014 年 7 月第 1 版 2014 年 7 月第 1 次印刷

定 价: 58.00 元

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究

举报电话: 010-62752024 电子信箱: fd@pup.pku.edu.cn

前 言

在 20 世纪 50 年代集成电路面世初期,没有人能想象这样一片小小的晶片能对世界产生如此大的影响,没人能预料到如今它已在我们的生活中无处不在。集成电路衍生出了整个信息产业,四五十年代动辄上吨重的计算机已被现在的人人都有智能手机、PAD 等智能终端所取代。集成电路产业是电子信息产业的核心和基石,是掌握现代经济与产业信息化竞争主动权的关键所在,是影响国家经济、政治、国防综合竞争力的战略性产业,已成为信息时代国家综合实力和国际竞争力的重要标志,成为国家安全和国防建设的根本命脉。

在过去的 50 年里,硅基集成电路技术一直沿着摩尔定律高速发展。集成度的增长速度直接反映了集成电路的发展。1971 年 Intel 推出的第一款微处理器 4004 采用 $10\mu\text{m}$ 工艺,集成度仅为 2 300 个元件,时钟频率为 0.108MHz。而 2011 年 10 月份 Intel 宣布的基于新型 3-D 三栅器件结构的四核酷睿 i7 Ivy Bridge 处理器,采用 22nm 工艺,集成度为 14.8 亿个晶体管,最高时钟频率为 3.5GHz。这也标志着集成电路技术开始进入 22nm 时代。根据国际半导体技术发展蓝图(ITRS)组织预测,目前这种发展速度至少可以持续到 2026 年,其器件的特征尺寸将缩小至 7nm。虽然硅基集成电路技术在未来相当长的时间内仍将是主流,但是器件及电路会不可避免地逼近其极限。这一缩比极限不仅是物理(或技术)上的,同时也是经济学上的,并且经济学瓶颈可能会比物理极限更早显现。所以,为了维持集成电路产业的高速发展,集成电路技术已经逐渐进入“后摩尔”时代。“后摩尔”时代的集成电路在技术路线上面临延续摩尔定律(“More Moore”)和超越摩尔定律(“More Than Moore”)的两种选择。“More Moore”的技术路线,是基于硅基集成电路继续沿着小型化、提高集成度的路线发展的。但是,随着器件特征尺寸不断缩小,使单个晶体管出现若干二级物理效应带来的技术问题,传统 CMOS 技术难以逾越这些技术壁垒,必须开发新型器件结构、新材料、新工艺技术改善器件和电路的性能,同时继续推进系统级芯片(SoC)技术。“More Than Moore”的技术路线,是以在现有摩尔定律技术的基础上,通过集成射频无源器件、高压功率器件、传感器与 MEMS 器件、生物芯片等功能单元,实现更多、更复杂的人机交互与信息获取等功能,从而满足消费电子、无线通信、交通与汽车电子、航空航天、生物医学、工业控制、能源等领域不断增长的需求。超越摩尔定律的实现手段是异质集成,如系统级封装(SiP)。还可以引入三维集成技术,比如硅通孔(TSV)和近场无线互连等技术。

我国集成电路产业在经历了艰难的探索前进阶段之后,从 1990 年进入了快速发展时期。近几年,我国半导体工业和集成电路制造产业发展非常迅速,已经成为世界上重要的集成电路制造国家之一。2012 年我国集成电路市场需求约 8 500 亿人民币,已经超过世界集成电路市场份额的 50%。相对于巨大的集成电路市场需求,我国集成电路产业规模远远不

能满足电子信息产业发展的需要,供需差距使集成电路连续多年列为我国单项产品进口额之首。要使我国从集成电路消费大国发展为集成电路产业强国,必须培养大批的集成电路设计人才。我国在集成电路设计方面自主创新的产品还很少,需要培养学生深入掌握集成电路器件和电路的工作原理。只有深入理解,才能举一反三,改革创新。正是在这种情况下,北京大学于1990年开设了“VLSI电路分析与设计”作为“微电子学与固体电子学”专业研究生的必修课程,先后由甘学温教授和王源副教授主讲。经过多年的教学工作的积累,我们编写了这本教材。本书的几位作者有着丰富的教学经验和从事集成电路设计与制作的科研实践。在编写过程中作者结合实际经验,并参考国外先进的教材和文献资料,力求使教材内容具有先进性,同时强调教材要有普及性和实用性。本书注重器件和电路分析,通过大量的具体电路结构讲解电路工作原理、电路设计考虑以及器件结构和电路结构的改进。

冯·诺依曼1945年提出计算机硬件体系由运算器、控制器、存储器和输入输出设备四部分组成,本书正是按照这样的架构来组成的。全书共分6章。

第一章主要讨论了集成电路发展的指导理论——按比例缩小理论,分析了CMOS集成电路在器件尺寸不断缩小特别是进入纳米尺度时面临的问题和挑战,讨论了改善器件和电路性能的新工艺、新的器件结构等新技术。

第二章讨论了存储器的结构,详细分析了DRAM、SRAM、Flash等主流存储器的单元电路原理和改进,同时对CTM、RRAM等新型存储器进行了介绍。

第三章分析了运算器的主要功能模块——算术逻辑单元、移位器和乘法器的结构和电路设计。

第四章讨论了控制器的实现,着重讨论了微控制器的原理和具体电路结构。

第五章讨论了超大规模集成电路的设计方法,给出了全定制设计、半定制设计和SoC设计方法流程。

第六章讨论了后摩尔时代集成电路面临的挑战以及应对这些挑战发展的BiCMOS、SOI以及新型纳米CMOS技术。

本书第一章由甘学温执笔。第二章和第五章由王源执笔。第三章由贾嵩执笔。第四章由崔小欣执笔。第六章由甘学温和王润声共同完成。最后由王源和甘学温对全书进行了审核。在本书编写过程中得到了北京大学微纳电子学系同事们的关心和支持,也得到很多学生的帮助。吉利久教授、张兴教授、刘晓彦教授审阅了书稿;刘黎、刘宇超等同学帮助绘制了大量的插图,唐昱、杨帆等同学帮助搜集一些资料。作者在此向所有关心和帮助我们的领导、同事和学生表示衷心的感谢。还要感谢北京大学给予的研究生课程建设立项资助和北京大学出版社给予的教材建设立项资助,感谢北京大学出版社为本书的出版所做的大量工作。

由于作者水平有限,书中难免有错误和疏漏之处,诚恳欢迎读者提出批评指正。

作者

2013年12月于北京大学

目 录

第一章 MOS 器件按比例缩小及其影响	(1)
1.1 CMOS 器件和电路的基本知识	(2)
1.1.1 MOS 器件的结构和原理	(2)
1.1.2 CMOS 逻辑电路基础	(9)
1.2 按比例缩小理论	(23)
1.2.1 CE 规则按比例缩小理论	(23)
1.2.2 CV 规则按比例缩小理论	(27)
1.2.3 优化的按比例缩小规则	(28)
1.2.4 CMOS 按比例缩小的趋势	(30)
1.3 高场效应对小尺寸器件性能的影响	(33)
1.3.1 栅氧化层减薄的限制	(34)
1.3.2 热电子效应	(43)
1.3.3 迁移率退化和速度饱和	(56)
1.3.4 源-漏穿通和击穿	(66)
1.4 器件参数涨落的影响	(76)
1.4.1 杂质随机分布的影响	(76)
1.4.2 栅线条边沿粗糙的影响	(87)
1.4.3 其他工艺因素的影响以及各种因素的比较	(96)
1.5 寄生效应的影响	(99)
1.5.1 MOS 晶体管中的寄生效应	(99)
1.5.2 互连线的寄生效应	(111)
参考文献	(136)
第二章 VLSI 存储器	(144)
2.1 VLSI 存储器概述	(144)
2.1.1 存储器的分类	(144)
2.1.2 存储器的发展现状与趋势	(145)
2.1.3 存储器的总体结构	(146)
2.2 DRAM 存储器设计	(148)
2.2.1 DRAM 单元设计	(148)
2.2.2 DRAM 单元结构的发展	(150)

2.2.3	DRAM 单元阵列设计	(161)
2.2.4	DRAM 的刷新	(178)
2.3	SRAM 存储器设计	(181)
2.3.1	SRAM 单元设计	(182)
2.3.2	SRAM 单元的稳定性	(188)
2.3.3	改进的 SRAM 单元	(192)
2.3.4	SRAM 阵列设计	(196)
2.4	不挥发性存储器	(199)
2.4.1	掩膜式 ROM	(200)
2.4.2	多晶硅电阻编程 ROM	(203)
2.4.3	EPROM/E ² PROM	(204)
2.4.4	快闪存储器(Flash Memory)	(206)
2.4.5	电荷俘获存储器(CTM)	(214)
2.5	新型存储器	(217)
2.5.1	铁电随机存储器(FeRAM)	(217)
2.5.2	磁阻随机存储器(MRAM)	(219)
2.5.3	相变随机存储器(PRAM)	(224)
2.5.4	阻变随机存储器(RRAM)	(227)
2.5.5	新型存储器小结	(232)
2.6	存储器外围电路设计	(233)
2.6.1	译码器	(233)
2.6.2	地址缓冲器	(236)
2.6.3	输出缓冲器	(239)
2.6.4	时钟发生器	(240)
2.6.5	参考电压	(242)
2.6.6	外围电路的减小亚阈值电流技术	(244)
	参考文献	(246)
第三章	运算器	(255)
3.1	加法器	(255)
3.1.1	全加器	(256)
3.1.2	多位加法器结构	(265)
3.1.3	加法器电路结构	(268)
3.1.4	基于加法器的算术逻辑单元	(276)
3.2	乘法器	(284)
3.2.1	乘法算法	(284)

3.2.2 乘法器结构	(286)
3.2.3 波茨算法	(291)
3.3 移位器	(294)
3.3.1 简单移位器	(294)
3.3.2 对数移位器	(295)
3.3.3 筒式移位器	(295)
3.4 运算器的其他部分	(296)
3.4.1 寄存器堆	(296)
3.4.2 堆栈	(298)
3.4.3 总线	(300)
参考文献	(301)
第四章 控制器	(303)
4.1 有限状态时序机	(303)
4.2 存储程序控制	(304)
4.3 控制器的电路实现	(307)
4.3.1 PROM 的逻辑特点	(308)
4.3.2 可编程逻辑阵列(PLA)	(310)
4.3.3 用 PLA 实现时序逻辑	(311)
4.3.4 PLA 电路的优化	(312)
4.4 微程序控制	(321)
4.4.1 微程序控制简介	(321)
4.4.2 微程序控制原理	(322)
4.4.3 微程序控制器的设计	(324)
4.4.4 微程序控制器的设计实例	(326)
4.5 控制器的低功耗优化技术	(332)
参考文献	(333)
第五章 集成电路设计方法	(334)
5.1 集成电路设计方法概述	(334)
5.2 全定制设计方法	(338)
5.2.1 全定制设计流程	(339)
5.2.2 全定制的版图设计	(341)
5.2.3 版图设计规则	(344)
5.3 半定制设计方法	(349)
5.3.1 半定制设计流程	(349)
5.3.2 基于门阵列的设计方法	(351)

5.3.3 基于标准单元的设计方法	(357)
5.3.4 基于 PLD 的设计方法	(373)
5.3.5 基于 IP 核的 SoC 设计方法	(380)
参考文献	(387)
第六章 SOI、BiCMOS 和纳米 CMOS 技术	(388)
6.1 SOI 技术	(388)
6.1.1 SOI CMOS 的工艺与器件特性	(389)
6.1.2 SOI CMOS 电路	(394)
6.2 BiCMOS 技术	(407)
6.2.1 BiCMOS 基本结构和工艺	(408)
6.2.2 基本的 BiCMOS 逻辑门	(409)
6.2.3 BiCMOS 在 VLSI 中的应用	(418)
6.3 新型纳米 CMOS 器件技术	(423)
6.3.1 纳米 CMOS 器件与电路的挑战	(424)
6.3.2 纳米 CMOS 器件的新技术	(427)
6.3.3 纳米 CMOS 新器件与后摩尔时代的展望	(432)
参考文献	(436)
附录1 集成电路发展历史的大事记	(440)
参考文献	(441)
附录2 主要物理常数	(445)
附录3 Si、SiO₂、Si₃N₄ 在 300k 的主要特性	(445)
附录4 常用单位词头	(446)
符号表	(447)

第一章 MOS 器件按比例缩小及其影响

不断缩小器件尺寸、提高集成密度，一直是 CMOS 集成电路发展的动力和趋势。早在 1965 年，G. E. Moore 就分析了集成电路的发展，提出了对集成电路发展的科学预测^[1]。1975 年摩尔再次分析并预测了集成电路的发展^[2]。集成电路芯片内的晶体管数目（即芯片的集成度）大约每 18 个月翻一番，这就是著名的摩尔定律，几十年来，集成电路一直遵循摩尔定律向前发展。图 1-1 比较了摩尔定律的预测和集成电路实际发展情况^[3]。1975 年摩尔进一步分析了集成度不断提高的原因，这来自三方面的进步：器件尺寸不断减小，芯片面积不断加大以及器件结构和电路结构设计的改进，图 1-2 说明了这三方面的进步对集成度提高的贡献。器件尺寸缩小和芯片面积增大，使单个芯片内可以容纳更多的器件，而设计的改进使同样功能的电路可以采用更小的面积实现，这三方面的贡献使集成电路的集成密度随时间指数增长。第一章主要讨论器件尺寸缩小的问题，第二、三章将涉及器件和电路结构的设计及改进。

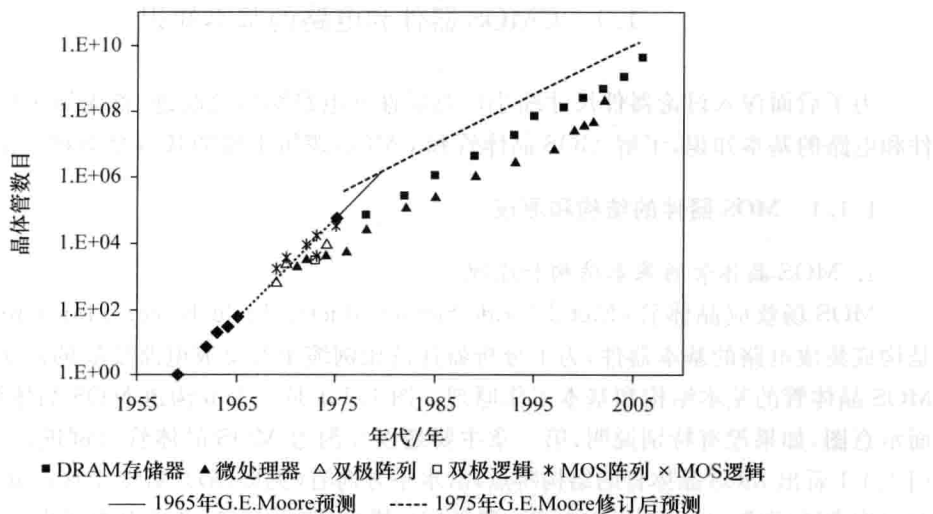


图 1-1 摩尔定律的预测和集成电路实际发展情况

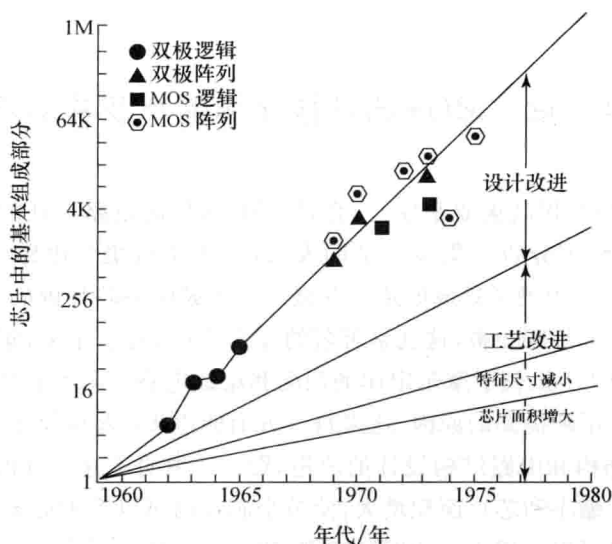


图 1-2 工艺和设计的改进对提高集成度的贡献

1.1 CMOS 器件和电路的基本知识

为了后面深入讨论器件尺寸缩小以及器件和电路结构的改进,首先简单回顾 CMOS 器件和电路的基本知识,了解 MOS 晶体管和 CMOS 逻辑电路的基本结构和工作原理^[4]。

1.1.1 MOS 器件的结构和原理

1. MOS 晶体管的基本结构和原理

MOS 场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)是构成集成电路的基本器件,为了分析器件按比例缩小对集成电路发展的影响,首先要了解 MOS 晶体管的基本结构和基本工作原理。图 1.1-1 是一个 n 沟道 MOS 晶体管的平面和剖面示意图,如果没有特别说明,第一章主要是以 n 沟道 MOS 晶体管为例进行分析讨论。从图 1.1-1 看出 MOS 晶体管的结构特点,沿水平方向看(见图(a)),有 3 个区:源区、栅区(下面对应沟道区)和漏区,分别引出电极:源极(S)、栅极(G)和漏极(D)。从栅极向下沿纵深方向是 3 层结构(见图(b)),金属(或高掺杂的多晶硅)栅极、栅绝缘层(一般是二氧化硅),下面是半导体硅衬底(即体区),这就是金属-氧化物-半导体构成的 MOS(Metal-Oxide-Semiconductor)结构。从剖面图看出 MOS 晶体管是一个 4 端器件,除了源极、栅极、漏极,还有衬底(体区)引出(B)。图中还标明了 MOS 晶体管的结构参数:沟道长度 L 、沟道宽度 W 、栅氧化层厚度 t_{ox} 和源、漏区结深 x_j 。这些参数对 MOS 晶体管性能有重要影响。由于源、漏区的横向扩散,沟道长

度 L (即 2 个冶金结之间的距离) 比栅长 L_g 要小, 为了清楚起见, 图 (b) 把栅区放大了。

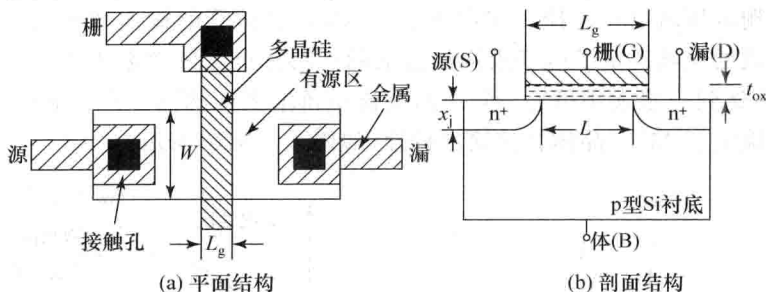


图 1.1-1 一个 n 沟道 MOS 晶体管的平面和剖面示意图

顾名思义, MOSFET 名称的前半部分 (MOS) 反映了它的结构特点, 后半部分 (FET) 反映了它的工作原理。一般 n 沟道 MOS 晶体管的源极和衬底接地, 栅极和漏极相对源极加正电压, 栅电压形成的纵向 (x 方向) 电场排斥 p 型衬底中的空穴, 吸引电子, 当栅电压足够大 ($V_{GS} > V_T$, V_T 为阈值电压), 就使得栅极下面的半导体表面形成 n 型反型层, 即 n 型沟道。如果漏极加正电压, 形成从漏极到源极的横向 (y 方向) 电场, 在这个电场作用下, n 型沟道中的电子从源极向漏极运动, 形成 MOS 晶体管的导通电流 (I_D)。图 1.1-2 示意说明 MOS 晶体管的工作原理。如果没加栅电压和漏电压, 栅极下方半导体表面不能形成 n 型沟道, n^+ 源区和 n^+ 漏区是被 p 型半导体隔离的 2 个区域, 像 2 个孤立的水池, 它们虽然都有大量电子, 但是电子不能流动。即使加上漏电压也不能有电流, 因为从 n^+ 源区到 p 型衬底到 n^+ 漏区之间会有反偏的 pn 结。当栅极加上足够大的电压, 栅极下面的半导体表面形成 n 型沟道把源-漏区连通, 就相当于在 2 个水池之间架设一条水管, 但是如果没有加漏电压, 沟道两端电位相等, 没有沿沟道方向的电场, 仍然没有电流。就像 2 个水池, 虽然有管道连通, 但是两边水位相同, 还是不能流动。当加上漏电压后 ($V_{DS} > 0$), 形成沿沟道方向的电场, 使电子定向运动形成电流。因此, MOS 晶体管工作是靠栅电压和漏电压形成的电场, 这就是场效应晶体管的原理。

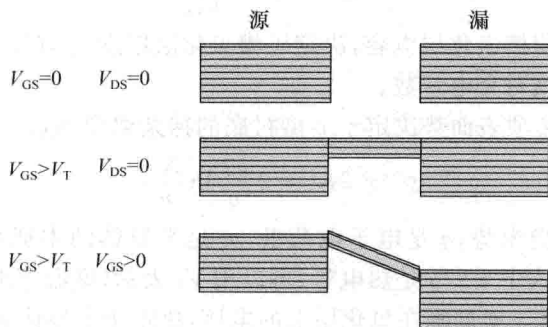


图 1.1-2 MOS 晶体管工作原理示意图

栅电压形成的纵向电场决定了反型层的形成以及反型层中电子的浓度,电子浓度越大,电流就越大。栅电压对电流的控制作用决定了 MOS 晶体管的输入特性,如图 1.1-3(a)所示。漏电压形成的电场决定了电子沿沟道运动的漂移速度。随着漏电压增大,电流逐渐增大,但是漏电压达到一定大小($V_{DS} \geq V_{Dsat}$),电流不再增大而达到一个饱和值。漏电压对电流的控制作用决定了 MOS 晶体管的输出特性,如图 1.1-3(b)所示。

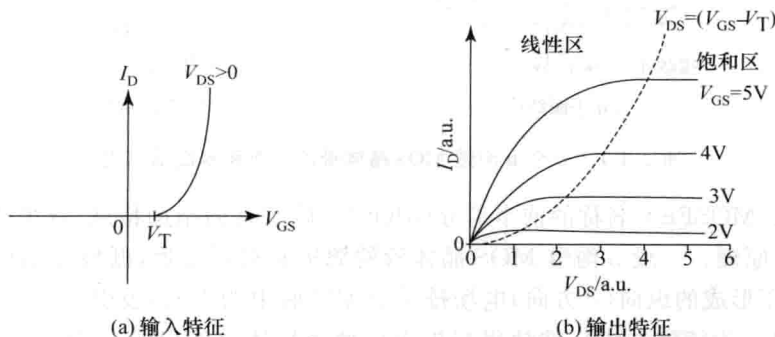


图 1.1-3 MOS 晶体管的输入、输出特性曲线

2. MOS 晶体管的阈值电压

从输入特性看出 V_T 是 MOS 晶体管的一个重要参数,它是使沟道区半导体表面达到强反型状态(形成反型沟道)所需要的栅压,叫做 MOS 晶体管的阈值电压。

$$V_T = V_{FB} + \phi_s - \frac{Q_{Bm}}{C_{ox}} \quad (1.1-1)$$

栅电压的作用有 3 部分,一是克服平带电压 V_{FB} ,二是降在半导体表面耗尽层上的电压即表面势 ϕ_s ,三是降在氧化层上的电压。 Q_{Bm} 为强反型状态表面耗尽层电荷面密度。平带电压 V_{FB} 决定于栅材料和硅衬底之间的功函数差 ϕ_{MS} 以及栅氧化层中的电荷 Q_{ox} ,即

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (1.1-2)$$

公式中的 C_{ox} 是单位面积栅氧化层电容,决定于栅氧化层厚度 t_{ox} , $C_{ox} = \epsilon_0 \epsilon_{ox} / t_{ox}$, ϵ_0 是真空电容率, ϵ_{ox} 是二氧化硅的相对介电常数。

公式(1.1-1)中第 2 项表面势决定于 p 型衬底的掺杂浓度 N_A ,

$$\phi_s = 2\phi_F = 2 \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (1.1-3)$$

其中 ϕ_F 叫做半导体的费米势, q 是电子电荷量, n_i 是半导体的本征载流子浓度(室温下为 $1.5 \times 10^{-10} \text{ cm}^{-3}$)。公式中 kT/q 是热电势,可以用 V_t 表示(室温下近似为 0.026 V)。

公式(1.1-1)中的第 3 项是降在氧化层上的电压,决定于半导体表面耗尽层的电荷面密度。由于正栅压排斥 p 型衬底的空穴,在沟道区表面形成带负电的电离受主杂质,即表面空间电荷区(表面耗尽层),耗尽层电荷面密度也与衬底掺杂浓度 N_A 有关,

$$Q_{\text{Bm}} = -\sqrt{2\epsilon_0\epsilon_{\text{si}}qN_A(2\phi_F)} \quad (1.1-4)$$

其中, ϵ_{si} 是硅材料的相对介电常数。对 n 沟道 MOS 晶体管平带电压是负值, 表面势是正值, 表面耗尽层的电荷是电离受主杂质, 是负电荷。一般数字电路中需要栅电压控制 MOS 晶体管的开关, 要求 n 沟道 MOS 晶体管具有正的阈值电压, 因此要求阈值电压的后 2 项之和要大于平带电压的绝对值, 或者说, 希望平带电压的绝对值要小。由以上分析看出阈值电压主要由工艺条件决定, 如栅材料的功函数、栅氧化层中的电荷、栅氧化层厚度、衬底掺杂浓度等。在电路设计中还可以通过施加衬底偏压 V_{BS} 调整阈值电压。当 MOS 晶体管的体端相对源极加电压 V_{BS} (对 n 沟道 MOS 晶体管一般 $V_{\text{BS}} < 0$), 将使表面耗尽层展宽, 耗尽层电荷增加, 因此使阈值电压增大。有衬底偏压时的阈值电压用式

$$V_T = V_{\text{FB}} + 2\phi_F + \gamma\sqrt{2\phi_F - V_{\text{BS}}} \quad (1.1-5)$$

计算, 其中 $\gamma = \frac{\sqrt{2\epsilon_0\epsilon_{\text{si}}qN_A}}{C_{\text{ox}}}$ 叫做衬偏调制系数或体效应系数。

3. MOS 晶体管的电流

从输入特性看出, 当栅电压大于阈值电压时, MOS 晶体管导通; 从输出特性看出, 在漏电压比较小时工作在线性区, 电流随漏电压近似线性增加; 当漏电压大于漏饱和电压 $V_{\text{Dsat}} = V_{\text{GS}} - V_T$ 时, 电流达到饱和。线性区和饱和区电流分别是

$$I_D = \beta \left[(V_{\text{GS}} - V_T)V_{\text{DS}} - \frac{1}{2}V_{\text{DS}}^2 \right] \quad (1.1-6)$$

$$I_D = \frac{1}{2}\beta(V_{\text{GS}} - V_T)^2 \quad (1.1-7)$$

其中 $\beta = \frac{W}{L}\mu_{\text{eff}}C_{\text{ox}}$ 是 MOS 晶体管的导电因子, μ_{eff} 是反型层中载流子的有效迁移率。导电因子是重要的器件参数, 它由两部分组成: $\beta' = \mu_{\text{eff}}C_{\text{ox}}$ 是本征导电因子, 由工艺决定; W/L 是 MOS 晶体管的宽长比, 由电路设计决定。

在电路分析中也可以用各节点电位计算电流, 下面给出一个以各节点电位为变量的统一电流公式:

$$I_D = K \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2 \right] \quad (1.1-8)$$

其中

$$K = \frac{1}{2}\beta = \frac{1}{2}\frac{W}{L}\mu_{\text{eff}}C_{\text{ox}} \quad (1.1-9)$$

也叫做导电因子或叫 K 因子。对于 n 沟道 MOS 晶体管, 当式(1.1-8)中两个小括号内的值都小于或等于 0 时, MOS 晶体管截止, 电流为 0; 两个小括号内的值都大于 0 时, MOS 晶体管工作在线性区, 该公式给出线性区电流; 当第 1 个小括号内的值大于 0, 而第 2 个小括号内的值小于或等于 0 时, MOS 晶体管工作在饱和区, 只用第一项计算饱和区电流。这个公式反映了 MOS 晶体管源、漏的对称性。

图 1.1-3 给出的输入特性是理想情况, 在栅电压小于阈值电压时电流为 0。实际上

$V_{GS}=V_T$ 时电流并不为 0。阈值电压定义为表面势达到 $2\phi_F$ 即表面达到强反型的情况,然而,当表面势超过 ϕ_F 以后半导体表面已经反型,只是在达到强反型以前反型载流子数量很少。在 $\phi_F \leq \phi_s \leq 2\phi_F$ 这个范围, MOS 晶体管处于表面弱反型状态,这个区域叫做亚阈值区。由于亚阈值区沟道中存在反型载流子,因而电流不为零。在数字电路中 MOS 晶体管作为开关器件,亚阈值电流构成 MOS 晶体管截止态(关态)的泄漏电流,会增加电路的静态功耗。在亚阈值区反型载流子数量很少,是少子,以扩散运动为主,在强反型以后沟道中反型载流子成为多子,以漂移运动为主。亚阈值电流可以近似用

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_T}{nV_t}\right) (1 - e^{-V_{DS}/V_t}) \quad (1.1-10)$$

计算,公式中 I_0 是 $V_{GS}=V_T$ 时的电流, $n=1+\frac{C_{it}}{C_{ox}}+\frac{C_D}{C_{ox}}$ 是略大于 1 的数,其中 C_{it} 是反映 Si-SiO₂ 界面陷阱电荷变化的电容, C_D 是表面耗尽层电容。由于 $V_{DS} \gg V_t$, 亚阈值电流基本与漏电压无关。从图 1.1-4^[5] 看出不同 V_{DS} 对应的亚阈值电流基本相同,而强反型以后的电流不同。

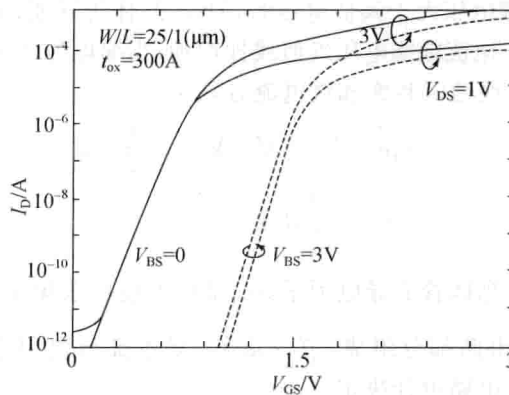


图 1.1-4 亚阈值电流特性

亚阈值电流在半对数坐标中随栅电压呈线性变化,其变化斜率的倒数叫做亚阈值斜率,也叫亚阈值摆幅,用 S 表示,它也是 MOS 晶体管的一个重要参数,反映了亚阈值电流减小一个数量级所对应的栅电压的变化,即

$$S = \frac{dV_{GS}}{d(\log_{10} I_D)} \quad (1.1-11)$$

根据亚阈值电流公式可以得到:

$$S = (\ln 10)nV_t \quad (1.1-12)$$

显然,在室温下 S 的最小值大约是 60 mV/dec。

4. MOS 晶体管的本质电容

当加在 MOS 晶体管上的电压变化时,会引起 MOS 晶体管内部的电荷发生变化,表现

出电容特性,与 MOS 晶体管有关的电容会影响电路的瞬态特性。MOS 晶体管的电容分为本征电容和寄生电容,下面给出本征电容,寄生电容在第 5 节寄生效应里讨论。

MOS 晶体管的本征电容是与沟道区电荷变化相联系的电容,它由沟道区的氧化层电容和半导体电容串连构成。根据简单的 Meyer 模型,把整个沟道区的分布电容等效为栅-源、栅-漏和栅-衬底 3 个电容。当 MOS 晶体管导通时形成反型沟道,反型层电荷屏蔽了外电场对体区耗尽层电荷的影响,栅-衬底电容为 0。把反型层电荷变化的电容分成栅-源电容(C_{GS})和栅-漏电容(C_{GD})两部分。在线性区反型层电荷沿沟道近似均匀分布,栅-源和栅-漏电容近似相等,各为整个栅氧化层电容的一半,即

$$C_{GS} = C_{GD} = \frac{1}{2}WLC_{ox} \quad (1.1-13)$$

当 MOS 晶体管进入饱和区后,沟道在漏端夹断,使 C_{GD} 减小到零, C_{GS} 达到最大值,即

$$C_{GS} = \frac{2}{3}WLC_{ox}, C_{GD} = 0 \quad (1.1-14)$$

图 1.1-5 给出了 C_{GS} 和 C_{GD} 随漏电压的变化^[6]。

当 MOS 晶体管截止时,不存在反型沟道,与反型层电荷变化相联系的栅-源和栅-漏电容都为零。这时存在与耗尽层电荷变化相联系的栅-衬底电容 C_{GB} 。 C_{GB} 的值与半导体表面状况有关。当半导体表面存在多子积累层时,

$$C_{GB} = WLC_{ox} \quad (1.1-15)$$

当表面耗尽或弱反型时, C_{GB} 决定于栅氧化层电容与半导体表面耗尽层电容串联的结果,即

$$C_{GB} = \left(\frac{1}{C_G} + \frac{1}{C_D} \right)^{-1} = \frac{WLC_{ox}}{[1 + 4(V_{GS} - V_{FB})/\gamma^2]^{1/2}} \quad (1.1-16)$$

图 1.1-6 给出了本征电容随栅电压的变化^[7]。

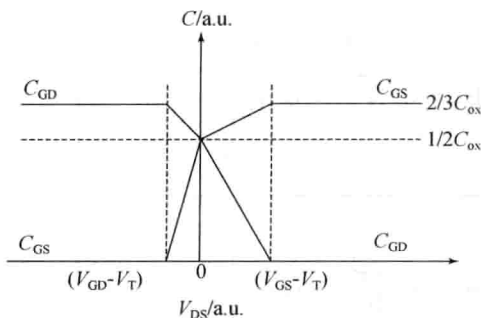


图 1.1-5 C_{GS} 和 C_{GD} 随漏电压的变化

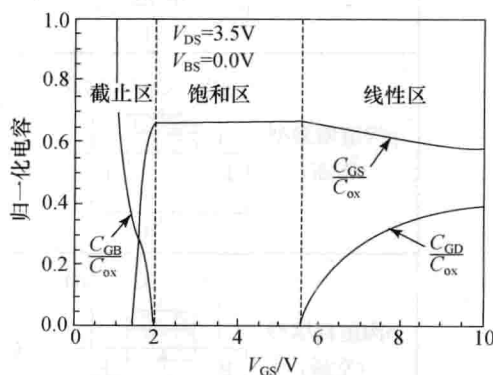


图 1.1-6 本征电容随栅电压的变化

5. MOS 晶体管的分类

上面讨论的 MOS 晶体管结构和基本工作原理是针对 n 沟道 MOS 晶体管,简称

nMOS,它是在 p 型硅上形成 n^+ 源、漏区,导通时形成 n 型沟道,靠电子导电。还有一类 MOS 晶体管是在 n 型硅上形成 p^+ 源、漏区,导通时形成 p 型沟道,靠空穴导电,这就是 p 沟道 MOS 晶体管,简称 pMOS。pMOS 工作时的电压极性与 nMOS 刚好相反,阈值电压是负值,需要加负的栅电压和漏电压。上面的电流公式对 pMOS 也适用,对公式(1. 1-8),pMOS 的判断刚好相反,只取小于 0 的项。从图 1. 1-1 看出 MOS 晶体管的源、漏区是同样的结构,源、漏极的区分是根据工作时电位的高、低决定的。对 nMOS 电位高的是漏极,或者说电流是从漏极流向源极;对 pMOS 电位高的是源极,电流是从源极流向漏极。上面讨论的 MOS 晶体管是靠栅电压控制才能导通,栅压为 0 时不存在反型沟道不能导通,这种 MOS 晶体管叫做增强型 MOS 晶体管,也叫常断型。还有的 MOS 晶体管在栅压为 0 时就已经存在反型沟道,不加栅压就可以导通,相反,需要加反向栅压使原始沟道耗尽才能截止,这种叫做耗尽型 MOS 晶体管,也叫常通型。现在的集成电路中很少用到耗尽型 MOS 晶体管。表 1. 1-1 总结了 MOS 晶体管的种类并给出常用的表示符号^[4],本书中采用第 3 种符号。

表 1. 1-1 MOS 晶体管的种类和表示符号

n 沟道增强型 (常断)				
n 沟道耗尽型 (常通)				
p 沟道增强型 (常断)				
p 沟道耗尽型 (常通)				

CMOS 集成电路(Complementary MOS Integrated Circuits)是利用 nMOS 和 pMOS 的互补特性构成电路,需要在一个芯片内同时形成 nMOS 和 pMOS。为了解决两种器件需要