

Altera 公司推荐 FPGA/CPLD 培训教材



Altera FPGA/CPLD 设计

(基础篇) (第2版)

EDA 先锋工作室 王诚 蔡海宁 吴继华 编著
Altera 公司 审校



人民邮电出版社
POSTS & TELECOM PRESS

Altera公司推荐FPGA/CPLD培训教材



Altera FPGA/CPLD 设计

(基础篇) (第2版)

EDA 先锋工作室 王诚 蔡海宁 吴继华
Altera 公司 审校

Stratix IV

人民邮电出版社

北京

图书在版编目 (CIP) 数据

Altera FPGA/CPLD设计. 基础篇 / EDA先锋工作室编
著. -- 2版. -- 北京: 人民邮电出版社, 2011.2
ISBN 978-7-115-24670-7

I. ①A… II. ①E… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆CIP数据核字(2010)第258344号

内 容 提 要

本书结合作者多年工作经验,系统地介绍了FPGA/CPLD的基本设计方法。在介绍FPGA/CPLD概念的基础上,介绍了Altera主流FPGA/CPLD的结构与特点,并通过丰富的实例讲解Quartus II与ModelSim、Synplify Pro等常用EDA工具的开发流程。

本书附带光盘中收录了Altera Quartus II Web版软件,读者可以安装使用,同时还收录了本书所有实例的完整工程文件、源代码和使用说明文件,便于读者边学边练,提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材,也可作为硬件工程师和IC工程师的实用工具书。

Altera FPGA/CPLD 设计 (基础篇) (第2版)

- ◆ 编 著 EDA 先锋工作室 王 诚 蔡海宁 吴继华
审 校 Altera 公司
责任编辑 李永涛
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街14号
邮编 100061 电子函件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
北京铭成印刷有限公司印刷
- ◆ 开本: 787×1092 1/16
印张: 18.25
字数: 446千字
印数: 1—4 000册
- 2011年2月第2版
2011年2月北京第1次印刷

ISBN 978-7-115-24670-7

定价: 45.00元 (附光盘)

读者服务热线: (010)67132692 印装质量热线: (010)67129223

反盗版热线: (010)67171154

广告经营许可证: 京崇工商广字第0021号



工作室简介

EDA 先锋工作室是与人民邮电出版社紧密合作的一支电子设计领域专业书籍创作队伍。该工作室的成员都是国内外著名电子、通信、半导体行业的资深研发人员、技术支持、市场销售、信息咨询和管理人员。

本工作室的宗旨为：联合国内外 EDA 设计人才，培养 EDA 设计专业队伍，推动我国 EDA 技术的发展。本工作室的主要工作范围为：创作 EDA 相关技术图书，培养国内 EDA 设计专业人才，设计研发电子产品。EDA 先锋工作室擅长的技术领域有 FPGA/CPLD 设计、ASIC 设计、高速 PCB 设计和嵌入式系统设计等。EDA 先锋工作室愿意与各界有识之士开展积极的合作。

已出版书籍

- 《Altera FPGA/CPLD 设计（基础篇）》
- 《Altera FPGA/CPLD 设计（高级篇）》
- 《设计与验证——Verilog HDL》
- 《Cadence Concept HDL & Allegro 原理图与 PCB 设计》
- 《Xilinx ISE 9.x FPGA/CPLD 设计指南》
- 《FPGA/CPLD 设计工具——Xilinx ISE 使用详解》

EDA 先锋工作室非常重视您的批评和建议，您可以通过电子函件以及网站反馈您的需求、建议与指正。

电子函件：alterabook@gmail.com。

EDA 先锋工作室

主 编：王 诚

副主编：吴继华 薛小刚 钟信潮

编 委：李 楠 蔡海宁 赵延宾 庞 健 袁 园

范丽珍 葛毅敏 由武军 周海涛 薛 宁

路 远 梁晓明 侯小辉 寿开宇 吴 蕾

胡安琪 吴卫旋 张伟平

Preface

Founded in 1983, Altera Corporation is headquartered in Silicon Valley and has over 2,600 employees in 19 countries. As the pioneer in System-on-a-Programmable-Chip(SOPC), Altera offers innovative custom logic solutions to its 12,000 customers by combining programmable logic device(PLD)and ASIC technologies, fully integrated software design tools, hardware development kits, optimized intellectual property (IP) cores, versatile embedded processors and comprehensive technical support.

Since inventing the world's first reprogrammable logic device in 1984, Altera has been the leader in innovative custom logic solutions, addressing a range of customer needs such as low power consumption, high performance, flexibility, quick time-to-market and low cost in a wide variety of industries including automotive, broadcast, computer & storage, consumer, industrial, medical, military, test & measurement, wireless and wireline communications.

Altera's offering includes:

- Industry-leading FPGA and CPLD products as well as unique HardCopy® ASIC series which provide the lowest risk path to high volume ASIC production.
- Powerful software development tools that offer the industry's greatest ease-of-use, best quality of results and highest productivity.
- A complete portfolio of optimized IP cores.
- Customizable embedded soft processors.
- Off-the-shelf development kits.

As end-market requirements evolve, the complexity of our customers' products, and in turn the capability of our custom logic solutions, is growing rapidly. As a result, design engineers lack sufficient knowledge of design methodologies to tackle these increasing demands. Reference materials and guidelines developed locally in China are highly beneficial for designers looking to adopt the latest custom logic solutions and leverage Altera's leading products and technologies.

I'm pleased to recommend the second editions of *Altera® FPGA/CPLD Designs (Entry Level)* and *Altera® FPGA/CPLD Designs (Advanced Level)*. Compared with the first editions, the second editions have updated the content to reflect the latest Altera devices and design tools. These two books contain not only an introduction of traditional PLD technologies and design skills, but also explain the System-on-a-Programmable-Chip(SOPC)concept, the highly popular Nios® and Nios® II embedded processors and the innovative HardCopy® ASIC technology.

These two books take a unique approach to explain design methodologies and help build advanced PLD design skills while introducing Altera's devices and Quartus® II design software. They are rich in design examples which facilitate a deep understanding of the concepts presented and help to develop good design habits through hands-on practice.

I hope you enjoy these excellent books and wish you success in your programmable logic designs!

Erhaan Shaikh

Vice President & Managing Director, Asia Pacific

Altera International Limited

序

Altera 公司成立于 1983 年，总部位于硅谷，2600 多名员工分布在 19 个国家。作为可编程芯片系统（SOPC）的创始企业，Altera 结合了可编程逻辑器件（PLD）和 ASIC 技术，实现了软件设计工具、硬件开发套件、知识产权（IP）内核、通用嵌入式处理器的全面集成，为 12000 多家用户提供创新定制逻辑方案，以及广泛的技术支持。

自从 1984 年发明世界上第一款可编程逻辑器件以来，Altera 一直是创新定制逻辑解决方案的领先者，满足了汽车、广播、计算机和存储、消费、工业、医疗、军事、测试测量、无线和固网通信等各行各业的多种客户需求，例如低功耗、高性能、灵活性、产品迅速面市和低成本等。

Altera 的产品包括：

- 业界领先的 FPGA 和 CPLD 产品以及独特的 HardCopy® ASIC 系列，该系列为大批量 ASIC 产品提供低风险途径。
- 功能强大的软件开发工具，是业界最容易使用、结果质量最佳、效能最高的工具。
- 全系列优化 IP 内核。
- 可定制嵌入式软核处理器。
- 可立即使用的开发套件。

随着最终市场需求的发展，用户产品越来越复杂，我们的定制逻辑容量也随之快速增长，从而导致设计工程师没有足够的设计方法和知识来满足需求的增长。因此设计人员在采用最新定制逻辑解决方案以及 Altera 前沿产品和技术时，可以利用我们在中国本地开发的参考材料和指南。

我非常荣幸地向您推荐第 2 版的《Altera FPGA/CPLD 设计（基础篇）》和《Altera FPGA/CPLD 设计（高级篇）》。与第 1 版相比，第 2 版对内容进行了更新以反映 Altera 最新器件和设计工具。这两本书不仅介绍了传统 PLD 技术和设计技巧，而且还解释了可编程芯片系统（SOPC）概念、非常流行的 Nios®和 Nios® II 嵌入式处理器以及创新的 HardCopy® ASIC 技术。

这两本书以独特的视角解释了设计方法，帮助您掌握高级 PLD 设计技巧，还介绍了 Altera 器件和 Quartus® II 设计软件。书中有丰富的设计实例，通过实际练习，能帮助您深入理解概念，养成良好的设计习惯。

希望您能够从这些优秀的书中受益，预祝您的可编程逻辑设计获得成功！

Erhaan Shaikh

亚太区副总裁兼总经理

Altera 公司

关于本书

内容和特点

FPGA/CPLD、DSP 和 CPU 被称为未来数字电路系统的三大基石,也是目前硬件设计研究的热点。与传统电路设计方法相比, FPGA/CPLD 具有功能强大,开发过程投资小、周期短,可反复编程修改,保密性能好,开发工具智能化等特点,特别是随着电子工艺的不断改进,低成本 FPGA/CPLD 器件推陈出新,这一切促使 FPGA/CPLD 成为当今硬件设计的首选方式之一。可以说 FPGA/CPLD 设计技术是当今高级硬件工程师与 IC 工程师的必备技能。

我国可编程逻辑器件设计技术落后于国外,目前立足于工程实践,系统地介绍最新 FPGA/CPLD 设计工具的中文书籍较为贫乏。在这种情况下,为了满足广大工科在校生了解业界流行的高效 FPGA/CPLD 设计技术的需要,提高硬件工程师与 IC 工程师的工程实践技巧,我们编写了《Altera FPGA/CPLD 设计(基础篇)》和《Altera FPGA/CPLD 设计(高级篇)》。这两本书出版以来,广受读者好评,但随着技术的不断发展,器件型号和软件版本的不断更新,原有图书的内容和知识体系已经不适应目前的读者需求,为此我们根据 Altera 推出的一系列新型 FPGA,以及新版 Quartus II 软件的特性,对上述两本书进行了改版升级。

升级后的图书涵盖了 Altera 主流 FPGA/CPLD 的硬件结构与特性,详尽地讨论了 Quartus II 与第三方 EDA 工具的设计方法,系统地阐述了 Altera 可编程逻辑设计优化技术。

本书共 7 章,各章内容简要介绍如下。

- 第 1 章 在介绍可编程逻辑设计技术基本概念的基础上讨论了 FPGA/CPLD 的基本结构、设计流程和开发工具,并展望了下一代可编程逻辑设计技术。
- 第 2 章 介绍了 Altera 高密度、低成本 FPGA 与 CPLD 等主流器件的结构特点。
- 第 3 章 重点介绍了 Quartus II 的软件设计流程。
- 第 4 章 介绍了 Altera IP 设计工具与方法。
- 第 5 章 介绍了 I/O 分配验证工具、功率估计和分析工具、RTL 阅读器、SignalProbe(信号探针)、SignalTap II 逻辑分析器、Chip Editor(底层编辑器)、Timing Closure Floorplan(时序收敛平面布局规划器)和 ECO(工程更改管理)等工具的使用方法。
- 第 6 章 介绍了 Altera FPGA/CPLD 的常用编程与配置方法。
- 第 7 章 在综述第三方综合工具的基础上,重点介绍了 ModelSim 仿真工具与 Synplify/Synplify Pro 综合工具的使用方法。

本书的主要特点介绍如下。

- 全面系统:涵盖了 Altera 软、硬件设计技术及基础与高级设计工具,全面系统地论述了 Altera 可编程设计技术。
- 实用价值高:本书的作者都有丰富的 FPGA/CPLD、数字 ASIC 设计经验,本书立足于工程实践的需要,对工程设计有显著的指导意义。
- 内容新颖:本书的作者长期工作在可编程逻辑设计的最前沿,与 FPGA 器件制造公司和 EDA 软件设计公司联系紧密,所以有幸能够在第一时间使用最新版本的 FPGA/CPLD 设计工具。书中涉及的所有工具均根据较新资料撰写,使

图书介绍的内容新颖。

- 剖析深刻：书中对 FPGA/CPLD 设计的基本原理、方法有较为详尽的论述，对各种设计工具的介绍并不局限于操作方法，而是结合作者多年的工作经验与心得，从较深的层面对各个工具的特点进行剖析。

读者对象

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等理工专业的教材，也可作为硬件工程师和 IC 工程师的实用工具书。

附录内容

配套光盘提供了书中所有示例的完整工程文件、设计源文件和说明文件。

每个工程示例都包括了该工程的项目文件、源文件、报告文件和结果文件等，读者可以用 Quartus II 或相应的软件直接打开。设计源文件根据设计输入类型分为源代码或原理图等。请读者将设计源文件复制到计算机硬盘上，并按照书中的操作步骤自行操作练习。示例说明文件包含了示例的详细信息和操作指南。

另外，经 Altera 公司特别授权，光盘中收录了新版 Altera Quartus II Web 版软件、相关器件手册和技术文档，新的 Altera Quartus II Web 版软件不需要申请 License。在此，我们对 Altera 公司的强力支持表示真挚的感谢！

本书约定

为了方便读者阅读，书中设计了 4 个小图标，它们代表的含义如下。



行家指点：用于介绍使用经验和心得，或罗列重要的概念。



注意事项：用于提醒读者应该注意的问题。



多学一招：用于介绍实现同一功能的不同方法。



操作实例：用于引出一个操作题目和相应的一组操作步骤。

本书的主要章节由王诚和吴继华执笔，全书由 Altera 资深应用工程师蔡海宁统一修改整理。

Altera 南中国区应用工程经理郭晶先生，Altera 北中国区应用工程经理李健先生，资深高速技术专家韦俊伟先生，高速应用工程师宋建、路增援先生，软件应用工程师阮臻、杨卿先生对全书进行了审校。中国区大客户销售总监钟屹先生，亚太区应用工程总监罗炜亮先生，亚太区技术支持总监邓海涛先生，亚太区技术支持经理罗小锋、曹烨、袁亚东先生对本书提出了许多建设性意见，并给予作者多方面的帮助。Altera 亚太区市场部经理陈国裕先生，罗嘉莺女士、林少青女士，积极参与本书出版工作的组织与协调，在此一并表示衷心的感谢。在这里要特别感谢 Altera 亚太区副总裁 Erhaan Shaikh 先生在百忙之中亲自为本书撰写序言，并由亚太区市场部经理 Jennifer Lo 女士翻译成中文。感谢所有关心并支持本书的同仁佳友！

感谢您选择了本书，如果您对书中内容有任何困惑和建议，请与我们联系。

电子函件：alterabook@gmail.com（作者），liyongtao@ptpress.com.cn（责任编辑）。

如果您需要得到 Altera 更全面的服务与技术支持，请访问 <http://www.altera.com.cn>。

EDA 先锋工作室

2010 年 12 月

内容提要

本书约定

目 录

第 1 章 FPGA/CPLD 简介	1
1.1 可编程逻辑设计技术简介	1
1.1.1 可编程逻辑器件发展简史	1
1.1.2 可编程逻辑器件分类	2
1.2 FPGA/CPLD 的基本结构	3
1.2.1 FPGA 的基本结构	3
1.2.2 CPLD 的基本结构	7
1.2.3 FPGA 和 CPLD 的比较	9
1.3 FPGA/CPLD 的设计流程	10
1.4 FPGA/CPLD 的常用开发工具	14
1.5 下一代可编程逻辑设计技术展望	18
1.5.1 下一代可编程逻辑器件硬件上的四大发展趋势	18
1.5.2 下一代 EDA 软件设计方法发展趋势	24
1.6 小结	27
1.7 问题与思考	28
第 2 章 Altera FPGA/CPLD 的结构	29
2.1 Altera 高密度 FPGA	29
2.1.1 主流高端 FPGA——Stratix IV E/GX/GT	29
2.1.2 内嵌 10Gbit/s 高速串行收发器的 FPGA——Stratix IV GT	50
2.1.3 内嵌高速串行收发器的中端 FPGA——ArriaII GX	54
2.2 Altera 低成本 FPGA	54
2.3 Altera 的 CPLD 器件	60
2.4 小结	63
2.5 问题与思考	63
第 3 章 Altera Quartus II 开发流程	64
3.1 Quartus II 软件综述	64
3.1.1 Quartus II 软件的特点及支持的器件	64
3.1.2 Quartus II 软件的工具及功能简介	65
3.1.3 Quartus II 软件的用户界面	67
3.2 设计输入	70
3.2.1 设计输入方式	72
3.2.2 设计规划	73
3.2.3 设计输入文件实例	74
3.2.4 设计约束	75
3.3 综合	80

3.3.1 使用 Quartus II 软件集成综合	80
3.3.2 控制综合	81
3.3.3 综合实例	85
3.3.4 第三方综合工具	87
3.4 布局布线	87
3.4.1 设置布局布线参数	87
3.4.2 布局布线实例	91
3.4.3 增量布局布线	92
3.4.4 反标保留分配	92
3.5 仿真	93
3.5.1 指定仿真器设置	94
3.5.2 建立矢量源文件	95
3.5.3 仿真实例	98
3.5.4 第三方仿真工具	101
3.6 编程与配置	101
3.6.1 建立编程文件	101
3.6.2 器件编程和配置	103
3.7 小结	105
3.8 问题与思考	105
第 4 章 Altera 的 IP 工具	106
4.1 IP 的概念和 Altera 的 IP	106
4.1.1 IP 的概念	106
4.1.2 Altera 可提供的 IP	107
4.1.3 Altera IP 在设计中的作用	109
4.2 使用 Altera 的基本宏功能	110
4.2.1 定制基本宏功能	111
4.2.2 实现基本宏功能	115
4.2.3 设计实例	118
4.3 使用 Altera 的 IP 核	121
4.3.1 定制 IP 核	121
4.3.2 实现 IP 核	125
4.3.3 设计实例	126
4.4 小结	127
4.5 问题与思考	127
第 5 章 Quartus II 的常用辅助设计工具	128
5.1 I/O 分配验证	128
5.1.1 I/O 分配验证功能简介	129
5.1.2 I/O 分配验证流程	129

5.1.3	用于 I/O 分配验证的输入	132
5.1.4	运行 I/O 分配验证	133
5.2	功率分析	135
5.2.1	Excel-based 功率计算器	135
5.2.2	Simulation-based 功率估算	137
5.3	RTL 阅读器	138
5.3.1	RTL 阅读器简介	138
5.3.2	RTL 阅读器用户界面	139
5.3.3	原理图的分页和模块层次的切换	140
5.3.4	过滤原理图	141
5.3.5	将原理图中的节点定位到源设计文件	143
5.3.6	在原理图中查找节点或网线	143
5.3.7	使用 RTL 阅读器分析设计中的问题	144
5.4	SignalProbe 及 SignalTap II 逻辑分析器	144
5.4.1	SignalProbe	144
5.4.2	SignalTap II 逻辑分析器	147
5.5	时序收敛平面布局规划器 (Timing Closure Floorplan)	153
5.5.1	使用 Timing Closure Floorplan 分析设计	154
5.5.2	使用 Timing Closure Floorplan 优化设计	160
5.6	Chip Editor 底层编辑器	160
5.6.1	Chip Editor 功能简介	160
5.6.2	使用 Chip Editor 的设计流程	161
5.6.3	Chip Editor 视图	162
5.6.4	资源特性编辑器	164
5.6.5	Chip Editor 的一般应用	168
5.7	工程更改管理 (ECO)	168
5.7.1	ECO 简介	169
5.7.2	ECO 的应用范围	169
5.7.3	ECO 的操作流程	170
5.7.4	使用 Change Manager 查看和管理更改	171
5.7.5	ECO 验证	172
5.8	小结	172
5.9	问题与思考	172
第 6 章	编程与配置	173
6.1	配置 Altera FPGA	173
6.1.1	配置方式	173
6.1.2	主动串行 (AS)	179
6.1.3	被动串行 (PS)	182

6.1.4	快速被动并行 (FPP)	184
6.1.5	被动并行异步 (PPA)	185
6.1.6	JTAG 配置方式	187
6.1.7	ByteBlaster II 下载电缆	188
6.1.8	配置芯片	190
6.2	配置文件和软件支持	190
6.2.1	软件支持	190
6.2.2	配置文件	192
6.3	单板设计及调试注意事项	195
6.3.1	配置的可靠性	196
6.3.2	单板设计要点	196
6.3.3	调试建议	197
6.4	小结	199
6.5	问题与思考	199
第 7 章	第三方 EDA 工具	200
7.1	第三方 EDA 工具综述	200
7.1.1	NativeLink 与 WYSIWYG	200
7.1.2	3 种 EDA 工具的使用流程	201
7.1.3	Quartus II 支持的第三方工具	201
7.2	仿真的概念与 ModelSim 仿真工具	203
7.2.1	仿真简介	203
7.2.2	仿真的切入点	204
7.2.3	ModelSim 仿真工具的不同版本	206
7.2.4	ModelSim 的图形用户界面	206
7.2.5	ModelSim 的基本仿真步骤	217
7.2.6	使用 ModelSim 进行功能仿真	222
7.2.7	使用 ModelSim 进行时序仿真	226
7.2.8	ModelSim 仿真工具高级应用	228
7.3	综合的概念与 Synplify/Synplify Pro 综合工具	238
7.3.1	Synplify/Synplify Pro 的功能与特点	238
7.3.2	Synplify Pro 的用户界面	244
7.3.3	Synplify Pro 综合流程	247
7.3.4	Synplify Pro 的其他综合技巧	268
7.4	小结	280
7.5	问题与思考	280

第1章 FPGA/CPLD 简介

本章内容侧重于一般性可编程设计理论,综合讨论目前的主流器件和 EDA 开发工具。本章在引入 FPGA/CPLD 基本概念的基础上,重点论述了 FPGA/CPLD 的完整设计流程,简要介绍了 FPGA/CPLD 的常用开发工具,最后展望了 FPGA/CPLD 设计技术的新发展。

本章主要内容如下。

- 可编程逻辑设计技术简介。
- FPGA/CPLD 的基本结构。
- FPGA/CPLD 的设计流程。
- FPGA/CPLD 的常用开发工具。
- 下一代可编程逻辑设计技术展望。

1.1 可编程逻辑设计技术简介

本节在讨论可编程逻辑器件发展简史的基础上简述目前常用的可编程逻辑器件的分类。

1.1.1 可编程逻辑器件发展简史

随着微电子设计技术与工艺的发展,数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路(VLSIC)逐步发展到今天的专用集成电路(ASIC)。ASIC 的出现降低了产品的生产成本,提高了系统的可靠性,缩小了设计的物理尺寸,推动了社会的数字化进程。但是 ASIC 因其设计周期长、改版投资大、灵活性差等缺陷制约着它的应用范围。硬件工程师希望有一种更灵活的设计方法,可根据需要在实验室就能设计、更改大规模数字逻辑,研制自己的 ASIC 并马上投入使用,这是提出可编程逻辑器件的基本思想。

可编程逻辑器件随着微电子制造工艺的发展取得了长足的进步。从早期的只能存储少量数据,完成简单逻辑功能的可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(E²PROM),发展到能完成中大规模的数字逻辑功能的可编程阵列逻辑(PAL)和通用阵列逻辑(GAL),今天已经发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的复杂可编程逻辑器件(CPLD)和现场可编程逻辑器件(FPGA)。随着工艺技术的发展与市场需要,超大规模、高速、低功耗的新型 FPGA/CPLD 不断推陈出新。新一代的 FPGA 甚至集成了中央处理器(CPU)或数字处理器(DSP)内核,在一片 FPGA 上进行软硬件协同设计,为实现片上可编程系统(SOPC, System On Programmable Chip)提供了强大的硬件支持。



1.1.2 可编程逻辑器件分类

广义上讲, 可编程逻辑器件是指一切通过软件手段更改、配置器件内部连接结构和逻辑单元, 完成既定设计功能的数字集成电路。目前常用的可编程逻辑器件主要有简单的逻辑阵列 (PAL/GAL)、复杂可编程逻辑器件 (CPLD) 和现场可编程逻辑阵列 (FPGA) 等 3 大类。

- (1) PAL/GAL。PAL 是 Programmable Array Logic 的缩写, 即可编程阵列逻辑; GAL 是 Generic Array Logic 的缩写, 即通用可编程阵列逻辑。PAL/GAL 是早期可编程逻辑器件的发展形式, 其特点是大多基于 E^2 CMOS 工艺, 结构较为简单, 可编程逻辑单元多为与阵列和或阵列, 可编程单元密度较低, 仅能适用于某些简单的数字逻辑电路。虽然 PAL/GAL 密度较低, 但是它们一出现即以其低功耗、低成本、高可靠性、软件可编程、可重复更改等特点引发了数字电路领域的巨大震动。虽然目前较复杂的逻辑电路一般使用 CPLD 甚至 FPGA 完成, 但是对于很多简单的数字逻辑, GAL 等简单的可编程逻辑器件仍然被大量使用。目前, 国内外很多对成本十分敏感的设计都在使用 GAL 等低成本可编程逻辑器件, 越来越多的 74 系列逻辑电路被 GAL 取代。GAL 等器件发展至今已经 20 多年, 新一代的 GAL 以功能灵活、小封装、低成本、重复可编程、应用灵活等优点仍然在数字电路领域扮演着重要的角色。目前, 比较大的 GAL 器件供应商主要是 Lattice 半导体。
- (2) CPLD。CPLD 是 Complex Programmable Logic Device 的缩写, 即复杂的可编程逻辑器件。Altera 为了突出特性, 曾将自己的 CPLD 器件称为 EPLD (Enhanced Programmable Logic Device), 即增强型可编程逻辑器件。其实 EPLD 和 CPLD 属于同等性质的逻辑器件, 目前 Altera 为了遵循称呼习惯, 已经将其 EPLD 统称为 CPLD。CPLD 是在 PAL、GAL 的基础上发展起来的, 一般采用 E^2 CMOS 工艺, 也有少数厂商采用 Flash 工艺, 其基本结构由可编程 I/O 单元、基本逻辑单元、布线池和其他辅助功能模块构成。CPLD 可实现的逻辑功能比 PAL 和 GAL 有了大幅度提升, 一般可以完成设计中较复杂、较高速度的逻辑功能, 如接口转换、总线控制等。CPLD 的主要器件供应商有 Altera、Lattice 和 Xilinx 等。
- (3) FPGA。FPGA 是 Filed Programmable Gate Array 的缩写, 即现场可编程逻辑阵列。FPGA 是在 CPLD 的基础上发展起来的新型高性能可编程逻辑器件, 一般采用 SRAM 工艺, 也有一些专用器件采用 Flash 工艺或反熔丝 (Anti-Fuse) 工艺等。FPGA 的集成度很高, 其器件密度从数万系统门到数千万系统门不等, 可以完成极其复杂的时序与组合逻辑电路功能, 适用于高速、高密度的高端数字逻辑电路设计领域。FPGA 的基本组成部分有可编程输入/输出单元、基本可编程逻辑单元、嵌入式块 RAM、丰富的布线资源、底层嵌入功能单元、内嵌专用硬核等。FPGA 的主要器件供应商有 Xilinx、Altera、Lattice、Actel 和 Atmel 等。

1.2 FPGA/CPLD 的基本结构

本节在讨论 FPGA 与 CPLD 的通用结构的基础上, 比较两者的异同, 加深读者对这两种通用的可编程逻辑器件的认识。

1.2.1 FPGA 的基本结构

简化的 FPGA 基本由 6 部分组成, 分别为可编程输入/输出单元、基本可编程逻辑单元、嵌入式块 RAM、丰富的布线资源、底层嵌入功能单元和内嵌专用硬核等, 如图 1-1 所示。

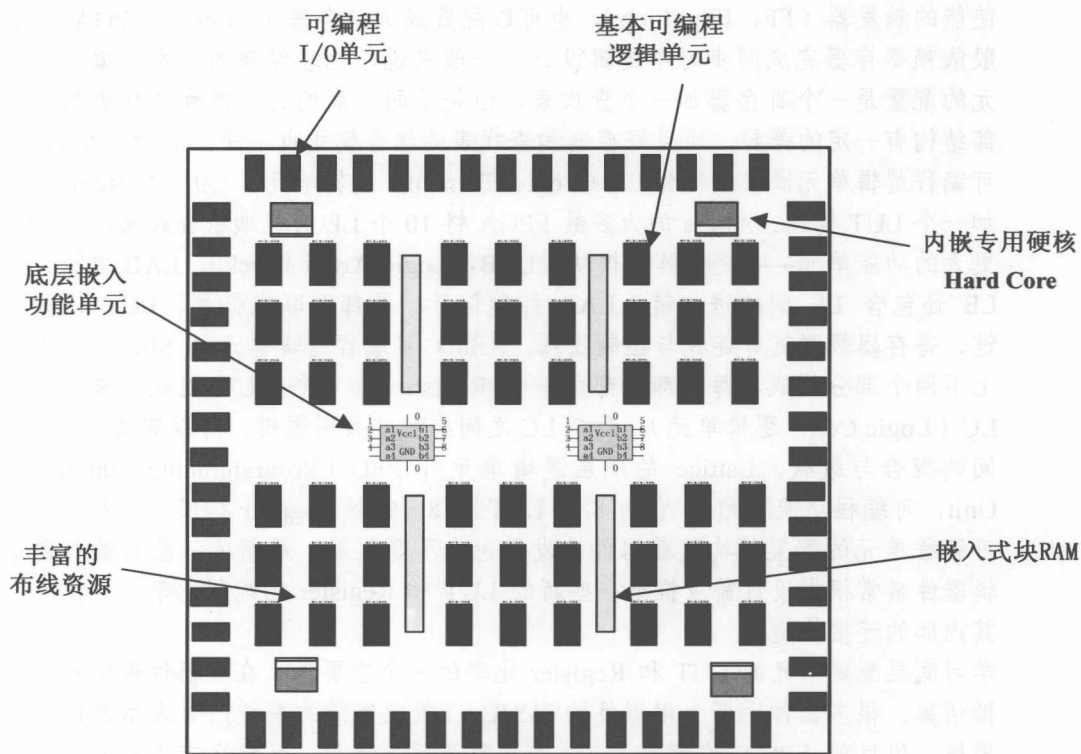


图1-1 可编程逻辑器件的结构原理图

每个单元的基本概念介绍如下。

(1) 可编程输入/输出单元。

输入/输出 (Input/Output) 单元简称 I/O 单元, 它们是芯片与外界电路的接口部分, 完成不同电气特性下对输入/输出信号的驱动与匹配需求。为了使 FPGA 有更灵活的应用, 目前大多数 FPGA 的 I/O 单元被设计为可编程模式, 即通过软件的灵活配置, 可以适配不同的电气标准与 I/O 物理特性; 可以调整匹配阻抗特性、上下拉电阻; 可以调整输出驱动电流的大小等。

可编程 I/O 单元支持的电气标准因工艺而异, 不同器件商不同器件族的 FPGA 支持的 I/O 标准也不同, 一般说来, 常见的电气标准有 LVTTTL、LVCMOS、



SSTL、HSTL、LVDS、LVPECL 和 PCI 等。值得一提的是,随着 ASIC 工艺的飞速发展,目前可编程 I/O 支持的最高频率越来越高,一些高端 FPGA 通过 DDR 寄存器技术,甚至可以支持高达 2Gbit/s 的数据速率。

(2) 基本可编程逻辑单元。

基本可编程逻辑单元是可编程逻辑的主体,可以根据设计灵活地改变其内部连接与配置,完成不同的逻辑功能。FPGA 一般是基于 SRAM 工艺的,其基本可编程逻辑单元几乎都是由查找表(LUT, Look Up Table)和寄存器(Register)组成的。FPGA 内部查找表一般为 4 输入(注:Altera Stratix II 的自适应逻辑模块 ALM 结构比较特殊),查找表一般完成纯组合逻辑功能。FPGA 内部寄存器结构相当灵活,可以配置为带同步/异步复位或置位、时钟使能的触发器(FF, Flip Flop),也可以配置成为锁存器(Latch)。FPGA 一般依赖寄存器完成同步时序逻辑设计。一般来说,比较经典的基本可编程单元的配置是一个寄存器加一个查找表,但是不同厂商的寄存器和查找表的内部结构有一定的差异,而且寄存器和查找表的组合模式也不同。例如,Altera 可编程逻辑单元通常被称为 LE (Logic Element, 逻辑单元),由一个 Register 加一个 LUT 构成。Altera 的大多数 FPGA 将 10 个 LE 有机地组合起来,构成更大的功能单元——逻辑阵列模块(LAB, Logic Array Block),LAB 中除了 LE 还包含 LE 间的进位链、LAB 控制信号、局部互联线资源、LUT 级联链、寄存器级联链等连线与控制资源。Xilinx 可编程逻辑单元叫 Slice,它由上下两个部分构成,每个部分都由一个 Register 加一个 LUT 组成,被称为 LC (Logic Cell, 逻辑单元),两个 LC 之间有一些共用逻辑,可以完成 LC 之间的配合与级联。Lattice 的底层逻辑单元叫 PFU (Programmable Function Unit, 可编程功能单元),它由 8 个 LUT 和 8~9 个 Register 构成。当然这些可编程单元的配置结构随着器件的发展也在不断更新,最新的一些可编程逻辑器件常常根据设计需求推出一些新的 LUT 和 Register 的配置比率,并优化其内部的连接构造。

学习底层配置单元的 LUT 和 Register 比率的一个重要意义在于器件选型和规模估算。很多器件手册上用器件的 ASIC 门数或等效的系统门数表示器件的规模,但目前 FPGA 内部除了基本可编程逻辑单元外,还包含有丰富的嵌入式 RAM、PLL 或 DLL,以及专用 Hard IP Core (硬知识产权功能核)等。这些功能模块也会等效出一定规模的系统门,所以用系统门权衡基本可编程逻辑单元的数量是不准确的,常常混淆设计者。比较简单科学的方法是用器件的 Register 或 LUT 的数量衡量(一般来说两者比例为 1:1)。例如,Xilinx 的 Spartan-III 系列的 XC3S1000 有 15360 个 LUT,而 Lattice 的 EC 系列 LFEC15E 也有 15360 个 LUT,所以这两款 FPGA 的可编程逻辑单元数量基本相当,属于同一规模的产品。同样道理,Altera 的 Cyclone 器件族的 EP1C12 的 LUT 数量是 12060 个,就比前面提到的两款 FPGA 规模略小。需要说明的是,器件选型是一个综合性问题,需要将设计的需求、成本压力、规模、速度等级、时钟资源、I/O 特性、封装、专用功能模块等诸多因素综合考虑。