



普通高等教育实验实训规划教材

电气信息类

数字电子技术 实验指导

蔺金元 罗昌状 编著



中国电力出版社

<http://jc.cepp.com.cn>

普通高等教育实验实训规划教材



电气信息类

数字电子技术 实验指导

蔺金元 罗昌状 编著
韩殿元 主审

TN 79-33/21



中国电力出版社
<http://jc.cepp.com.cn>

内 容 提 要

本书是根据高等学校数字电子技术实验课程改革的要求编写的。

本书是一本基于实践的数字电子技术实验指导书，由理论课教师和实验课教师共同完成编著，内容丰富，实用性强。

针对学生之间存在的个体差异、专业需求层次不同，本书提供了较多的实验内容可供选用。既有基础的知识验证性实验，又有综合了较多知识的提高性实验，还有学生可以自主进行的设计性实验。本书从易到难，适应不同层次的需求。同时，本书也介绍了实验仿真的方法，给学生提供了解决问题的有效途径。

本书适用于高等院校电类、非电类专业的本、专科学生，是数字电子技术、电子技术课程进行实践学习的配套教材，也可以作为学生自己进行开放性实验的指导教材。

图书在版编目 (CIP) 数据

数字电子技术实验指导/蔺金元，罗昌状编著. —北京：中国电力出版社，2010.8

普通高等教育实验实训规划教材

ISBN 978-7-5123-0639-4

I. ①数… II. ①蔺…②罗… III. ①数字电路—电子技术—实验—高等学校—教学参考资料 IV. ①TN79—33

中国版本图书馆 CIP 数据核字 (2010) 第 127988 号

中国电力出版社出版、发行

(北京三里河路 6 号 100044 <http://jc.cepp.com.cn>)

汇鑫印务有限公司印刷

各地新华书店经售

*

2010 年 9 月第一版 2010 年 9 月北京第一次印刷

787 毫米×1092 毫米 16 开本 4.75 印张 107 千字

印数 0001—3000 册 定价 8.50 元

敬告读者

本书封面贴有防伪标签，加热后中心图案消失
本书如有印装质量问题，我社发行部负责退换

版 权 专 有 翻 印 必 究

前 言

本书是根据高等院校数字电子技术实验课程改革的要求编写的基于实践的数字电子技术实验指导书,适用于高等院校电类、非电类专业的本、专科学生,是数字电子技术、电子技术课程进行实践学习的配套教材,也可以作为学生自己进行开放实验的指导教材。

本书的特色体现在3个方面:

(1) 注重实际训练。书中没有过多重复理论课上的理论知识,内容重点放在实验过程中。

(2) 通用性好。书中所有实验项目不拘泥于某个厂家的设备,可以用任何与本书介绍的实验系统具备相同功能的设备来完成。

(3) 加入了部分仿真实验。仿真实验能够使学生掌握如何在计算机上实现数字电路,了解新的数字系统的设计方法,更加有利于课程内容的学习和掌握。

本书在选材上,一切从学生的角度出发,共分为相关知识、基础性实验、综合性实验、设计性实验、仿真实验5部分内容。所选实验由浅入深、内容丰富,教师和学生可以根据教学要求和学时安排自行选择。通过这种基于实践过程的实验模式,可以极大地提高学生的学习兴趣,增强学生的实践动手能力,培养学生的创新意识,为培养学生自主设计、解决问题的综合能力创造有利条件。

本书由宁夏大学物理电气信息学院电气工程及自动化系蔺金元副教授,与宁夏大学电工电子实验中心罗昌状高级实验师共同编著完成。其中,第1、3、4章由蔺金元编写、罗昌状负责修改完善,第2章和第5章由罗昌状编写、蔺金元负责修改完善。全书由蔺金元完成最后统稿。本书由潍坊学院的韩殿元主审。在本书的编写过程中,也得到了宁夏大学物理电气信息学院电子信息工程系陈潮红教授、姚黎欣副教授的指点,得到了宁夏大学电工电子实验中心周虎、王学忠、赵国荣、肖斌等各位老师的大力支持,在此一并表示衷心的感谢!

由于我们水平有限,书中难免存在错误和不足之处,敬请读者批评指正,并提出宝贵意见,以便进一步修正。

编 者

2010年3月

目 录

前言

第一章 相关知识简介	1
第一节 基本逻辑运算及集成逻辑门	1
第二节 组合逻辑电路	3
第三节 时序逻辑电路	4
第二章 基础性实验	6
实验一 TTL 门电路功能测试	6
实验二 组合逻辑电路	9
实验三 4 位二进制全加器	13
实验四 3/8 译码器	15
实验五 LED 数码管译码器实验	18
实验六 数据选择器实验	21
实验七 触发器实验	23
实验八 减法计数器实验	26
实验九 移位寄存器实验	28
实验十 A/D 转换实验	32
第三章 综合性实验	36
实验一 组合逻辑电路的设计与测试	36
实验二 智力竞赛抢答器	38
实验三 电子秒表	39
实验四 拔河游戏机	43
实验五 012343210 循环变化的增减计数器	47
实验六 七输入投票器	50
实验七 八幅广告自动切换显示控制	52
实验八 555 定时器实验	53
第四章 设计性实验	57
题目一 五人表决器 (能自动统计票数)	57
题目二 循环彩灯控制电路设计	57
题目三 简易数字频率计	57
题目四 循环码计数器设计	57
题目五 1 位 BCD 加法器设计	58
题目六 逐音彩灯	58
题目七 心率数字计	58

题目八 声控电子锁	58
题目九 声、光、电八路抢答器	58
题目十 交通灯控制	58
第五章 仿真实验	59
实验一 用译码器实现逻辑函数	59
实验二 RS、D、JK 触发器	61
实验三 用 D 触发器设计抢答器	63
附录 A 数字电子技术实验系统简介	65
附录 B 数字IC引脚图	67
参考文献	68

第一章 相关知识简介

第一节 基本逻辑运算及集成逻辑门

一、基本逻辑

逻辑指的是条件和结果的关系。电路的输入信号即条件，输出信号即结果，用“真”和“假”或“1”和“0”来表示。条件满足和结果发生用“1”表示，反之用“0”表示。

逻辑运算是一种用数学语言来描述逻辑思维和逻辑推理的方法。与普通数学不同，此时的“1”和“0”，只表示两个对立的逻辑状态，而不表示数值的大小。

在逻辑运算中，有三种最基本的运算：与、或、非。这三种基本的逻辑运算常用“真值表”、“逻辑符号”和“逻辑表达式”三种方式来描述。

- 真值表——描述逻辑关系的表格。
- 逻辑符号——在画电路时使用的符号。
- 逻辑表达式——输入信号为自变量，输出信号为函数的数学表达方式。

1. 与运算：只有当一件事的几个条件全部具备之后，这件事才发生，即“都真才真”。表1-1为与运算真值表，如图1-1所示是与门逻辑符号。

表 1-1 与运算真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



与逻辑表达式：

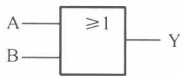
$$Y = A \cdot B$$

图 1-1 与门逻辑符号

2. 或运算：只要一事情的几个条件中有一个条件得到满足，这件事就会发生，即“都假才假”。表1-2为或运算真值表，如图1-2所示为或门逻辑符号。

表 1-2 或运算真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



或逻辑表达式：

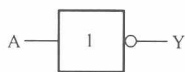
$$Y = A + B$$

图 1-2 或门逻辑符号

3. 非运算：一事情的发生以其相反的条件为依据，即“取反”。表1-3为非运算真值表，如图1-3所示为非门逻辑符号。

表 1-3 非运算真值表

A	Y
0	1
1	0



非逻辑表达式：

$$Y = \bar{A}$$

图 1-3 非门逻辑符号

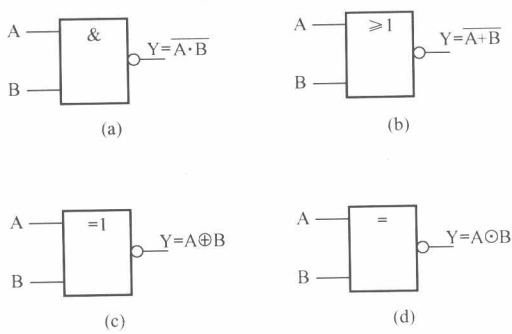


图 1-4 几种复合门的逻辑符号

(a) 与非门; (b) 或非门; (c) 异或门; (d) 同或门

在实际应用中,总是将三种基本逻辑组合在一起构成复合逻辑来使用,如图 1-4 所示为复合门的逻辑符号。常用的复合逻辑门电路有以下几种。

- 与非门:由与运算和非运算组合在一起的。
- 或非门:由或运算和非运算组合在一起的。
- 异或门:当两个输入信号相同时,输出为 0;当两个输入信号不同时,输出为 1。
- 同或门:当两个输入信号相同时,输出

为 1;当两个输入信号不同时,输出为 0。

二、集成逻辑门

集成电路就是将晶体管、电阻、电容、二极管等电子组件制作在一块半导体基片上所构成的元件。它体积小,使电子运动的距离大幅缩小,速度极快且可靠性高。主要有 SSI、MSI、LSI、VLSI 四种。

集成逻辑门即能够完成逻辑功能的简单集成电路。按照组成的器件不同集成逻辑门可以分为双极性晶体管逻辑门和单极性绝缘栅场效应管两大类。双极性晶体管逻辑门中常用的是 TTL 门,单极性绝缘栅场效应管中常用的是 CMOS 门。双极性集成电路 SSI (小型集成电路),电子元件数 10 门/片以下;MSI (中型集成电路),电子元件数 (10~100) 门/片;LSI (大规模集成电路),电子元件数 (100~1000) 门/片;VLSI (超大规模集成电路),电子元件数 (1000~10000) 门/片。本书的实验基本采用小规模 TTL 门来实现。

最早的 TTL 门电路是 74 系列,后来出现了改进型的 74H 系列,其工作速度提高了,但静态功耗却增加了。还有饱和型的 74S 系列,速度较高,但品种较少。当前在中小规模电路中应用非常普遍的主要产品是 74LS 系列,品种和生产厂家都非常多,性价比较高。74LS 系列的后继产品是 74ALS 系列,速度 (典型值为 4ns)、功耗 (典型值为 1mW) 等方面都有较大的改进,但价格较高。还有 74S 系列的后继产品 74AS 系列,尤其速度 (典型值为 1.5ns) 有显著的提高,又称“先进超高速肖特基”系列。

TTL 集成电路使用应注意的问题:

- 正确选择电源电压。TTL 集成电路的电源电压允许变化范围比较窄,一般在 4.5~5.5V 之间。在使用时更不能将电源与地颠倒接错,否则将会因为过大电流而造成器件损坏。
- 对输入端的处理。TTL 集成电路的各个输入端不能直接与高于 +5.5V 和低于 -0.5V 的低内阻电源连接。对多余的输入端最好不要悬空。虽然悬空相当于高电平,并不影响“与门、与非门”的逻辑关系,但悬空容易接受干扰,有时会造成电路的误动作。因此,多余输入端要根据实际需要作适当处理。例如“与门、与非门”的多余输入端可直接接到电源 V_{CC} 上;也可将不同的输入端共用一个电阻连接到 V_{CC} 上;将多余的输入端并联使用。对于“或门、或非门”的多余输入端应直接接地。对于触发器等中规模集成电路来说,不使用的输入端不能悬空,应根据逻辑功能接入适当电平。

- 对于输出端的处理。除“三态门、集电极开路门”外，TTL 集成电路的输出端不允许并联使用。如果将几个“集电极开路门”电路的输出端并联，实现线与功能时，应在输出端与电源之间接入一个计算好的上拉电阻。集成门电路的输出更不允许与电源或地短路，否则可能造成器件损坏。

第二节 组合逻辑电路

一、基本概念和任务

数字系统中常用的各种数字部件，就其结构和工作原理而言可分为两大类，即组合逻辑电路和时序逻辑电路。本节先介绍组合逻辑电路。

对于一个逻辑电路，其输出状态在任何时刻只取决于同一时刻的输入状态，而与电路原来的状态无关，这种电路被定义为组合逻辑电路。这种电路无记忆功能，无反馈回路。

在组合逻辑电路的学习过程中，我们主要完成两类任务：组合逻辑电路的分析和组合逻辑电路的设计。

组合逻辑电路的分析，就是对一个给定的逻辑电路，用逻辑函数来描述，以此列出真值表，确定其逻辑功能。

分析组合逻辑电路的步骤大致如下：

- 根据已知电路写出输出端的逻辑函数表达式。
- 化简和变换逻辑函数表达式，得到最简单的表达式。
- 根据简化后的逻辑表达式列出真值表。
- 根据真值表和简化后的逻辑表达式对逻辑电路进行分析，最后确定其功能。

组合逻辑电路的设计与分析的过程刚好相反，对于提出的实际逻辑问题，设计出实现这一逻辑功能的逻辑电路。通常要求电路简单，所用器件的种类少。所以，要尽量化简逻辑表达式，以便能用最少的门电路来组成逻辑电路，使电路结构紧凑，工作可靠而且经济。如果可选用的器件是固定的，就不能追求表达式最简了，需要做一定的变换，使其能够用规定的逻辑门实现。

设计组合逻辑电路的步骤大致如下：

- 明确实际问题的逻辑功能。
- 根据对电路逻辑功能的要求，列出真值表。
- 由真值表写出逻辑表达式。
- 简化和变换逻辑表达式，从而画出最简逻辑图。

二、常用组合逻辑部件的原理和应用

常用的组合逻辑部件品种较多，主要有全加器、译码器、编码器、多路选择器、多路分配器、数据比较器、奇偶校验电路等，其中加法器是计算机中不可缺少的组成单元。

下面分别介绍这几种电路。

- 半加器和全加器：完成两个 1 位二进制数相加，是进行算术运算的基本单元。
- 半加器：运算时只考虑两个加数本身，不考虑来自低位进位的加法运算。
- 全加器：运算时不但考虑两个加数本身，还要考虑来自低位进位的加法运算。
- 多位数加法器：完成两个多位二进制数相加。

- 串行进位加法器：高位的加法运算必须等到低位的加运算完成，低位将进位送到高位之后才能正确运算，速度较慢。如 74LS83（4 位串行进位加法器）。
- 超前进位加法器：由于各级进位都可以直接用输入端信号组成的表达式来描述，所以，超前进位加法器各级进位同时产生，速度较快。如 74LS283（4 位全加器）。
- 编码器：把具有某种特定含义的信号转换成二进制代码。
- 译码器：编码的逆过程，它的功能是将具有特定含义的二进制码转换成对应的输出信号，具有译码功能的逻辑电路称为译码器。

译码器可以分为两种类型，一种是将一系列代码转换成与之一一对应的有效信号。这种译码器可称为唯一地址译码器，它常用于计算机中对存储器单元地址的译码，即将每一个地址代码转换成一个有效信号，从而选中对应的单元。另一种是将一种代码转换成另一种代码，所以也称为代码转换器。

常用的集成二进制译码器有 CMOS 的（如 74HC138）和 TTL 的（如 74LS138）两种产品，两者在逻辑功能上没有区别，只是电性能参数不同。常用的集成七段显示译码器也有两种，一类输出高电平有效信号，用来驱动共阴极显示器，另一类输出低电平有效信号，以驱动共阳极显示器。

- 数据分配器：将公共数据线上的数据根据需要送到不同的通道上去，实现数据分配功能。数据分配器可以用唯一地址译码器实现。
- 数据选择器：经过选择，把多路数据中的一路数据选择传送到公共数据线上，作用相当于单刀多掷开关。常用的有 2 选 1、4 选 1、8 选 1、16 选 1 等。
- 数据比较器：对两个位数相同的二进制数进行比较，判断其大小关系，或判断两数是否相等。常用的有 4 位数字集成比较器 74LS85。

第三节 时序逻辑电路

一、基本概念和任务

在任何时刻，一个逻辑电路的输出信号不仅与该时刻电路的输入信号有关，而且还与电路过去的状态有关，这种电路称为时序逻辑电路，具备记忆功能。

时序电路可分为两大类：同步时序电路和异步时序电路。

- 同步时序电路：电路的状态仅仅在统一的信号脉冲（CP 时钟脉冲）控制下才同时变化一次。否则，即使能影响输出的输入信号发生变化，也不会改变电路的状态。
- 异步时序电路：没有统一的时钟脉冲，任何输入信号的变化都可能立刻引起电路状态的变化，此变化不一定同时发生。

时序逻辑电路的几个基本概念。

- 现态：正在讨论的状态称为现态，用符号 Q^n 表示。
- 次态：在 CP 脉冲作用下将要发生的状态，用符号 Q^{n+1} 表示。
- 状态函数：描述次态的方程，描述了该电路的主要特征。
- 状态表：用表格的方式表示时序电路中状态转换关系，容易由此得出状态函数。
- 状态图：用图形的方式表示时序电路中状态转换关系，直观、形象。
- 计数器：用来累计和寄存输入脉冲个数的时序逻辑部件。

同组合逻辑电路相类似，时序逻辑电路的学习也主要完成两类任务：时序逻辑电路的分析和时序逻辑电路的设计。

时序逻辑电路的分析步骤：

- (1) 根据已知电路，确定该时序电路属于同步时序还是异步时序。
- (2) 写出方程。方程包括输入端的驱动方程和输出端的状态方程。
- (3) 列出状态真值表。假定一个现态，代人状态函数，得到一个次态，逐个假定，列表。
- (4) 根据状态真值表作出状态迁移图，分析确定其功能。
- (5) 自启动能力的确定。上电后，无论当前处于何种状态，均能自动进入有效计数循环的能力即为自启动能力。否则，称无自启动能力。
- (6) 功能描述。可用文字概括或时序波形图反映。

通常情况下，时序逻辑电路的设计比组合逻辑电路要复杂，这里只介绍同步时序逻辑电路设计的一般步骤：

- (1) 根据设计要求和给定条件建立原始状态图。
- (2) 状态化简，求出最简状态图。
- (3) 状态编码（状态分配），各状态用二进制代码表示。
- (4) 确定触发器的类型和个数。
- (5) 求出电路的状态方程、驱动方程和输出方程。
- (6) 画出逻辑图并检查自启动能力。

实际上，时序电路之所以具备记忆功能，是因为电路中存在具有记忆功能的元件。而记忆元件都是由触发器担任的，对时序电路设计和分析的对象也主要是触发器。因此，本节重点介绍触发器。

二、触发器介绍

触发：指在时钟脉冲边沿作用下的状态刷新，具有记忆功能的电路对时钟信号的某一边沿敏感，而在其他时刻保持不变，不受输入信号变化的影响。根据不同电路结构的触发器对时钟脉冲的敏感边沿不同，可以分为上升沿触发和下降沿触发两种。

触发器：具有触发特性的存储单元电路。

触发器的逻辑功能：指次态与现态、输入信号之间的逻辑关系，这种关系可以用状态表、特征方程或状态图来描述。

触发器的基本性质：

- 具有两个稳定的状态，分别用二进制数的“1”和“0”表示。
- 由一个稳态到另一个稳态，必须有外界触发信号。
- 具有原码和反码两个输出信号端，要求原码≠反码。

目前应用的触发器主要有三种电路结构：主从触发器、维持阻塞触发器和边沿触发器。按照触发器状态转换的规则不同，通常分为RS触发器、D触发器、JK触发器、T触发器等集中逻辑功能类型。以下是各触发器的特征方程。

- RS触发器： $Q^{n+1} = S + \bar{R}Q^n$ $RS = 0$
- D触发器： $Q^{n+1} = D$
- JK触发器： $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$
- T触发器： $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

第二章 基础性实验

实验一 TTL 门电路功能测试

一、实验目的

1. 熟悉不同 TTL 门电路各自的逻辑功能。
2. 掌握 TTL 门电路逻辑功能的测试方法。
3. 熟悉 TTL 门电路在实际电路中的连接使用方法。

二、实验设备及器件

1. 实验箱
2. 74LS20 双四输入与非门
3. 74LS02 四二输入或非门
4. 74LS51 双 2-3 输入与或非门
5. 74LS86 四二输入异或门
6. 74LS00 四二输入与非门

三、实验内容与步骤

为了测试门电路的逻辑功能，门电路的输入端应接电平信号（考虑到改变输入电平的方便，通常接在电平开关上），输出端一般接发光二极管，以便能直接显示其逻辑状态。

1. 与非门逻辑功能测试

用 74LS20 双四输入与非门进行实验，其引脚图如图 2-1 所示。

(1) 按如图 2-2 所示接线。

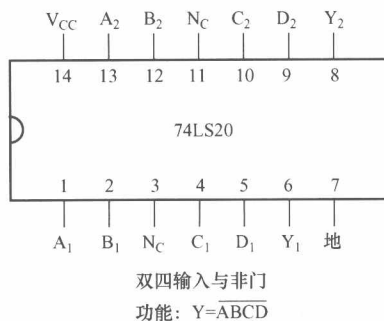


图 2-1 74LS20 引脚图

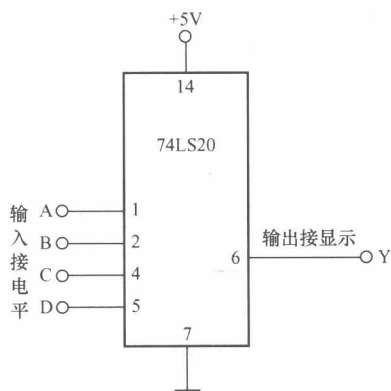


图 2-2 74LS20 测试接线图

(2) 根据表 2-1 内容，改变输入端 A、B、C、D 的电平状态，观察输出显示并将结果填入表中（分别测试上下两个四输入与非门），将实测结果应与理论值比对给出结论。

表 2-1 74LS20 测试比对表

输 入				输 出 Y		
A	B	C	D	理论值	实测值	
					下	上
0	0	0	0			
0	0	0	1			
0	0	1	1			
0	1	1	1			
1	1	1	1			

2. 或非门逻辑功能测试

用 74LS02 四二输入或非门进行实验，其引脚如图 2-3 所示。

(1) 按如图 2-4 所示接线。

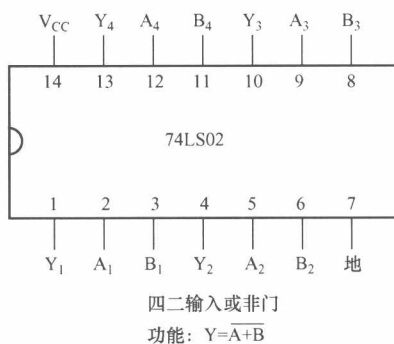


图 2-3 74LS02 引脚图

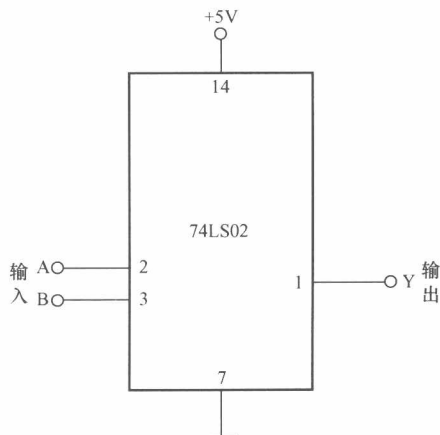


图 2-4 74LS02 测试接线图

(2) 根据表 2-2 的内容，改变输入量 A、B 的状态，观察相应输出端 Y 的状态，并将测试结果填入表中（分别测试 4 个或非门）。

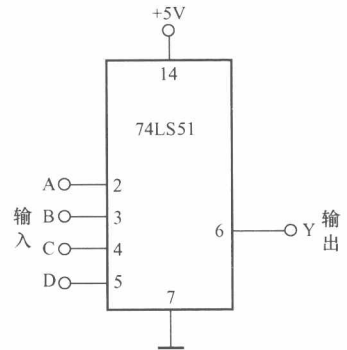
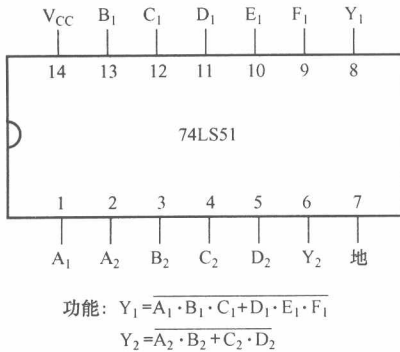
表 2-2 74LS02 测试比对表

输 入		输 出 Y				
A	B	理论值	实测值			
			左下	右下	左上	右上
0	0					
0	1					
1	0					
1	1					

3. 与或非门逻辑功能测试

用 74LS51 双 2-3 输入与或非门进行实验，其引脚如图 2-5 所示。

(1) 按如图 2-6 所示接线。



(2) 根据表 2-3 内容, 改变输入量 A、B、C、D 的状态, 观察对应输出端 Y_2 的状态, 并把测试结果记入表中。

表 2-3 74LS51 测试比对表

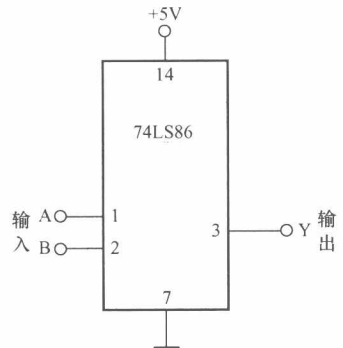
输 入				输 出 Y_2	
A	B	C	D	理论值	实测值
0	0	0	0		
0	0	0	1		
0	0	1	1		
0	1	1	1		
1	1	1	1		

(3) Y_1 的测试由学生自己绘制表格去完成。

4. 异或门逻辑功能测试

用 74LS86 四二输入异或门进行实验, 其引脚如图 2-7 所示。

(1) 按如图 2-8 所示接线。



(2) 根据表 2-4 内容, 改变输入量 A、B 的状态, 观察对应输出端 Y 的状态, 并把测试结果填入表中 (分别测试 4 个异或门)。

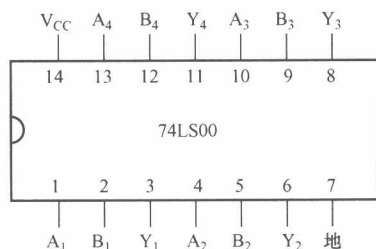
表 2-4

74LS86 测试比对表

输入		输出 Y_A				
A	B	理论值	实测值			
			左下	右下	左上	右上
0	0					
0	1					
1	0					
1	1					

5. 综合设计

利用 74LS00 与非门实现“与电路”、“或电路”、“或非电路”、“异或电路”，要求写出各种电路的逻辑表达式和真值表，画出逻辑图并在实验仪上加以验证。74LS00 芯片引脚如图 2-9 所示（注意：只允许使用 74LS00 这一种芯片去完成其他门电路的逻辑功能）。



四二输入与非门
功能： $Y=AB$

图 2-9 74LS00 引脚图

四、实验要求

1. 将实验结果填入各相应表中。
2. 分析各门电路的逻辑功能。
3. 独立完成实验，交出完整的报告。
4. 思考题：

(1) 与非门一个输入端接连续脉冲，其余端是何状态时允许脉冲通过，是何状态时禁止脉冲通过？

(2) 为什么异或门又称可控反相门？

实验二 组合逻辑电路

一、实验目的

1. 掌握组合逻辑电路的分析方法和设计方法
2. 验证半加器、全加器、半减器、全减器、奇偶校验器、原码/反码转换器逻辑功能。

二、实验设备及器件

- | | |
|-------------------|-----|
| 1. 实验箱（台） | 1 个 |
| 2. 万用表 | 1 块 |
| 3. 74LS00 四二输入与非门 | 3 片 |
| 4. 74LS86 四二输入异或门 | 1 片 |

三、实验内容与步骤

1. 分析半加器的逻辑功能

(1) 用两片 74LS00（引脚如图 2-9 所示）按如图 2-10 所示接线。74LS00 芯片 14 脚接 +5V，7 脚接地。

(2) 写出该电路的逻辑表达式，列真值表。

- (3) 按表 2-5 的要求改变 A、B 输入, 观测相应的 S、C 值并填入表 2-5 中。
 (4) 比较表 2-5 与理论分析列出的真值表, 验证半加器的逻辑功能。

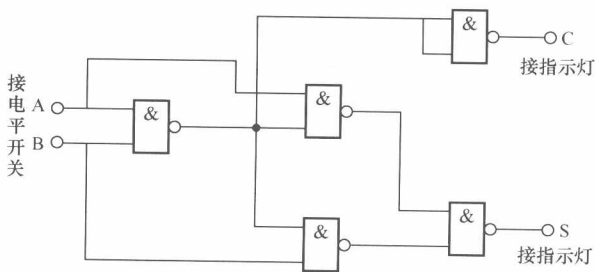


图 2-10 半加器逻辑功能测试电路图

表 2-5 半加器逻辑功能测试表

输 入		输 出	
A	B	S	C
0	0		
0	1		
1	0		
1	1		

2. 分析全加器的逻辑功能

(1) 用 3 片 74LS00 (引脚如图 2-9 所示) 按如图 2-11 所示接好线。74LS00 芯片 14 脚接 +5V, 7 脚接地。

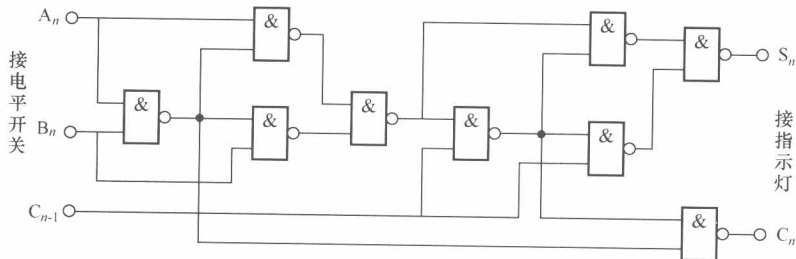


图 2-11 全加器的逻辑功能测试电路图

- (2) 分析该线路, 写出 S_n 、 C_n 的逻辑表达式, 列出其真值表。
 (3) 根据表 2-6 的输入量利用开关改变 A_n 、 B_n 、 C_{n-1} 的输入状态, 借助指示灯或万用表观测 S_n 、 C_n 的值并填入表 2-6 中。
 (4) 将表 2-6 的值与理论分析列出的真值表加以比较, 验证全加器的逻辑功能。

表 2-6

全加器逻辑功能测试表

输 入			输 出	
A_n	B_n	C_{n-1}	S_n	C_n
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3. 分析半减器的逻辑功能

(1) 用两片 74LS00 (引脚如图 2-9 所示) 按如图 2-12 所示接好线。74LS00 芯片 14 脚接 +5V, 7 脚接地。

(2) 分析该线路, 写出 D、C 的逻辑表达式, 列出真值表。

(3) 按表 2-7 改变开关 A、B 状态, 观测 D、C 的值并填入表 2-7 中。

(4) 将表 2-7 与理论分析列出的真值表进行比较, 验证半减器的逻辑功能。

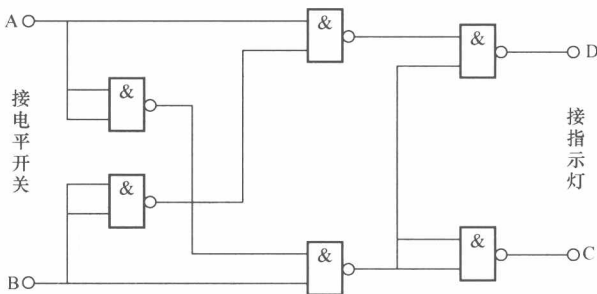


图 2-12 半减器逻辑功能测试线路图

表 2-7 半减器逻辑功能测试表

输 入		输 出	
A	B	D	C
0	0		
0	1		
1	0		
1	1		

4. 分析全减器的逻辑功能

(1) 用一片 74LS86 (引脚如图 2-7 所示) 和两片 74LS00 (引脚如图 2-9 所示) 按如图 2-13 所示接线。各片的 14 脚接 +5V, 7 脚接地。

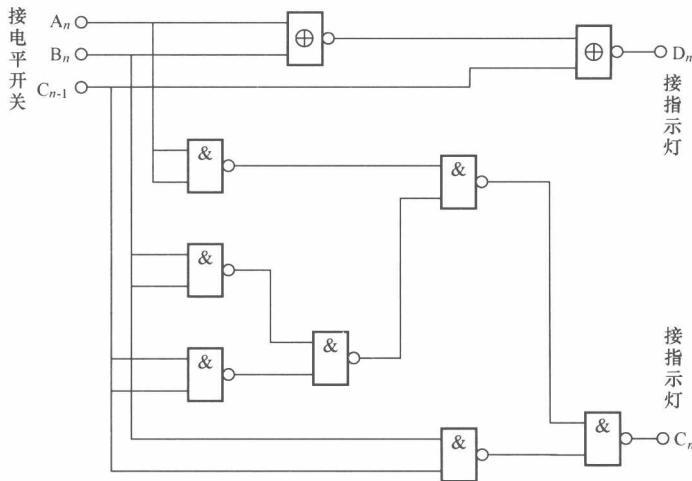


图 2-13 全减器的逻辑功能测试线路图

(2) 分析该线路, 写出 D_n 、 C_n 的逻辑表达式, 列出真值表。

(3) 按表 2-8 改变 A_n 、 B_n 、 C_{n-1} 的开关状态, 借助万用表或指示灯观测输出 D_n 、 C_n 的状态并填入表 2-8 中。

(4) 对比表 2-8 和理论分析列出的真值表, 验证全减器的逻辑功能。