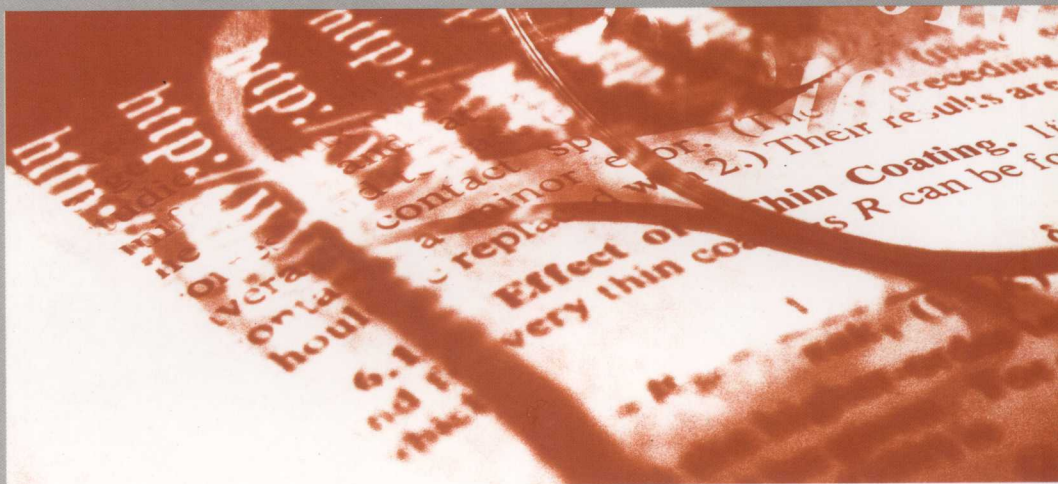


● 高等学校教材

TMS320C55x DSP原理及其应用



代少升 黄俊 申敏 高陈强 夏绪玖 编著

TMS320C55x DSP Yuanli Jiqi Yingyong



HIGHER EDUCATION PRESS BEIJING

内容简介

本书主要介绍 TMS320C55x 系列 DSP, 重点阐述了 DSP 的集成开发环境、硬件结构、汇编指令、存储结构、寻址方式、片内外设以及在信号处理中的典型应用。除此之外, 还介绍了 TI 最新的双核处理器 OMAP5912 的功能和特点。书中精选了一维信号、二维信号处理实例, 实例中给出了工作原理、程序流程及调试过程, 适合于初学者按照书中的步骤动手实验, 在实践中掌握 DSP 应用技术。

本书是为通信工程、电子信息、自动化、计算机等相关专业编写的教材, 适合本科生、研究生和工程技术人员等学习和研究使用, 也可以作为 TMS320C55x DSP 应用开发的参考书籍。

图书在版编目 (CIP) 数据

TMS320C55x DSP 原理及其应用/代少升等编著. —北京: 高等教育出版社, 2010. 12

ISBN 978 - 7 - 04 - 030905 - 8

I. ①T… II. ①代… III. ①数字信号 - 信号处理 - 数字通信系统, TMS320C55x DSP - 高等学校 - 教材 IV. ①TN914. 3

中国版本图书馆 CIP 数据核字 (2010) 第 200860 号

策划编辑 吴陈滨
责任绘图 尹文军
责任印制 张泽业

责任编辑 王丹丹
版式设计 余 杨

封面设计 张志奇
责任校对 王 雨

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100120

经 销 蓝色畅想图书发行有限公司
印 刷 北京市联华印刷厂

开 本 787 × 1092 1/16
印 张 14.5
字 数 350 000

购书热线 010 - 58581118
咨询电话 400 - 810 - 0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>
网上订购 <http://www.landraco.com>
<http://www.landraco.com.cn>
畅想教育 <http://www.widedu.com>

版 次 2010 年 12 月第 1 版
印 次 2010 年 12 月第 1 次印刷
定 价 23. 10 元

本书如有缺页、倒页、脱页等质量问题, 请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 30905 - 00

前 言

随着数字信号处理技术的飞速发展, DSP 器件逐步成为图像、语音、通信、雷达、声呐、医学等信号实时处理的核心器件。数字信号处理器具有运算速度快、可灵活编程及接口集成方便等特点,因而在电子产品的开发、应用及升级换代中发挥着越来越重要的作用。目前有关 DSP 的书籍较多,大多是介绍 DSP 器件的结构和工作原理,理论知识过多,应用方法讲述太少,而阐述双核 DSP 器件的书籍更是少之又少。为了适应 DSP 技术的飞速发展,满足市场对 DSP 开发和应用人才的需求,让更多的本科生、研究生和工程技术人员能够尽快学习、掌握 DSP 开发和应用方法,促进我国 DSP 技术水平的不断提高,我们编写了这本教材。本书特色如下。

(1) 压缩了传统教材的理论内容讲解,重点阐述了 DSP 外围电路和开发环境搭建过程,以仿真实验代替实物实验使其更加适合学生实践和现有教学学时的需要。由于仿真实验不受课堂学时的限制,不受硬件仿真器和开发平台的限制,学生直接利用 CCS 便可进行大量的 DSP 编程实践,有利于加深对 DSP 原理和特点的理解,掌握难度较大的 DSP 编程设计方法和技能。

(2) 介绍了 DSP 双核器件 OMAP5912。书中对 TI 公司最新的 DSP 器件 OMAP5912 的功能和特点进行了介绍,重点阐述了 DSP 和 ARM 处理器的共享外设。

(3) 充分结合编者多年的科研和教学工作。本书在硬件结构、汇编指令、片内外设及信号处理实例挑选的过程中结合了作者多年的 DSP 开发工作和经验,文字简练、通俗易懂、便于自学。

本书共分 8 章。第 1、2 章在介绍 DSP 特点的基础上,详细阐述了 DSP 芯片结构和 CPU 外围电路;第 3、4、5、6 章分别介绍了 DSP 的存储结构与寻址方式、程序流程控制、汇编指令及 DSP 集成开发环境;第 7 章精选了 DSP 的一维信号和二维信号的处理实例,相应的实验代码可以在 DSP 原理与应用课程网站(网址: <http://202.202.43.6/dsp>) 中下载;第 8 章阐述了 OMAP5912 双核处理器的功能和特点。

在本书的编写过程中,得到了重庆邮电大学通信与信息工程学院申敏教授、黄俊博士、高陈强博士、夏绪玖老师及多位研究生同学的支持。此外,北京合众达、北京瑞泰创新公司为本书的编写提供了大量 TI DSP 芯片的最新资料,在此一并表示感谢。

本书在编写和出版过程中得到了西安交通大学张太镒教授的宝贵意见以及高等教育出版社的大力支持,在此表示诚挚的谢意。

由于编者水平有限,编写时间紧迫,书中难免存在错误和不当之处,敬请读者批评指正。

编 者

2010 年 9 月

目

录

第1章 数字信号处理和 DSP 系统	1
1.1 实时数字信号处理技术的发展	1
1.2 数字信号处理器的特点	1
1.3 DSP 系统的设计	2
1.3.1 系统设计流程	2
1.3.2 DSP 芯片的选择	3
1.4 DSP 的典型应用	4
第2章 DSP 芯片结构和 CPU 外围电路	6
2.1 DSP 芯片结构	6
2.1.1 TMS320C55x 处理器的特点	6
2.1.2 TMS320C55x 中央处理单元	7
2.1.3 TMS320VC5509 的构成	8
2.2 时钟电路	9
2.2.1 PLL 控制寄存器	9
2.2.2 时钟模式寄存器	11
2.2.3 工作模式	12
2.2.4 使用方法	12
2.2.5 举例	12
2.3 通用定时器	13
2.3.1 结构框图	13
2.3.2 时钟部分	13
2.3.3 计数器部分	14
2.3.4 通用定时器的控制	15
2.3.5 举例	16
2.4 外部存储器接口 EMIF	17
2.4.1 概述	17
2.4.2 与外部存储器的接口方法	18
2.4.3 应用举例	28
2.5 主机接口 (EHPI)	28
2.5.1 EHPI 基本结构	28

2.5.2 EHPI 对 DSP 复位的影响	30
2.5.3 接口时序	30
2.5.4 应用举例	32
2.6 多通道缓冲串口 McBSP	32
2.6.1 概述	32
2.6.2 基本结构	33
2.6.3 工作模式	36
2.6.4 收发格式与参数设置	37
2.6.5 异常处理	39
2.6.6 McBSP 寄存器说明	40
2.6.7 应用举例	44
2.7 通用输入/输出口 GPIO	46
2.7.1 GPIO 概述	46
2.7.2 上电模式设定	46
2.7.3 其他 GPIO	46
2.8 DMA 控制器	46
2.8.1 基本结构	46
2.8.2 EHPI 通道	47
2.8.3 DMA 通道传输配置	48
2.8.4 寄存器说明	52
2.8.5 应用举例	54
2.9 片内存储器与 DSP 自举	55
2.9.1 DARAM	55
2.9.2 SARAM	55
2.9.3 ROM 与 DSP 自举	56
2.9.4 应用举例	57

第3章 存储结构与寻址方式	58
3.1 存储结构	58
3.1.1 存储映射	58
3.1.2 程序空间	59
3.1.3 数据空间	60
3.1.4 I/O 空间	64

3.2 寻址方式	65	5.4.6 程序控制指令	143
3.2.1 绝对寻址方式	65	第6章 DSP 集成开发环境	149
3.2.2 直接寻址方式	66	6.1 CCS 的安装与设置	149
3.2.3 间接寻址方式	69	6.1.1 系统配置要求	149
3.2.4 循环寻址	74	6.1.2 CCS 软件的安装	150
3.2.5 寄存器位寻址	75	6.2 CCS 的基本操作	157
3.2.6 I/O 空间寻址	75	6.2.1 概述	157
第4章 程序流程控制	78	6.2.2 CCS 的窗口、主菜单和工 具条	157
4.1 跳转(分支)	78	6.2.3 工程文件的建立	159
4.2 指令重复	79	6.2.4 文件编辑	160
4.3 条件执行	81	6.2.5 构建工程	160
4.4 中断	81	6.2.6 利用 CCS 调试程序	161
4.4.1 中断矢量及其优先级	82	6.2.7 断点设置	163
4.4.2 中断管理寄存器	83	6.2.8 探针断点的使用	164
4.4.3 可屏蔽中断	85	6.2.9 内存、寄存器和变量操作	164
4.4.4 非屏蔽中断	86	第7章 TMS320C55x DSP 应用 实例	167
4.4.5 DSP 复位	87	7.1 CCS 软件应用及实验	167
4.5 程序调用	87	7.1.1 CCS 入门	167
4.5.1 无条件程序调用	87	7.1.2 编写一个以 C 语言为基础 的 DSP 程序	171
4.5.2 条件程序调用	88	7.1.3 编写一个以汇编(ASM) 语言为基础的 DSP 程序	176
4.5.3 返回	88	7.1.4 编写一个汇编语言和 C 语 言混合的 DSP 程序	180
4.6 堆栈	89	7.2 DSP 算法实验	184
4.6.1 数据堆栈和系统堆栈	89	7.2.1 有限冲激响应数字滤波器 (FIR) 算法实验	184
4.6.2 堆栈配置	89	7.2.2 快速傅里叶变换(FFT) 算法	187
4.6.3 自动前后关系转换	91	7.3 通信与语音信号采集与分析 实验	190
第5章 TMS320C55x DSP 的汇编 指令	93	7.3.1 语音采集和放送	190
5.1 TMS320C55x 结构	95	7.3.2 用 GEL 控制的语音信号 FIR 数字滤波	193
5.2 状态位与执行条件	96		
5.3 TMS320C55x 指令的并行执行	99		
5.4 TMS320C55x DSP 的汇编指令	102		
5.4.1 算术运算指令	102		
5.4.2 位操作指令	124		
5.4.3 扩展辅助寄存器操作指令	129		
5.4.4 逻辑运算指令	130		
5.4.5 MOVE 操作指令	132		

7.4 数字图像信号处理实验	195	8.2 OMAP5912 功能介绍	207
7.4.1 数字图像直方图统计	195	8.2.1 MPU 存储区映射	208
7.4.2 数字图像的锐化 (拉普拉斯算子)	199	8.2.2 DSP 存储区映射	210
第8章 OMAP5912 双核处理器	204	8.2.3 MPU 和 DSP 专用外设	211
8.1 OMAP5912 简介	204	8.2.4 MPU 公共外设	213
8.1.1 TMS320C55x DSP 内核	206	8.2.5 DSP 公共外设	217
8.1.2 ARM926EJ-S RISC 处理器	207	8.2.6 MPU 和 DSP 共享外设	218
		参考文献	223

第1章 数字信号处理和 DSP 系统

数字信号处理器 DSP (Digital Signal Processor) 是伴随着微电子学、数字信号处理技术以及计算机技术等学科的发展而产生的, 是体现这三个学科综合科研成果的新器件。由于它的特殊结构设计和强大的处理能力, 可以实时实现数字信号处理中的一些理论和算法, 因而在计算机应用领域得到了广泛的使用。

1.1 实时数字信号处理技术的发展

20 世纪 70 年代末 80 年代初, AMI 公司的 S2811 芯片和 Intel 公司的 2902 芯片的诞生标志着 DSP 芯片的开端。随着半导体集成电路的飞速发展、数字信号处理技术高速实时的要求和数字信号处理应用领域的不断延伸, 在 20 世纪 80 年代初至今的二十多年中, DSP 芯片取得了划时代的发展。从运算速度看, 乘法累加器 (MAC) 时间已从 20 世纪 80 年代的 400 ns 降低到目前的 10 ns 以下, 数据处理能力提高了几十倍。指令处理速度从 20 世纪 80 年代初的 5 MIPS (每秒执行百万条指令) 增加到现在的 9 600 MIPS 以上。DSP 芯片内部的关键部件乘法器从 20 世纪 80 年代初的占模片区的 40% 下降到目前的 5% 以下, 片内 RAM 也增加了一个数量级以上。从制造工艺看, 20 世纪 80 年代初采用 4 μm 的 NMOS 工艺, 而现在则采用深亚微米 CMOS 工艺, DSP 芯片的引脚数目从 80 年代初的最多 64 个增加到现在的 300 个以上, 引脚数目的增多使得芯片应用的灵活性增加, 使外部存储器的扩展和各个处理器间的通信更为方便。和早期的 DSP 芯片相比, 现在的 DSP 芯片有浮点和定点两种数据格式, 浮点 DSP 芯片能进行浮点运算, 使运算精度极大地提高。DSP 芯片的成本、体积、工作电压、重量和功耗较早期的 DSP 芯片有了很大程度的下降。在 DSP 开发系统方面, 软件和硬件开发工具不断完善。目前某些芯片具有自己相应的集成开发环境, 它们支持断点的设置和程序存储器、数据存储器和 DMA 的访问及程序的单独运行和跟踪等, 并可以采用高级语言编程, 有些厂家和一些软件开发商为 DSP 应用软件的开发准备了通用的函数库、各种算法子程序以及各种接口程序, 这使得应用软件的开发更为方便, 开发周期大大缩短。

1.2 数字信号处理器的特点

DSP 是一种独特的微处理器, 有自己的完整指令系统, 是以数字信号来处理大量信息的器件。一个数字信号处理器在一块不大的芯片内包括有控制单元、运算单元、各种寄存器以及一定数量的存储单元等, 在其外围还可以连接若干存储器, 并可以同一定数量的外部设备互相通信, 具有软、硬件的全面功能, 本身就是一个典型的微型计算机。DSP 采用哈佛结构, 即数据总线和地址总线分开, 使程序和数据分别存储在两个分开的空间, 允许取指令和执行指令完全

重叠。也就是说在执行上一条指令的同时就可取出下一条指令，并进行译码，这大大地提高了微处理器的速度。它不仅具有可编程性，而且其实时运行速度可达每秒数以十亿条复杂指令程序，远远超过通用微处理器，是数字化电子世界中日益重要的计算机芯片。它强大的数据处理能力和高速的运行速度，是最值得称道的两大特色。由于它运算能力很强，速度很快，体积很小，而且采用软件编程具有高度的灵活性，因此为从事各种复杂的应用提供了一条有效途径。根据数字信号处理的要求，DSP 芯片一般具有如下主要特点。

- (1) 在一个指令周期内可完成一次乘法和一次加法。
- (2) 程序和数据空间分开，可以同时访问指令和数据。
- (3) 片内具有快速 RAM，通常可通过独立的数据总线在两块内存中同时访问。
- (4) 具有低开销或无开销循环及跳转的硬件支持。
- (5) 快速的中断处理和硬件 I/O 支持。
- (6) 具有在单周期内操作的多个硬件地址产生器。
- (7) 可以并行执行多个操作。
- (8) 支持流水线操作，使取指、译码和执行等操作可以重叠执行。

1.3 DSP 系统的设计

1.3.1 系统设计流程

使用 DSP 芯片进行系统开发的一般流程如图 1-1 所示，其设计步骤如下。

- (1) 确定 DSP 系统的性能指标。根据具体应用需求来确定 DSP 系统设计的性能指标。
- (2) 核心算法模拟和验证阶段。为了得到最佳的系统性能，在这个阶段应当确定最佳的处理算法。例如，为实现实时图像处理和显示，需要针对具体的目标实现进行核心算法的选择

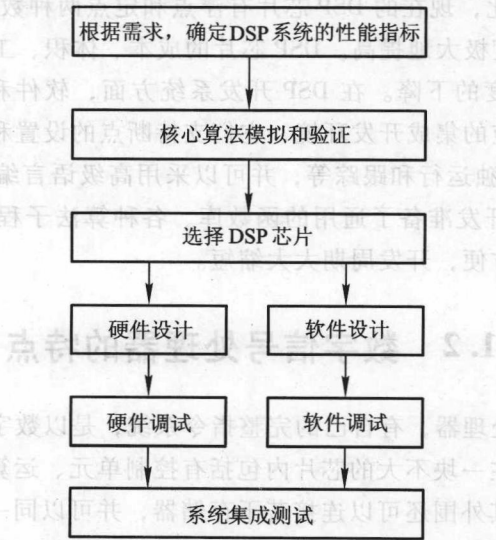


图 1-1 DSP 系统开发流程

和模拟,最终找到既能满足系统设计的性能指标,又能实现较少运算量的算法。

(3) 选择 DSP 芯片。根据算法的运算速度、运算精度、存储器需求等指标选择 DSP 芯片。

(4) 设计 DSP 系统。此阶段包括硬件设计和软件设计两个方面。硬件设计主要根据系统性能指标要求设计 DSP 芯片及其外围电路(如模拟信号的滤波、放大、A/D 转换、逻辑控制、数据存储、输出显示等电路)。软件设计主要根据系统要求和所选择的 DSP 芯片编写相应的 DSP 程序。DSP 程序的编写可以采用高级语言和汇编语言混合编程的方法来进行,主要程序框架由高级语言来编写,耗时较多的模块可以采用汇编语言来编写。

(5) 硬件和软件调试阶段。硬件调试一般需要借助万用表、示波器、信号发生器、稳压电源及硬件仿真器等工具进行。软件调试一般需要借助 DSP 集成开发环境 CCS、软件模拟器、DSP 硬件平台及硬件仿真器等工具进行。

(6) 系统集成测试阶段。系统软、硬件调试完成后,将软件下载到 DSP 硬件平台上进行系统集成测试,评估系统设计是否达到了预期的性能指标。

1.3.2 DSP 芯片的选择

在设计 DSP 应用系统过程中,选择 DSP 芯片是非常重要的一个环节。只有选定了 DSP 芯片,才能进一步设计其外围电路。而 DSP 芯片的选择应根据实际的应用系统需求来确定。不同的 DSP 应用系统由于应用场合、应用目的的不同,对 DSP 芯片的选择也是不同的。通常需要考虑以下因素。

(1) DSP 芯片的运算速度。运算速度是 DSP 芯片的一个最重要的性能指标,也是选择 DSP 芯片时需要考虑的一个主要因素。DSP 芯片的运算速度可以用以下几种性能指标来衡量。

- 指令周期:即执行一条指令所需的时间,通常以 ns(纳秒)为单位。如果 DSP 芯片在一个时钟周期内可以完成一条指令,则其指令周期等于 DSP 芯片主频的倒数。

- MAC 时间:即执行一次乘加运算的时间。大多数 DSP 芯片可以在一个指令周期内完成一次乘法和一次加法运算。

- FFT 执行时间:即执行一个 N 点 FFT 程序所需时间。由于 FFT 运算在数字信号处理中很有代表性,因此 FFT 执行时间常作为衡量 DSP 芯片运算速度的一个指标。

- MIPS:即每秒执行百万条指令。

- MOPS:即每秒执行百万次操作。

- MFLOPS:即每秒执行百万次浮点操作。

- BOPS:即每秒执行十亿次操作。

(2) DSP 芯片的运算精度。一般地,浮点 DSP 芯片运算精度要高于定点 DSP 芯片,但耗电量和价格也随之增加。一般定点 DSP 芯片的字长为 16 位或 24 位,浮点 DSP 芯片的字长为 32 位。累加器都为 40 位。虽然适当地设计算法可以提高、保证运算精度,但要相应地增加程序复杂度和运算量。所以运算精度要求是个折中问题,需要在算法确定阶段予以考虑。

(3) DSP 芯片的硬件资源。不同的 DSP 芯片所提供的硬件资源是不相同的,如片内 RAM、ROM 的数量,外部可扩展的程序和数据空间,总线接口, I/O 接口等。即使是同一系列的 DSP 芯片(如 TI 的 TMS320C55x 系列),系列中不同 DSP 芯片也具有不同的内部硬件资源,可以适应不同的需要。

(4) DSP 芯片的功耗。在某些 DSP 应用场合,功耗也是一个需要特别注意的问题,如便携式的 DSP 设备、手持设备、野外应用的 DSP 设备等都对功耗提出特殊的要求。目前已有多个厂家提供多种规格为 3.3 V 的低功耗高速 DSP 芯片,DSP 内核的工作电压已低至 1.2 V。

(5) DSP 芯片的开发工具。在 DSP 系统的开发过程中,开发工具是必不可少的。如果没有开发工具的支持,要想开发一个复杂的 DSP 系统几乎是不可能的。如果有功能强大的开发工具的支持,如 C 语言支持,则开发的时间就会大大缩短。所以,在选择 DSP 芯片的同时必须注意其开发工具的支持情况,包括软件和硬件开发工具。

(6) DSP 芯片的价格。DSP 芯片的价格也是选择 DSP 芯片时需要考虑的一个重要因素。如果采用价格昂贵的 DSP 芯片,即使性能再高,其应用范围也会受到限制,尤其是民用产品。因此根据实际系统的应用情况,需要确定一个价格适中的 DSP 芯片。

(7) 其他因素。除了上述因素外,选择 DSP 芯片还应考虑到封装形式、质量标准、供货情况、生命周期等。有的 DSP 芯片可能有 DIP、PGA、PLCC、PQFP 等多种封装形式。有些 DSP 系统可能最终要求的是工业级或军用级标准,在选择时就需要注意到所选的芯片是否有工业级或军用级的同类产品。如果所设计的 DSP 系统不仅仅是一个实验系统,而是需要批量生产并可能有几年甚至十几年的生命周期,那么需要考虑 DSP 芯片的供货是否也有同样甚至更长的生命周期等。

1.4 DSP 的典型应用

DSP 的应用几乎遍及整个电子领域,其主要应用市场为通信、计算机、消费类电子产品等领域。通信市场是牵动 DSP 发展的火车头,通信领域产品的用量约占总需求量的 85%。常见的典型应用如下。

(1) 通用数字信号处理。包括数字滤波、卷积、相关、Hilbert 变换、FFT、自适应滤波、窗函数、DCT、谱分析、模式匹配、加密和波形发生器等,可用到数字信号处理技术的各类系统及产品中,例如,示波器、信号发生器、通信设备等。

(2) 通信。包括回音消除、高速调制解调器、数字编码/解码、自适应均衡器、传真数字留言机、程控交换、数字基站、可视电话、移动电话、卫星通信设备、保密通信设备、IP 电话、数字广播和软件无线电等。

(3) 语音处理。包括语音编码、语音识别、语音鉴别、语音合成、语音增强和语音信箱等。

(4) 图像/图形处理。包括立体三维图形处理、宽视角图像校正、机器人视觉、图像压缩及变换、运动估计、运动补偿、模式识别、图像增强等。

(5) 军事用途。包括雷达探测、雷达成像、声呐信号处理、导航及制导系统、火控系统、搜索与跟踪、联络设备、保密通信和电子对抗等。

(6) 医学。包括便携式健康监测产品、助听助视设备、内嵌人造器官、远程医疗设备、实时医疗仪表、核磁共振仪、红外热成像诊断仪等。

(7) 自动化仪表和测试设备。包括数控机床、机器人生产线、数字示波器、逻辑分析仪、信号发生器、故障诊断设备和信令分析仪等。

第2章 DSP 芯片结构和 CPU 外围电路

本章简单介绍 TMS320C55x 的芯片结构,并在这个基础上详细介绍 TMS320VC5509 片内的 CPU 外围电路。这些外围电路主要是:时钟电路、定时器、多通道缓冲串口 McBSP、主机接口 EHPI、外部存储器接口 EMIF、通用输入/输出 GPIO、片内存储器和 DMA 控制器。

2.1 DSP 芯片结构

2.1.1 TMS320C55x 处理器的特点

TMS320C55x 处理器系列是针对低功耗、高性能的高速实时信号处理而专门设计的定点 DSP,广泛应用于无线通信系统设备中。TMS320C55x 处理器的 CPU 结构如图 2-1 所示。TMS320C55x 通过增加功能单元,增强了 DSP 的运算能力,而且性能更好,功耗更低,是目前 TMS320 家族中最省电的芯片。这些特性使 TMS320C55x 更适合在数据速率高、运算量大,又要求功耗低的 2.5 G 或 3 G 无线通信中应用。

TMS320C55x 处理器由中央处理单元(CPU)、接口控制器、存储器和多种接口电路构成,目前已形成了包括 TMS320VC5510、TMS320VC5509 和 TMS320VC5502 等型号的 TMS320C55x 定点 DSP 系列。

TMS320C55x 系列 DSP 的 CPU 具有下列特点。

(1) 采用改进的哈佛结构。具有一条读程序数据总线(PB)、5 条数据总线(BB、CB、DB、EB、FB)和与它们对应的 6 条地址总线(PAB、BAB、CAB、DAB、EAB、FAB),提高了性能和操作的灵活性。

(2) 40 位和 16 位的算术逻辑单元(ALU)各一个、一个 40 位的移位器(shifter)、四个 40 位的累加器(AC0、AC1、AC2 和 AC3)以及四个临时寄存器(T0、T1、T2 和 T3),支持 32 位或双 16 位的运算。

(3) 17×17 位的硬件乘法器和一个 40 位专用加法器的组合(MAC)两个通过读总线(BB)连接在一起,所以 TMS320C55x 支持乘法指令的并行执行,因而其性能(MIPS)更高。

(4) 比较、选择和存储等单元能够加速 Viterbi 译码的执行。

(5) TMS320C55x 的数据空间和程序空间在物理上为同一空间,采用统一编址,淡化了“页(page)”的概念。访问时,也无需专门的信号来指示,所以编程更方便,简单。但由此付出的代价是,辅助寄存器需扩展为 23 位(TMS320C54x 为 16 位),如 XCDP、XAR0、XAR1、…、XAR7。因此,在指令方面新增了操作这些扩展辅助寄存器的指令,如 AMOV 等。

(6) 单独的数据地址产生单元(DAGEN)和程序地址产生单元(PAGEN),能够同时进

行三个读操作和一个写操作。这种优化的结构,使 TMS320C55x 能在不引起硬件资源的冲突下支持一定的指令并行,如读操作数和写操作数的同时执行,读操作数和乘法的同时执行等。

TMS320C55x 不仅增加了硬件资源,也优化了资源的管理,所以性能得到了大大的提高,其处理能力可达 400 ~ 800 MIPS,被广泛应用于移动通信终端设备中。

2.1.2 TMS320C55x 中央处理单元

中央处理单元 (CPU) 的一般工作原理是:先从程序存储器读取指令,然后进行指令译码,并根据译码结果去执行指令规定的动作。如果使多条指令连续执行,就能完成一个数据处理任务。TMS320C55x 的 CPU 同样是通过取指、译码和执行来完成信号处理任务。为了便于管理和使用丰富的硬件资源,TMS320C55x 依据功能的不同将其 CPU 分为 4 个主要单元,即指令缓冲单元 (Instruction Buffer Unit, 简称 I 单元)、程序流程单元 (Program Flow Unit, 简称 P 单元)、地址数据流程单元 (Address-data Flow Unit, 简称 A 单元) 和数据计算单元 (Data Computation Unit, 简称 D 单元),如图 2-1 所示。

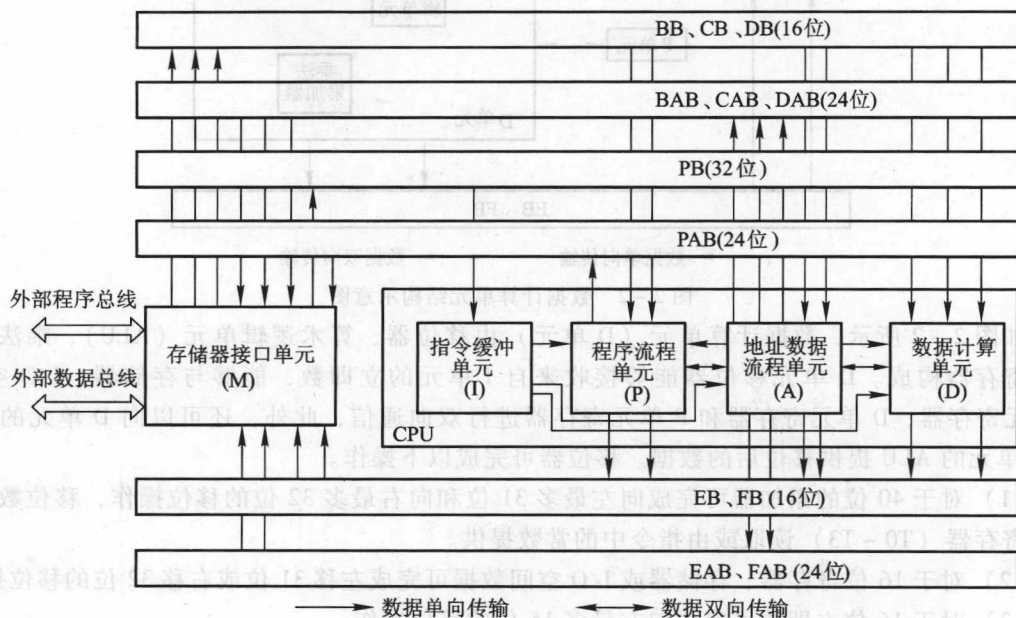


图 2-1 TMS320C55x 处理器的 CPU 结构示意图

由图 2-1 可知, TMS320C55x 有 1 条 32 位的读程序数据总线 (PB)、5 条 16 位的数据总线 (BB、CB、DB、EB、FB) 和 6 条 24 位的程序及数据地址总线分别与 CPU 相连。这些总线除 B 总线外,其余的都可以通过存储器接口单元同 DSP 外部程序及数据总线相连,实现 CPU 对外部存储器的访问。这种并行的多总线结构,使 TMS320C55x 能在一个 CPU 周期内完成一个 32 位程序代码的读、3 个 16 位数据的读和 2 个 16 位数据的写。

在这些总线中,32 位的读程序数据总线 (PB) 和 24 位的读程序地址总线 (PAB) 配对使用,CPU 通过它们读取指定存储器单元内的程序代码,并送到 CPU 的指令缓冲单元 I。

3 条 24 位的读数据地址总线 (BAB、CAB、DAB) 与 3 条 16 位的读数据数据总线 (BB、CB、DB) 配对使用,即 BAB 对应 BB、CAB 对应 CB 和 DAB 对应 DB。地址总线指定数据空间

或 I/O 空间的地址，然后将该地址的数据通过数据总线传到 CPU 的各功能单元。其中，C 总线和 D 总线都与 P 单元、A 单元和 D 单元相连，而 B 总线只与 D 单元相连，用于完成从片内存储器到 D 单元 2 个乘累加器（MAC）的数据传送，另外某些特殊指令也会在同一时间使用 CB、DB 和 BB 来读取 3 个操作数。

2 条 24 位的写数据地址总线（EAB、FAB）与 2 条 16 位的写数据数据总线（EB、FB）配对使用，即 EAB 对应 EB、FAB 对应 FB。CPU 的功能单元通过数据总线，将数据传送到地址总线指定的数据空间或 I/O 空间。

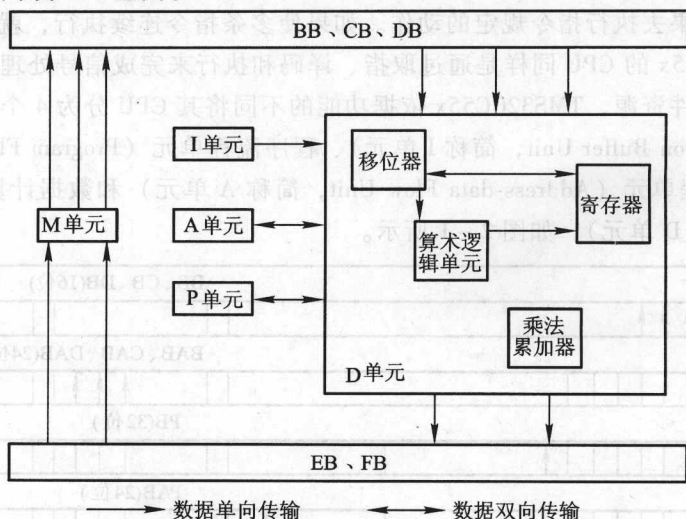


图 2-2 数据计算单元结构示意图

如图 2-2 所示，数据计算单元（D 单元）由移位器、算术逻辑单元（ALU）、乘法累加器和寄存器构成。D 单元移位器能够接收来自 I 单元的立即数，能够与存储器、I/O 空间、A 单元寄存器、D 单元寄存器和 P 单元寄存器进行双向通信，此外，还可以向 D 单元的 ALU 和 A 单元的 ALU 提供移位后的数据。移位器可完成以下操作。

(1) 对于 40 位的累加器可完成向左最多 31 位和向右最多 32 位的移位操作，移位数可从临时寄存器（T0 ~ T3）读取或由指令中的常数提供。

(2) 对于 16 位寄存器、存储器或 I/O 空间数据可完成左移 31 位或右移 32 位的移位操作。

(3) 对于 16 位立即数可完成向左最多 15 位的移位操作。

D 单元的 40 位算术逻辑单元可完成以下操作。

(1) 完成加、减、比较、布尔逻辑运算和绝对值运算等操作。

(2) 能够在执行一个双 16 位算术指令时同时完成两个算术操作。

(3) 能够对 D 单元的寄存器进行设置、清除等位操作。

两个 MAC 支持乘法累加和乘减操作。在一个周期内，每个 MAC 可同时完成 17×17 位的乘法和 40 位的加法或减法。MAC 进行的操作会影响 P 单元状态寄存器中的标志位。

D 单元的寄存器包括 4 个 40 位累加器 AC0 ~ AC3 和两个 16 位过渡寄存器 TRN0、TRN1。

2.1.3 TMS320VC5509 的构成

下面以 TMS320VC5509 DSP 为例，重点介绍这些 CPU 外围电路的构成、工作原理及控制

方法等。

TMS320VC5509 采用图 2-3 所示的结构, 由 CPU 和外围电路构成。CPU 在上节已经介绍, 外围电路是指除 CPU 以外集成在 DSP 芯片内部的一些功能单元和外部接口, 包括: 时钟电路、定时器、多通道缓冲串口 McBSP、主机接口 EHPI、外部存储器接口 EMIF、通用输入/输出 GPIO、片内存储器和 DMA 控制器等。

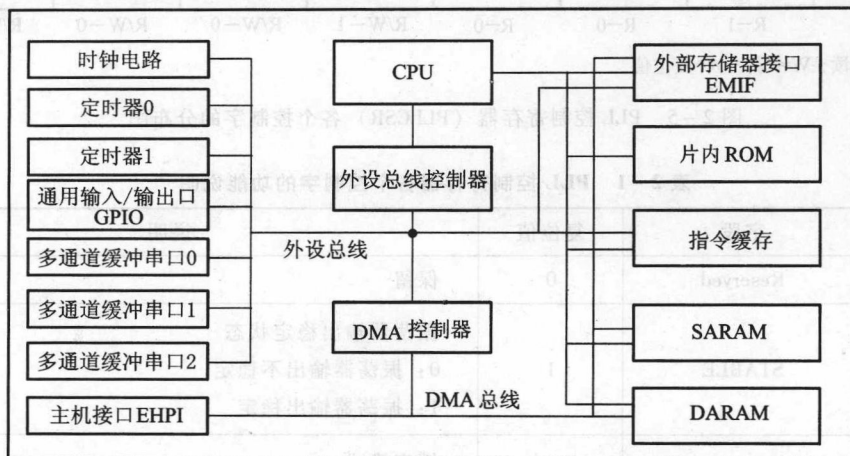


图 2-3 TMS320VC5509 的内部结构

TMS320VC5509 的时钟电路等片内外设通过外设总线互连, 并由外设总线控制器控制。同时, 外设总线又与 DMA 控制器相连, 使外设中的多通道缓冲串口和 GPIO 能同片内外部存储器进行 DMA 传输。片内存储器和主机接口 (EHPI) 都与 DMA 控制器相连, 使主机能通过 EHPI 访问 DSP 内部的 RAM 和部分外部存储器。

2.2 时钟电路

TMS320VC5509 DSP 内部有一个时钟电路。该时钟电路由一个数字锁相环 (DPLL) 和一个时钟模式寄存器 (CLKMD) 组成, 如图 2-4 所示。在时钟模式寄存器的控制下, 数字锁相环能对外部输入时钟进行分频、倍频和锁相, 为 CPU 及其外围电路提供工作时钟。

TMS320VC5509 DSP 具有一个内部晶体振荡器。DSP 时钟产生需要将这个内部晶体振荡器外接晶体 (通过引脚连接到 X1 和 CLKIN)。如果不使用内部晶体振荡器, 外部晶体振荡器必须连接到 CLKIN 引脚, 并且 X1 引脚悬空。

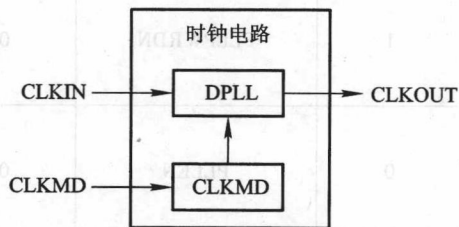


图 2-4 时钟电路结构示意图

2.2.1 PLL 控制寄存器

PLL 控制寄存器 (PLLCSR) 用于控制系统时钟产生的工作状态。图 2-5 为 PLL 控制寄存

器各个控制字的分布图，表 2-1 给出了 PLL 控制寄存器各个控制字的功能说明。

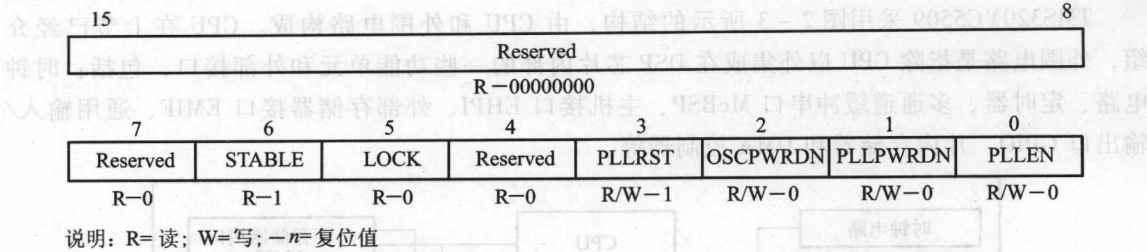


图 2-5 PLL 控制寄存器（PLLCSR）各个控制字的分布图

表 2-1 PLL 控制寄存器各个控制字的功能说明

位	字段	复位值	说明
15 ~ 7	Reserved	0	保留
6	STABLE	1	振荡器输出稳定状态 0：振荡器输出不稳定 1：振荡器输出稳定
5	LOCK	0	锁定模式 0：DPLL 锁定 1：时钟发生器锁定
4	Reserved	0	保留
3	PLLRST	1	DPLL 复位 0：DPLL 复位释放 1：DPLL 复位
2	OSCPWRDN	0	内部晶体振荡器掉电模式设置 0：振荡器工作状态 1：振荡器掉电状态
1	PLLPWRDN	0	DPLL 掉电状态选择 0：DPLL 工作状态 1：DPLL 掉电状态
0	PLEN	0	DPLL 模式使能 0：旁路模式 1：DPLL 模式

在 PLL 控制寄存器 PLEN 字段的控制下，系统时钟有两种工作模式。

- (1) 当 PLEN = 0 时，驱动 D1 ~ 3（D1、D2、D3 分频器）和 DPLL 均工作于旁路模式，SYSCLK1 ~ 3（系统时钟 SYSCLK1、SYSCLK2、SYSCLK3）由输入参考时钟直接分频。
- (2) 当 PLEN = 1 时，工作于 DPLL 模式，SYSCLK1 ~ 3 由 DPLL 输出分频。