ELECTRONIC ENGINEER

XIDIAN UNIVERSITY PRESS

Verilog HDL Design and Applications of Digital System

Verilog HDL 数字系统设计及其应用

袁俊泉　孙敏琪　曹瑞　编著

西安电子科技大学出版社

http://www.xduph.com

Verilog HDL 数字系统设计及其应用

袁俊泉　孙敏琪　曹瑞　编著

西安电子科技大学出版社

2002

内 容 简 介

本书系统地介绍了一种在专用集成电路设计领域具有广泛应用前景的硬件描述语言——Verilog HDL 语言。利用 Verilog HDL 语言设计数字逻辑电路和数字系统的新方法，是电子电路设计方法的一次革命性的变化，也是 21 世纪的电子工程师所必须掌握的专门知识。

本书共分 12 章。第 1 章对硬件描述语言进行了概述，并给出了 EDA 的典型设计流程与有关硬件描述语言的最新发展；第 2 章对采用 Verilog HDL 设计数字系统的方法以及 Verilog HDL 程序的基本结构进行了简单的阐述；第 3～8 章主要介绍 Verilog HDL 的基本知识、用户自定义元件以及 Verilog HDL 的两种描述方式；第 9 章详述了有关 Verilog HDL 程序测试与仿真的内容；第 10 章与第 11 章分别给出了使用 Verilog HDL 设计简单逻辑电路与复杂电路的实例；第 12 章对 Verilog HDL 的开发工具进行了简单的介绍。

本书简明扼要，易读易懂，并列举了众多的实例，便于读者学习与参考。本书可作为本科生和研究生的教科书，也可作为一般从事电子电路设计工程师的自学参考书。

图书在版编目（CIP）数据

Verilog HDL 数字系统设计及其应用 / 袁俊泉等编著.

—西安：西安电子科技大学出版社，2002. 11

ISBN 7-5606-1165-6

Ⅰ. V… Ⅱ. 袁… Ⅲ. ①数字系统—系统设计②硬件描述语言，

Verilog HDL—计算机辅助设计—数字电路 Ⅳ. ①TP271②TN790. 2

中国版本图书馆 CIP 数据核字(2002)第 054097 号

责任编辑 毛红兵 龙晖

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)8227828 邮 编 710071

http: //www.xduph.com E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印 刷 西安兰翔印刷厂

版 次 2002 年 11 月第 1 版 2002 年 11 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 18.75

字 数 441 千字

印 数 1～4 000 册

定 价 25.00 元

ISBN 7-5606-1165-6/TP・0597

XDUP 1436001-1

前　言

随着电子技术的发展，芯片的复杂程度越来越高，人们对数万门乃至数百万门的电路设计的需求也越来越多。仅依靠原理图输入方式已不能满足要求，采用硬件描述语言 HDL 的设计方式就应运而生。设计工作从行为、功能级开始，并向着设计的高层次发展。这样就出现了第三代 EDA 系统，其特点是高层次设计的自动化(HLDA，High Level Design Automation)。

第三代EDA系统中除了引入硬件描述语言(一般采用两种语言，即VHDL语言和Verilog HDL 语言)，还引入了行为综合和逻辑综合工具。采用较高的抽象层次进行设计，并按层次式方法进行管理，可大大提高处理复杂设计的能力，缩短设计周期。综合优化工具的采用使芯片的品质如面积、速度和功耗等获得了优化，因而第三代 EDA 系统迅速得到了推广应用。

熟悉并掌握这些现代设计工具，已成为电子系统设计人员所必备的一门技术。然而，面对这样的一个客观现实，国内出版了多本介绍 VHDL 的书籍，有关 Verilog HDL 的书籍却很少。Verilog HDL 提供了非常精练和易读的语法，普及程度远远高于 VHDL。许多大规模的电路设计都是用 Verilog HDL 来完成的。美国的许多著名高校如斯坦福大学、南加州大学等，都以 Verilog HDL 为主要授课内容，这与我国高校多偏重 VHDL 语言教学的现实形成了明显反差。作者编写此书的目的在于向广大电子设计人员介绍 Verilog HDL 的基本知识和使用它来设计数字系统硬件电路的方法，从而使读者摆脱传统的人工设计方法的束缚，使数字系统设计的水平上升到一个新的阶段。

本书共分 12 章。第 1 章在简单回顾了电路设计的演变过程后，对硬件描述语言进行了概述，并给出了 EDA 的典型设计流程以及有关硬件描述语言的新发展。第 2 章对采用 Verilog HDL 设计数字系统的方法以及 Verilog HDL 程序的基本结构进行了简单的阐述。第 3 章至第 8 章主要介绍 Verilog HDL 的基本知识、用户自定义元件以及 Verilog HDL 的两种描述方式。第 9 章详述了有关 Verilog HDL 程序的测试与仿真的内容。第 10 章与第 11 章分别给出了使用 Verilog HDL 设计简单逻辑电路与复杂电路的实例。第 12 章对 Verilog HDL 的开发工具进行了简单的介绍。

书中通过大量的实例介绍了该语言的基本内容和结构，这些实例不仅对读者掌握语言本身和建模方法有很大的帮助，而且对实际数字系统设计也极有帮助。其中，袁俊泉同志负责第 3、9、10、11、12 章的编写工作，孙敏琪同志负责第 4、5、6、7、8 章的编写工作，曹瑞同志负责第 1、2 章的编写工作。

本书在编写过程中引用了诸多学者和专家的著作，在这里向他们表示衷心的感谢。同时，也向一贯热情支持和关心作者的西安电子科技大学出版社的领导、编辑及工作人员表示深深的谢意。

作者希望通过本书与读者交流数字系统设计方面的体会，并期望为我国数字系统设计人才的培养与信息产业的发展贡献微薄之力。

由于作者水平有限，错误和不当之处在所难免，敬请各位读者批评指正。

编著者

2002 年 5 月

目　录

第1章 概 述

本章简单介绍电子系统设计方法的演变过程，以及什么是 HDL，为什么使用 HDL，并且给出了 EDA 设计的典型流程，最后讲述了 HDL 的最新发展。

1.1 电子系统设计方法的演变过程

自 1959 年第一片集成电路问世以来，至今已有 40 多年了。随着科学技术的不断进步，人类社会已进入高度发达的信息社会。信息社会的发展以信息产业的进步为动力，而信息产业的核心是集成电路。现代集成电路在性能提高、复杂度增加的同时，不仅价格呈下降趋势，而且产品更新换代的频率也越来越快。实现这种进步的主要原因是集成电路的生产制造技术和设计技术的发展。前者以微细加工技术为代表，目前已进展到深亚微米阶段，现在集成电路制造厂商可以在几平方厘米的硅圆晶片上集成数千万乃至上亿只晶体管，当前的微型计算机处理器的制造工艺已经达到了 0.18 μm，并正向 0.13 μm 过渡；后者的核心是 EDA 技术，EDA 是指以计算机为工作平台，把应用电子技术、计算机技术、智能化技术等融合在一个电子 CAD 通用软件包中，辅助进行三方面的电子设计工作：集成电路设计、电子电路设计以及 PCB 设计。

制作工艺的进步和 EDA 技术的发展是相辅相成的。没有 EDA 技术的支持，要完成上述超大规模集成电路的设计制造是不可想象的；反之，生产制造技术的不断进步又必将对 EDA 技术提出更高的要求。

回顾 40 多年来电子系统(集成电路)设计自动化的发展，可将 EDA 技术分为三个阶段：

1) CAD 阶段(20 世纪 60 年代～80 年代初期)

CAD 阶段分别研制了一些单独的软件工具，主要有 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等，即此时人们已经开始用计算机辅助进行 IC 版图编辑、PCB 布局布线，取代了手工操作，产生了计算机辅助设计的概念。例如，目前常用的 PCB 布线软件 Tango 以及用于电路模拟的 Spice 软件和后来产品化的 IC 版图编辑与设计规则检查等软件都是这个时期的产品。

20 世纪 80 年代初，由于集成电路规模越来越大，制作也趋于复杂，EDA 技术有了较快的发展，许多软件公司如 Mentor、Daisy System 等进入市场，软件工具的产品开始增多。这个时期的软件主要针对产品开发，分为设计、分析、生产、测试等多个独立的软件包，每个软件只能完成其中的一项工作。但如果通过顺序循环使用这些软件完成设计软件的全过程，则存在两个方面的问题：第一，各软件工具是由多个公司开发的，只解决一个领域中的问题，如果将某个软件输出作为另一个软件的输入，需要手工处理，这往往很烦琐，极大影响了设计速度；第二，对于复杂电子系统的设计，当时的 EDA 工具不能够提

供系统级的仿真与综合。由于缺乏系统级的设计考虑，常常在产品开发后期才发现设计中存在的错误，而此时再进行弥补将十分困难或已经贻误了宝贵的商机。

2) CAE 阶段(20 世纪 80 年代初期～90 年代初期)

CAE 阶段在集成电路与电子系统设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具，如原理图输入、编译与链接、逻辑模拟、测试码生成、版图自动布局以及各种单元库均已经齐全。由于采用了统一的数据管理技术，因而能够将各个工具集成为一个 CAE(Computer Aided Engineering)系统。运用这种系统，按照设计方法学制定的某种设计流程，可以由 RTL 级开始，实现从设计输入到版图输出的全过程设计自动化。CAE 阶段中主要采用基于单元库的半定制设计方法。采用门阵列和标准单元设计方法设计的 ASIC 得到了极大的发展，将集成电路工业推进到了 ASIC 时代。多数 CAE 系统中还集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件，进而可以实现电子系统设计自动化。这个阶段典型的 CAE 系统有 Mentor Graphics、Valid Daisy 等公司的产品。

3) EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来，微电子技术以惊人的速度发展，其工艺水平已经达到了深亚微米级，在一个芯片上已经可集成数百万乃至上千万只晶体管，工作速度可以达到 Gb/s，这为制造出规模更大、速度和信息容量更高的芯片系统提供了基础条件，同时也对 EDA 系统提出了更高的要求。尽管 CAD/CAE 技术取得了巨大的成功，但并没有把人从繁重的设计工作中彻底解放出来。在整个设计过程中，自动化和智能化程度还不高，各种 EDA 软件界面千差万别，学习使用困难，并且互不兼容，直接影响到设计环节间的衔接。基于以上不足，人们开始追求贯彻整个设计过程的自动化，这就是 ESDA(Electronic System Design Automation，电子系统设计自动化)。它代表了当今电子设计技术的最新发展方向，设计人员按照“自顶向下”的设计方法，对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路(ASIC)实现，然后采用硬件描述语言(HDL)完成系统行为级设计，最后通过综合器和适配器生成最终的目标器件。这不仅极大地提高了系统的设计效率，而且使设计者摆脱了大量的辅助性工作，使他们能将精力集中于创造性的方案与概念的构思上。

在第三代 EDA 系统中，除了引入硬件描述语言，还引入了行为综合和逻辑综合工具，并采用较高的抽象层次进行设计。按层次式方法进行管理，大大提高了处理复杂设计的能力，并且大幅度缩短了设计所需的周期。另外，采用专用的综合优化工具，使芯片的品质如面积、速度和功耗等获得了优化。因而第三代 EDA 系统一面世就迅速得到了广泛的应用。

1.2 硬件描述语言

本节简单介绍硬件描述语言的基本含义，采用硬件描述语言来进行数字电路设计的原因，以及硬件描述语言的发展历史，并对目前通用的两种硬件描述语言作了简单的比较。

1.2.1 硬件描述语言(HDL)

硬件描述语言(Hardware Description Language)是硬件设计人员和 EDA 工具之间的界

面，它主要用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。被建模的数字系统对象既可以是简单的门，也可以是完整的电子数字系统。硬件描述语言的主要功能是编写设计文件，建立电子系统行为级的仿真模型，然后利用高性能的计算机对用 Verilog HDL 或 VHDL 建模的复杂数字逻辑进行仿真，之后再对它进行自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表(Netlist)，然后根据网表和适合某种工艺的器件自动生成具体电路，最后生成该工艺条件下具体电路的延时模型。仿真验证无误后用于制造 ASIC 芯片或写入 FPGA 和 CPLD 器件中。

在 EDA 领域中，一般把用 HDL 语言建立的数字模型称为软核(Soft Core)，把用 HDL 建模和综合后生成的网表称为固核(Hard Core)。重复利用这些模块可以缩短开发时间，提高产品开发成功率，并提高设计效率。

1.2.2 为什么要用 HDL

目前电子设计的规模越来越大，复杂度越来越高，20 世纪 90 年代末普通设计的规模已经达到百万门的数量级，并且有继续增加的趋势。集成度达千万只晶体管以上的芯片已经屡见不鲜，为使如此复杂的芯片变得易于被人脑理解，很有必要用一种高级语言来表达其功能，隐藏其具体实现的细节。这也就是在大系统程序编写中高级程序设计语言取代汇编语言的原因。同样，在芯片设计中也不得不使用硬件描述语言，而具体实现交由逻辑综合工具完成。

另外，电子领域的竞争越来越激烈，刚刚涉入电子市场的厂商要面对巨大的压力：提高逻辑设计的效率，降低设计成本，更重要的是缩短设计周期。而多方位的仿真可以在设计完成之前检测到其错误，减少设计重复的次数。因此，有效的 HDL 语言和主计算机仿真系统在将设计错误的数目减少到最低限度方面起到不可估量的作用，并使第一次投片便能成功地实现芯片的功能成为可能。

使用硬件描述语言将使检测各种设计方案变成一件很容易、很方便的事情，因为对方案的修改只需要修改 HDL 程序就行了，这比修改原理图要容易得多。

正是基于上面这几点，传统的用原理图设计电路的方法正在逐渐被取代，硬件描述语言正被人们广泛接受。

1.2.3 HDL 的发展历史

HDL 最早是由 Iverson 公司于 1962 年提出的，迄今为止已经出现了多种 HDL。其中，绝大多数都是专有产品，如 Silvar-lisco 公司的 HHDL、Zycad 公司的 ISP、Gateway Design Automation 公司的 Verilog 以及 Mentor Graphics 公司的 BLM 等。还有一些高等院校及科研单位也开发了数百种产品，比较著名的包括 AHPL、MIMOLA 和 SCHOLAR 等。另外，一些大型的计算机制造商也都有其内部使用的各自的设计语言，如得克萨斯仪器公司的 TIHDL。

有些 HDL 是从一些已有的软件程序设计语言发展而来的，如 Silicon Compiler 公司的 M 和 Gateway 公司的 Verilog HDL 是从 C 语言发展而来的，而 BLM、MIMOLA 和 SCHOLAR 是以 PASCAL 语言为基础的。

Verilog HDL 语言最初是于 1983 年由 Gateway Design Automation 公司为其模拟器产品开发的硬件建模语言，当时它只是一种专用语言。由于 GDA 公司的模拟、仿真器产品的广泛使用，Verilog HDL 作为一种易于使用且实用的硬件描述语言逐渐为众多设计者所接受。1989 年，GDA 公司被 Cadence 公司并购。1990 年，Cadence 公司正式发布 Verilog HDL 语言，并成立了 Open Verilog International (OVI)这一促进 Verilog 发展的国际性组织。1992 年，OVI 开始致力于推广 Verilog OVI 标准成为 IEEE 标准，并于 1995 年使 Verilog HDL 语言成为 IEEE 标准，称为 IEEE Std 1364—1995。

1.2.4 Verilog HDL 与 VHDL 的比较

Verilog HDL 与 VHDL 是目前两种最常用的硬件描述语言，同时也都是 IEEE 标准化的 HDL 语言。归纳起来，它们主要有以下几点不同：

(1) 从推出过程来看，VHDL 偏重于标准化的考虑，而 Verilog HDL 与 EDA 工具的结合更为紧密。VHDL 是国际上第一个标准化的 HDL 语言(IEEE-1076)，是为了实现美国国防部 VHSIC 计划所推出的各个电子部件供应商具有统一数据交换格式的要求。相比之下，Verilog HDL 则是在全球最大的 EDA/ESDA 供应商 Cadence 公司的扶持下针对 EDA 工具开发的 HDL 语言。

(2) 与 VHDL 相比，Verilog HDL 的编程风格更加简洁明了、高效便捷。如果单纯从描述结构上考察，两者的代码之比为 3∶1。

(3) Verilog HDL 也于 1995 年实现标准化(IEEE-1364)。目前市场上所有 EDA/ESDA 工具都同时支持这两种语言，而在 ASIC 设计领域，Verilog HDL 占有明显的优势。

1.3 EDA 典型流程

进入 20 世纪 90 年代以来，电子信息类产品的开发明显出现两个特点：一是产品的复杂程度加深；二是产品的上市时限紧迫。这两点对 EDA 技术提出了新的要求，为此业界开始使用一种高层次的电子设计方法，也称为系统级的设计方法。

高层次设计是一种“概念驱动”形式的设计。使用高层次设计方法，设计人员不需要再通过门级原理图来描述电路，而只要针对设计目标进行功能描述。这样设计人员就可以摆脱电路细节的束缚，把精力集中在创造性的方案与概念构思上，一旦这些概念构思以高层次描述的形式输入到 EDA 系统中之后，EDA 系统就能以规则驱动的方式自动完成整个设计。

采用高层次设计方法，可以把新概念迅速转化为产品，使产品的研制周期大大缩短。高层次设计只定义系统的行为特性，不涉及实现工艺。在厂家综合库的支持下，利用综合优化工具可以将高层次描述转换成针对某种工艺优化的网表，这样工艺转化也变得轻松容易。

高层次设计方法的典型流程如图 1.1 所示。其具体设计步骤如下：

(1) 对系统进行任务划分。

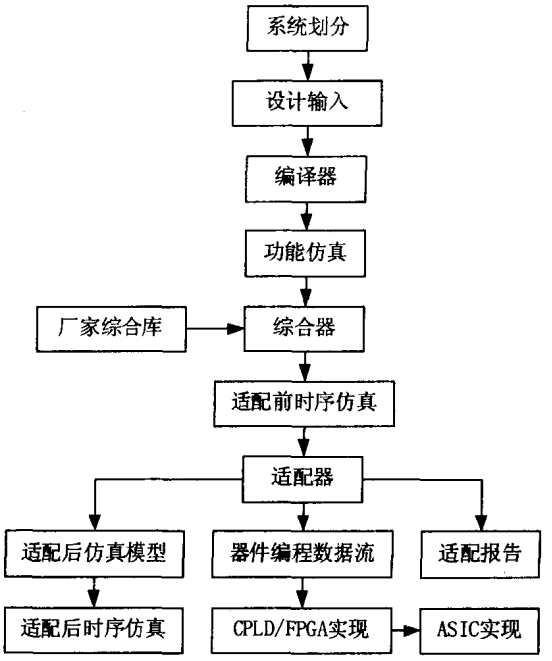

图 1.1　高层次设计方法的典型流程

(2) 进行设计输入。HDL 语言是高层次设计中最为普遍的输入方式。此外还可以采用图形输入方式，如原理图、框图、状态图等。

(3) 将以上的设计输入编译成标准的 HDL 文件。对于大型设计，还要进行代码级的功能仿真，检验系统功能设计的正确性。因为对于大型设计，综合、适配要花费数小时，在综合前对源代码进行仿真，可以大大减少设计重复的次数和时间。在不是很复杂的设计中，可略去这一仿真步骤。

(4) 利用综合器对 HDL 源代码进行综合优化处理，生成门级描述的网表文件，这是将高层次描述转化为硬件电路的关键步骤。综合优化是针对 ASIC 芯片供应商的某一产品系列进行的，所以综合的过程要在相应的厂家综合库支持下才能完成。综合完成后，可利用生成的网表文件进行适配前的时序仿真。仿真过程不涉及具体器件的硬件特性，是较为粗略的。在一般情况下，这一仿真步骤也可略去。

(5) 利用适配器将综合后的网表文件针对某一确定的目标器件进行逻辑映射，这个操作包括底层器件配置、逻辑分割、逻辑优化、布局布线。适配完成后，产生多项设计结果：①适配报告，包括芯片内部资源利用情况、设计的布尔方程描述情况等；②适配后的仿真模型；③器件编程文件。根据适配后的仿真模型，可以进行适配后的时序仿真。因为此时已经得到器件的实际硬件特性(如时延特性等)，所以此仿真结果能比较精确地预期未来芯片的实际性能。如果仿真结果达不到设计要求，就需要修改 VHDL 源代码或选择不同速度品质的器件，直至满足设计要求。

(6) 将适配器产生的器件编程文件通过编程器或下载电缆载入 FPGA 或 CPLD 中。如果是大批量产品开发，通过更换相应的厂家综合库，可以很容易转由 ASIC 实现。

1.4 硬件描述语言的新发展

当前超大规模集成电路的设计面临着这样一些问题：

(1) 设计重用、知识产权和内核插入。

(2) 综合，特别是高层次综合和混合模型的综合。

(3) 验证，包括仿真验证和形式验证等自动验证手段。

(4) 深亚微米效应。

这些问题给 EDA 技术的发展提出了新的课题，为了解决这些问题，对 HDL 语言进行改进和发展是很必要的，例如 IEEE 在 1993 年就对 VHDL 语言进行了第一次修订。

目前众多研究者都认为从更高的抽象层次上开展设计，并提高元件模型的可重用性(Reusability)，可以提高设计效率。这方面的工作以 OO VHDL 和 DE VHDL 为代表。另外，如何拓宽 HDL 语言的应用范围，也是研究的重点之一。这方面值得注意的有 VITAL (VHDL Initiative Towards ASID Library)等工作。此外，为解决系统级设计和软硬件协同设计的问题，EDA 工业协会的工程技术建议委员会提出了系统级描述语言(System Level Description Language)的概念。

1.4.1 OO VHDL

OO VHDL(Object Oriented VHDL)，即面向对象的 VHDL。其主要概念来自美国国防部支持的 RPASSP(Rapid Prototyping of Application Specification Signal Processors，快速专用信号处理器原型)计划。目前 IEEE 有一个专门的小组对 OO VHDL 进行研究。

在软件工程界大家一致公认，面向对象的方法在处理复杂应用和增加软件的可重用性方面的能力比较强。而复杂性和可重用性正是当前集成电路设计中迫切需要解决的问题。因此，人们希望把面向对象方法应用到 HDL 语言中。OO VHDL 就是在这种背景下产生的。它的主要特点是引入了新的语言对象 Entity Object。此外 OO VHDL 中的 Entity 和 Architecture 具有继承机制，不同的 Entity Object 之间可以用消息来通信。OO VHDL 通过引入 Entity Object 作为抽象、封装和模块性的基本单元，解决了 VHDL 在抽象性方面的不足和在封装性上能力不强等问题，另外它还通过其继承机制解决了实际设计中的一些问题。OO VHDL 模型的代码比 VHDL 模型短30%～50%，有利于缩短开发时间，提高开发效率。

1.4.2 DE VHDL

现在电子系统的设计通常采用自顶向下的方法，并广泛使用硬件描述语言如 VHDL 和 Verilog HDL 等。采用自顶向下的设计方法，一般要把系统划分为若干个子系统，这些子系统有的是全新的设计，有的是已存在的元件。如果是已有的元件，那么就涉及到可重用性的问题。美国杜克大学发展的 DE VHDL(Duke Extended VHDL)通过增加 3 条语句，使设计者可以在 VHDL 描述中调用不可综合的子系统(包括连接该子系统和激活相应的功能)。此外，DE VHDL 计划提供一种抽象子系统功能的方式，使设计者能够在不熟悉子系

统实现细节的情况下了解其功能。

杜克大学用 DE VHDL 进行了一些多芯片系统的设计，已完成的系统有水下生活研究系统的硬件形式的缓存仿真器等。结果表明，DE VHDL 可以极大地提高设计能力。

1.4.3 VITAL

长期以来，业界一直缺乏高效可靠的VHDL语言描述的ASIC库，这在一定程度上影响了VHDL的广泛应用。而建立ASIC库的最大困难在于VHDL中没有统一、有效的方法处理时间。对此，业界和IEEE开展了一系列研究工作，尝试解决这一问题。VITAL是其中最重要的结果。VITAL有以下一些主要特点：

(1) 精确描述时序关系，其中包括描述延时模型(可能是管脚到管脚的延时模型或分布式延时模型)、时序检查(如建立/保持时间检查)、电平尖峰处理和宏单元间的互连延时等。

(2) 高效率仿真。VITAL 主要处理门级逻辑单元，因此必须具备高的仿真效率，否则现在 ASIC 的规模将使仿真时间长得令人难以接受。

(3) 具有反向注释能力。超大规模集成电路的设计是层次式的迭代与提炼的过程，越到低层次越可以得到更精确的延时信息，因此需要一种机制把低层次的延时信息反向注释到较高层次，同时，现在已经有描述延时信息的工业标准 SDF(Standard Delay Format)，所以 VITAL 应具有从 SDF 获得反向注释的能力。

(4) VITAL 模型适用于各种 VHDL 仿真器，即具备通用性。

VITAL 没有对 VHDL 语言本身进行扩展，而是通过提供一定的编程指导方针和预定义的 VHDL 库，来实现对 ASIC 宏单元的准确建模。使用 VITAL 时，在模型内部描述功能，而所有延时的计算则在模型外部完成。现在业界有专门的委员会负责 VITAL 的修订工作。该委员会由来自 Synopsys、Cadence、HP、TI 及 The VHDL Technology Group 的成员组成。Synopsys 支持 VITAL 风格的 VHDL 模型，Exemplar Logic 公司的 Galileo 支持用 VITAL 进行 Xilinx FPGA 设计。

1.4.4 系统级描述语言

集成电路的设计现已进入片上系统(System On a Chip 或 System On Silicon)的时代。面对日益庞大的硬件规模，芯片设计人员必须从更高的层次上进行设计，并且需要有一种规范化的方式来描述系统。VHDL 和 Verilog HDL 都是为仿真而发展的语言，它们的语法定义源于离散时间系统仿真，并不能覆盖当前片上系统设计的全部工具和方法的要求。例如，VHDL 和 Verilog HDL 都是硬件描述语言，而现在的片上系统通常既包含硬件，也包含软件。另外，由于复杂性和集成度的增加，片上系统的设计人员应该能够以比现在的硬件描述语言更加抽象、更加形式化的方式来描述时域信息、设计属性和设计约束。

为此，EDA 工业协会的工程技术建议委员会(EDA Industry Council Project Technical Advisory Board，简称 PTAB)建议发展下一代的“硬件”描述语言——系统级描述语言(System Level Description Language，简称 SLDL)。PTAB 认为，SLDL 不是 VHDL/Verilog HDL 的替代者，也不仅仅是它们的扩展，而是比它们更高一个抽象层次的系统级描述语言。对 SLDL 的研究表明，系统级描述通常包括抽象时间概念、非确定性控制、灵活处理、组合并行进程的技术和对层次式系统的多视角的形式约束。