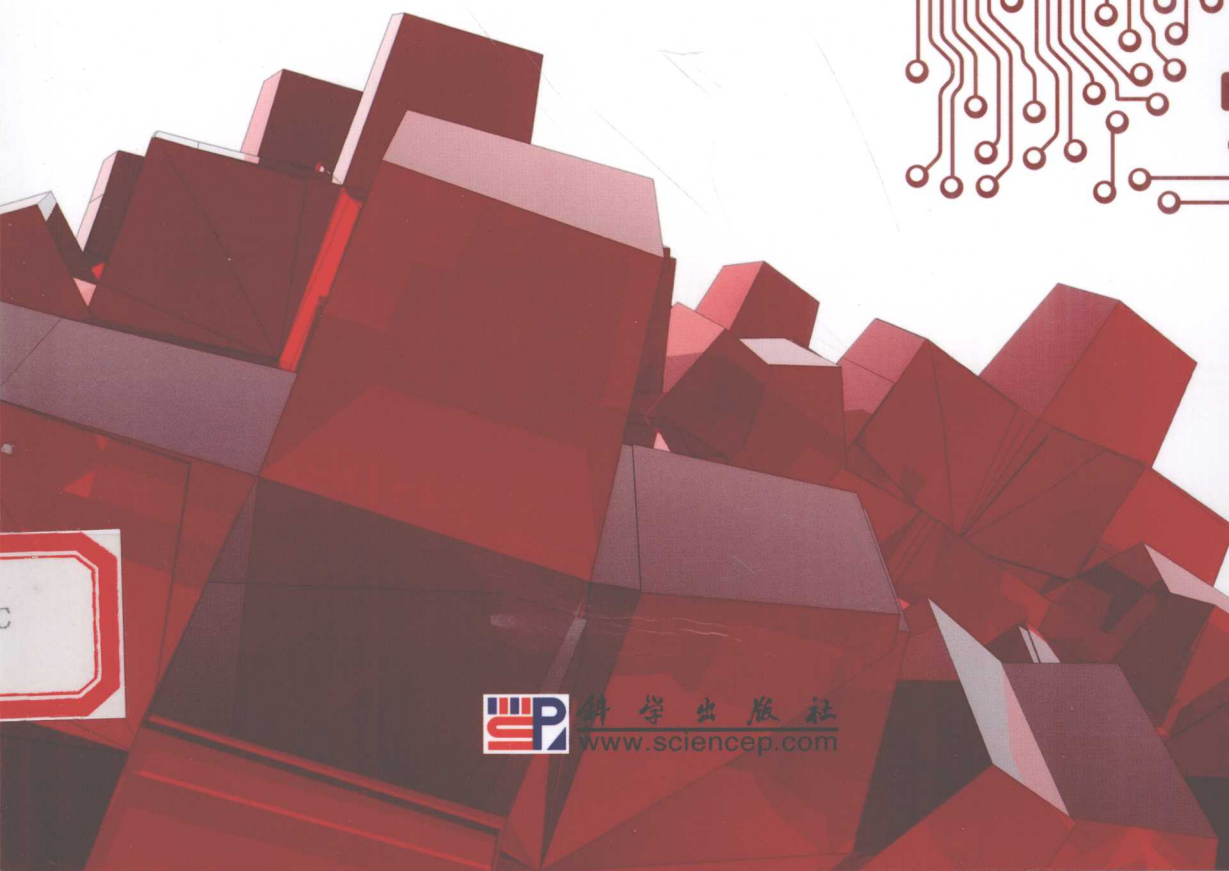
Technology 实用技术

SystemC 电子系统级设计

李挥 陈曦 编



科学出版社
www.sciencep.com

SystemC 电子系统级设计

李 辉 陈 曦 编

科学出版社
北京

内 容 简 介

本书重点讲述了 IEEE P1666-2005 SystemC 语法(模块、端口、信号、进程、基本数据类型、定点数据类型、波形跟踪、接口、端口、导出端口和通道、动态进程)、事务处理级建模库 TLM 2.0(TLM2.0 核心接口、发起者和目标套接字、通用净核和基础协议、实用工具、分析接口和端口)、验证库 1.0(SystemC 的验证库,包括验证思想、基于事务的验证方法、随机化、约束的随机数的产生、加权随机数产生)和 SystemC 的电子系统级综合技术(算法综合、SystemC 行为综合和 SystemC 体系结构综合),并给出了 SystemC 的应用实例。

本书可作为电子工程技术人员学习 SystemC 设计、应用、开发的技术参考书,也可供高等院校电子及其相关专业的广大师生阅读。

图书在版编目(CIP)数据

SystemC 电子系统级设计/李挥,陈曦编. —北京:科学出版社,2010
ISBN 978-7-03-026237-0

Ⅰ.S… Ⅱ.①李…②陈… Ⅲ. C 语言-程序设计 Ⅳ.TP312

中国版本图书馆 CIP 数据核字(2009)第 232517 号

责任编辑:赵方青 杨 凯 / 责任制作:董立颖 魏 谨
责任印制:赵德静 / 封面设计:李 力
北京东方科龙图文有限公司 制作
http://www.okbook.com.cn

科学出版社 出版
北京东黄城根北街 16 号
邮政编码:100717
http://www.sciencep.com

北京天时彩色印刷有限公司 印刷
科学出版社发行 各地新华书店经销

*

2010 年 1 月第 一 版 开本:B5(720×1000)
2010 年 1 月第一次印刷 印张:20
印数:1—4 000 字数:388 000

定 价:39.00 元

(如有印装质量问题,我社负责调换)

序

在过去的二十多年中，人类在单个集成电路上能够集成的晶体管个数遵照摩尔定律每 1.5 年翻一番，但是集成电路设计能力的提高却未能赶上按照摩尔定律发展的集成电路制造商的集成能力的提高。人类的集成电路设计技术具有两次重大进步，第一次发生在 1985—1987 年。1985 年，Phil Moorby 发明了 Verilog HDL 语言；1987 年，VHDL 语言成为国际电子和电气工程师协会(IEEE)标准。这两种语言使得组合逻辑能够和时序逻辑分开单独优化，进而出现了 Synopsys 的 Design Compiler 这样的寄存器传输级综合工具，人类集成电路设计能力得到了有效提高。与此同时，出现了一种新类型的集成电路，称作 FPGA(Field Programmable Gate Array)。FPGA 与已有集成电路不同之处在于现场可编程，代价是浪费昂贵的晶体管逻辑门，因而当时被认为是没有前途的“怪胎”。如今，FPGA 已经广泛应用于 ASIC 原型验证、高性能计算芯片等，已经发展到每年 50 亿美元的市值。现阶段，第二次集成电路设计技术重大进步正在发生，尚未完成。2005—2006 年，SystemC 和 SystemVerilog 先后成为 IEEE 标准。它们将通信和功能分开，将人类的集成电路设计时代引入以事务处理级(Transaction Level，TL)建模为核心的电子系统级(ESL)时代，正在为业界所接受。它们能够提供更高的设计效率、更高的首次流片成功概率、更有效的设计流程，从而帮助解决集成电路产业面临的爆炸性的复杂度、上市压力(time to market pressure)、飙升的成本等问题。

集成电路越来越复杂，早已不能够简单地从晶体管规模的角度描述，VLSI 的概念也被片上系统取代。片上系统的最初概念是将包括存储器、信号采集和转换电路、CPU 核等模拟、数字和混合电路构成的一个完整的电子系统集成到一个芯片上。单处理器片上系统如 S3C2410、AT9200 之类的芯片早已被大家所熟悉，而越来越多的片上系统正在配备多个处理器，我们已经从第一代的单核片上系统时代进入多核片上系统时代。实际上，片上系统是一个具备特定功能、服务于特定市场的软件和硅集成电路的混合体，比如无线局域网基带芯片、便携式多媒体芯片、DVD 播放机解码芯片等。片上系统产品的成功关键在于在正确的时间窗口为目标用户提供令人满意的性能和价格。

现代片上系统的设计难度来源于其设计复杂性，设计复杂性催生 ESL 设计方法学。ESL 设计方法学依赖于先进的设计和验证语言，以及支持这些语言的工具。

历史上使用最广泛的硬件描述语言为 VHDL 和 Verilog，它们最初分别由 Open Verilog International 和 VHDL International 维护和发展。他们在 2000 年合并后，成立了 Accellera 组织并发展了 SystemVerilog 语言。SystemVerilog 集

成了 VHDL 和 VerilogHDL 各自的优点，并扩展了面向对象的功能，使它们支持抽象数据类型，从而具有系统描述能力。由于 SystemVerilog 在验证、RTL 设计和系统描述方面具有突出的优势，人们将 SystemVerilog 称为系统设计和验证语言。

硬件描述语言的另外一个重要发展是 SystemC，该语言由 OSCI 组织进行维护和发展。SystemC 本质上是一个 C++扩展库，使 C++支持硬件描述。SystemC 在 Synopsys 等一批大公司的支持下得到了很大的发展，它已经成为 EDA 工具除 VHDL 和 SystemVerilog/Verilog 之外的第三种支持语言。由于其开放性等特点，已经得到全世界工程师的欢迎和认可，许多大公司都推出了 SystemC 的开发工具。SystemC 的最突出优势是系统描述和验证，它使得现代 SoC 的最初验证软件可以轻松地移植到最终产品上，而不像 SystemVerilog 那样必须完全重写。SystemC 被人们称为系统级设计和建模语言。

目前，SystemVerilog 已经成为 IEEE P1800-2005 标准，而 SystemC 成为 IEEE P1666，SystemC 和 SystemVerilog 已经成为仿真器和综合器所广泛支持的语言。

业界普遍认为 SystemC 与 SystemVerilog 刚好构成互补的关系。SystemVerilog 的优势在于简洁明了高效的 RTL 描述能力，而 SystemC 的优势在于其系统级描述和建模能力。SystemC 和 SystemVerilog 结合起来提供了当今芯片设计和验证所需的一套从 ESL 至 RTL 设计流程的标准解决方案。通过将 SystemC 和 SystemVerilog 结合到一个单一的验证环境中，可以高效地建立和验证分析体系结构所需要的事务处理级虚拟原型，并在设计工作的早期开发内嵌的软件，并最终导致现代片上系统设计效率的大幅度提高。

本书主要作者从事 SystemC 片上系统设计多年，总结市场已有出版物的写作优势以及个人工作经验之后始成此书。本书力图以我国读者最容易理解的方式，集中讲述 SystemC 语法、事务处理级建模库、验证库和基于 SystemC 的电子系统级综合技术。笔者从自己的经验出发，将本书定位为讲述 SystemC“最活跃、最实用”的部分，希望帮助读者“一站式”解决 SystemC 学习和使用的问题，达到“活学活用、学用结合、急用先学、立竿见影”的目的。本书第 1、4、5、8 章由李挥编写，其余各章由陈曦完成。

本书的写作得到北京大学深圳研究生院微系统科学与工程重点实验室同仁的帮助，作者对此深表谢意。感谢北京航空航天大学奚海蛟老师和航天二院冯志华博士对本书提出的宝贵修改意见。

鸣谢国家 863 计划 No. 2007AA01Z218，国家自然科学基金 No. 60872010。

关于本书的任何意见、建议与内容更新，请访问：http://www.fpgastudy.com 或者发邮件到 chenxiee@foxmail.com。

李 挥 陈 曦

二零零九年冬

目　录

第1章 前言

现代片上系统的设计之难源于其复杂性，复杂性催生 SystemC 和电子系统级设计（Electronic System Level，ESL）方法学。作为 IEEE P1666 标准，SystemC 是已有语言的演进，它使得电子系统级设计和综合成为可能，而事务处理级建模是电子系统级设计的关键。

1.1 为什么要发展新的设计和验证语言

为什么要发展新的设计和验证语言呢？当然因为现有的语言越来越不能满足日益复杂的芯片设计的要求！

完成一款集成电路需要设计、制造、封装和测试四个步骤。随着集成电路制造技术按照摩尔定律发展，电子系统变得越来越复杂，人们已经可以把复杂的电子系统集成到一个芯片上，这就是所谓片上系统（System on Chip 或 SoC）。复杂片上系统对设计自动化的要求越来越高，而事实上设计已经成为整个集成电路产业的瓶颈。

片上系统设计之难源于其设计之复杂，而事实上片上系统正在变得越来越复杂。图 1.1 是意法半导体公司的 Sti7109 家庭多媒体解码芯片，可作为现代片上系统复杂性的一个实例。该芯片包括 3 个处理器，1 个用于运行操作系统和浏览器，1 个用于音频解码，1 个用于视频解码。此外，该芯片还包括不下 16 个各种接口和外设。这些在图 1.1 中可以清楚看到的组成部分只是片上系统的“骨骼”，其“血液”即软件，要更加复杂。

Sti7109 只是众多复杂芯片的一个。对于下一代 32nm 和 28nm 设计而言，片上系统将包含更多可编程部件包括中央处理器（CPU）和数字信号处理器（DSP）以及众多的 IP 模块，这些 IP 一大部分将源于以前的设计，或者是由外部 IP 提供商所许可使用的，少数是新增加的关键模块。

片上系统可以从单个芯片内处理器个数、数据处理单元（包括各种形式的外设）、芯片的处理性能三个角度来衡量。图 1.2 给出了 ITRS 组织对芯片发展的预测。大家可以看到，单个芯片内处理器个数、数据处理单元（包括各种形式的外设）、芯片的处理性未来仍然会以较快的速度增加。

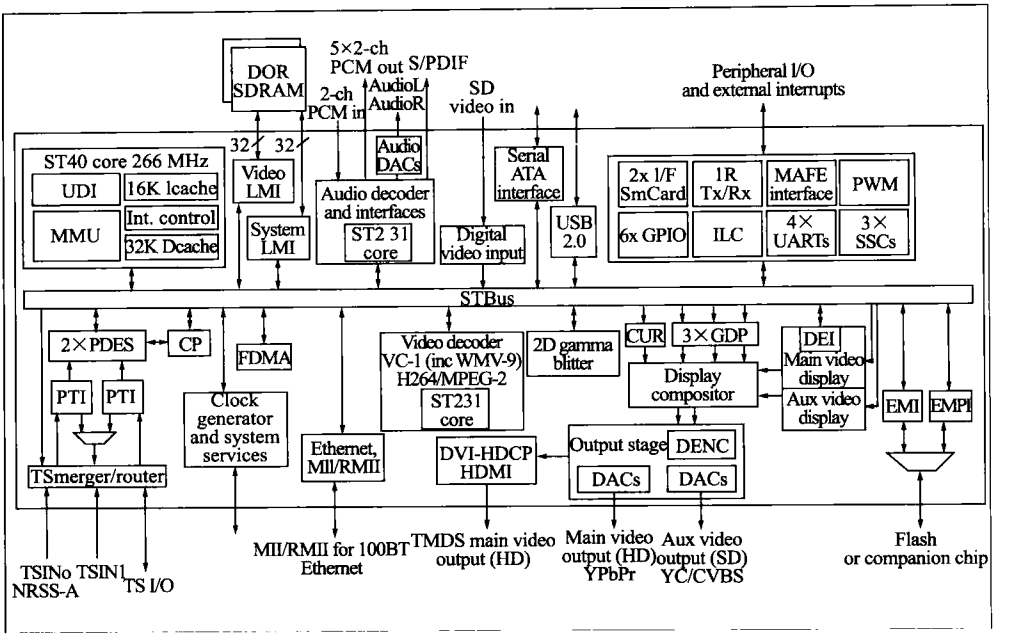


图 1.1 Sti7109 家庭多媒体解码芯片框图

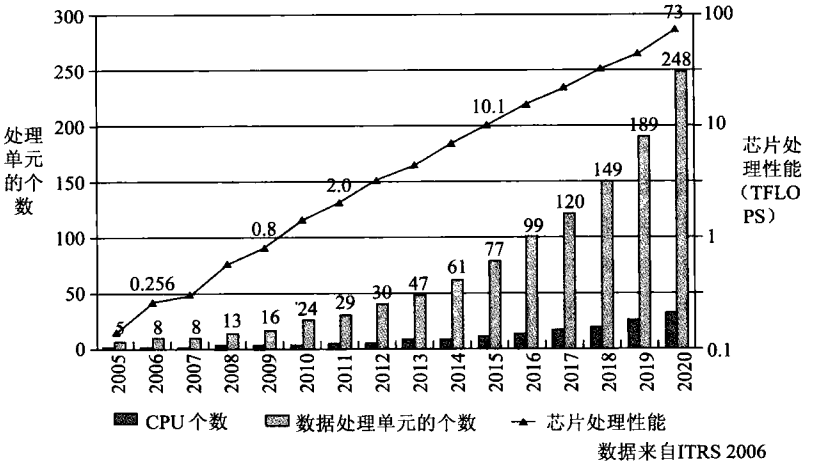


图 1.2 ITRS 组织对芯片发展的预测

对于复杂的片上系统，在进行寄存器传输级（Register Transfer Level 或 RTL）设计前需要进行深入的系统级仿真，以确认设计的体系架构是否恰当、总线是否能够满足吞吐量和实时性要求以及存储器是否被浪费。所进行的这些仿真要求在芯片的仿真模型上运行大量的软件，以覆盖所需的功能。在传统设计方法中，系统级仿真往往使用 UML、SDL、C、C++。对于一些基础差的小公司，系统级仿真往往只局限于局部和关键算法。

在寄存器传输级，最广泛使用的两种语言是 VHDL 和 Verilog HDL。在设计

细化(Refinement)阶段,原始的C和C++描述必须手工转换为使用VHDL或者Verilog HDL。这种设计方法的缺点是使用不同的语言进行系统描述的不一致性以及手工编写RTL代码效率低下。随着系统越来越复杂和相较之下面市时间(Time to market)的越来越紧迫,RTL级设计越来越不能满足设计的需求,人们迫切需要真正的系统级设计语言,即简化系统级仿真,又能够使用工具自动实现系统级到RTL级的转换(即电子系统级综合),而不再为RTL所烦恼。

这种系统级设计语言必须能够用于描述各种不同的抽象级别(如系统级、寄存器传输级等),能够容纳可能是模型级或者是实现级的嵌入式软件,能够胜任软硬件的协同设计和验证,能够将功能和通信分开以有利于设计复用,仿真速度足够快。这种语言最好能够基于现有语言,如C++,从而能够最大化地利用已有的设计输入环境、编译工具和调试工具。

正是基于这些想法和需求,人们扩展了C++从而发展了一种新的IEEE标准语言,并将这种新的语言称作SystemC。

本质上,SystemC是C++的扩展库。

1.2 SystemC的历史

VHDL的英文全文为VHSIC Hardware Description Language,其中VHSIC指Very High Speed Integrate Circuit,它出现于1980年,源自于美国国防部的高速集成电路发展计划。1987年成为IEEE标准IEEE STD. 1176,1993年进行更新,成为目前的主流版本1176-1993。Verilog HDL语言最初是于1983年由Gateway Design Automation公司为其模拟器产品开发的硬件建模语言。那时它只是一种专用语言,由于它们的模拟、仿真器产品的广泛使用,Verilog HDL作为一种便于使用且实用的语言逐渐为众多设计者所接受。在一次努力增加语言普及性的活动中,Verilog HDL语言于1990年被推向公众领域。Open Verilog International(OVI)是促进Verilog发展的国际性组织。1992年,OVI决定致力于推广Verilog OVI标准成为IEEE标准。这一努力最后获得成功,Verilog语言于1995年成为IEEE标准,称为IEEE Std 1364-1995。Verilog HDL在2001年做了一次重要更新,对IEEE Std 1364-1995进行了诸多改进,该版本称为Verilog 2001。Verilog HDL的最近一次更新是在2005年,即Verilog IEEE P1800-2005,也就是我们所说的SystemVerilog,本书中除非特别说明,称IEEE P1800-2005为SystemVerilog,称Verilog 2001和Verilog 1995为传统Verilog,而合称SystemVerilog和传统Verilog为Verilog。

由于VHDL和Verilog语言在系统验证时的局限性,各电子设计自动化公司纷纷推出了自己的验证语言,比如Vera、e。然而SystemVerilog基本上综合了这些专业验证语言的优点,又有良好的与RTL级代码的兼容性,使得SystemVerilog语言无论在RTL层还是在行为描述层与传统Verilog相比都有明显的优势。

1999年9月,微电子业内的一些一流的EDA公司、IP提供商、半导体制造商

及系统和嵌入式软件设计公司在加利福尼亚州 Saint Jose 举行的“嵌入式系统会议”上，联合创建了开放 SystemC 创始会(OSCI，Open SystemC Initiative)组织，并推出了基于 C++的系统级设计语言——SystemC。OSCI 是一个非盈利性组织，它负责维护和发展 SystemC。

实际上，在成立 OSCI 之前，已有一些相关工作，这些工作最终直接或者间接地成为 SystemC 的一部分：

① Synopsys 公司就与加州大学尔湾分校(UC Irvine SystemC)合作了 Scenic 项目。该项目的目标是利用 C++建模系统硬件和软件。该项目的主要成果，包括硬件数据类型、基于时钟周期的硬件仿真和建模库。

② Frotier Design 公司(现在已经被合并到飞利浦公司的数字信号处理部门)的定点数据类型库。

③ IMEC 的软硬件协同设计工作，对 SystemC 影响很大。

当然，SystemC 是完全免费的，这使得 EDA 供应商能够充分自由地了解 SystemC 库的源代码以优化它们的各种解释工具。

SystemC 的最新版本是 2.2，得到了由各家 EDA 供应商提供的工具的广泛支持。而将 SystemC 和 SystemVerilog 组合起来，能够最大范围地解决可能出现的对事务处理级的建模问题以及满足工程师的偏好，并提供一套从 ESL 至 RTL 验证的完整解决方案。

关于 SystemC 的典型使用情况，有关数据表明，SystemC 用户中的主要用于系统建模(68%)、体系架构开发(68%)、事务处理级建模(56%)和硬件/软件协同仿真(56%)。

就 SystemC 和 SystemVerilog 这两种语言而言，SystemC 是 C++在硬件支持方面的扩展，而 SystemVerilog 扩展了 Verilog 在面向对象和验证平台方面的适用扩展。而这两种语言均支持诸如信号、事件、接口和面向对象的概念，但每一种语言又均拥有自己明确的应用重点：

① SystemC 特别适合建模体系结构，开发事务处理级(TL)模型和在验证中描述软件的行为。对于具有很强 C++实力的团队和有基于 C/C++ IP 集成要求(如处理器仿真器)以及为早期软件开发设计的虚拟原型来说，SystemC 特别适合。

② SystemVerilog 是进行 RTL 设计的最佳语言，不仅在于其描述真实硬件和断言的能力，还在于对工具支持方面的考虑。同时，SystemVerilog 也提供了建模抽象模型和先进的验证平台语言特征，例如约束随机激励生成、功能覆盖和断言。对于那些没有 C/C++ IP 集成要求的项目来讲比较合适，毕竟可以使用一种语言完成全部设计。

当然，SystemC 可以用于描述 RTL 结构，而 SystemVerilog 也可以用于编写高层事务处理级模型。但是，每一种语言都用于自己的重点应用时，它们可以达到最佳的效率。这点对于复杂的项目特别适用，在这种项目中，不同的任务分属于不同的组，通常有不同的技能要求。注重实效的解决方案以及符合设计团队的多种

技术要求的方法是同时使用SystemC和SystemVerilog来开发和验证当今设计流程需要的虚拟原型的事务处理级模型。图1.3比较了常见语言的描述能力。其中横线代表描述能力，而跨越某一条横线则代表该语言与有描述该横线所代表的能力，未跨越的横线表示该语言不具备相应描述能力或者描述起来非常困难。图1.4给出了不同语言的同一描述能力时的更加详细比较，通过“优、好、可以、不可以”来划分。

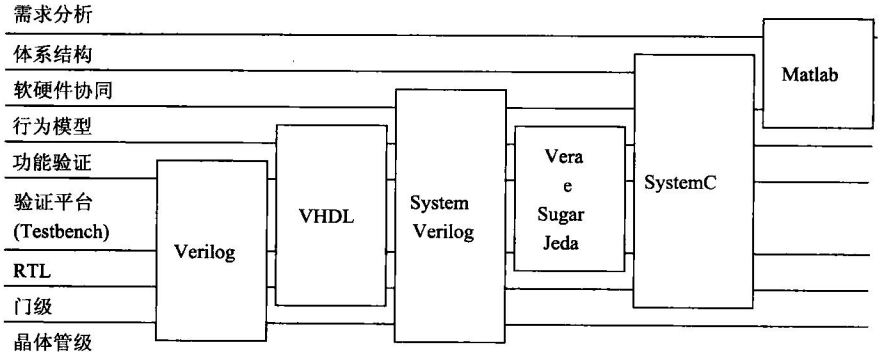


图1.3 常见语言的描述能力比较

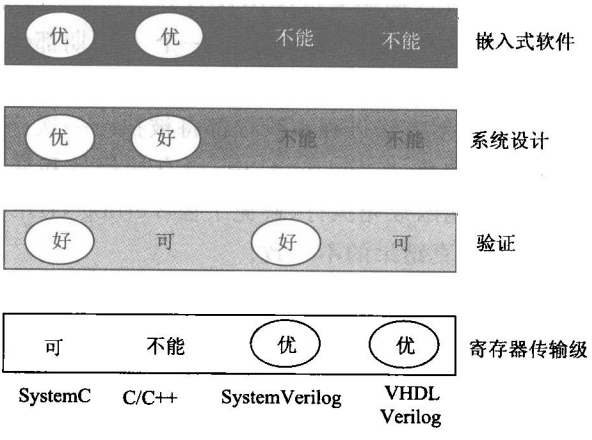


图1.4 常见语言同一描述能力比较

总之，片上系统设计项目应根据项目的需求和团队的技术特长来确定最终的建模语言。在现代SoC设计中，进行处理器集成几乎是必须的，因此在大多数项目中，都会同时采用SystemC和SystemVerilog。目前，多数EDA工具都支持SystemC和SystemVerilog混合设计。在本书中，所采纳的设计工具为ModelSim。

SystemC、SystemVerilog已经继VHDL和Verilog之后，成为HDL仿真工具支持的语言。作为一个专用集成电路设计工程师或者FPGA开发工程师，SystemC和SystemVerilog都是必须掌握的。