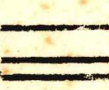


1976年增刊

半导体器件译丛

 MOS-IC 专辑 

济南市半导体元件实验所
情报资料室

目 录

一九七六年增刊

用硅栅产生微功耗的C—MOS 组件工艺	(1)
DSA—MOS 晶体管与集成电路	(12)
N沟道 MOS IC	(19)
硅栅方式	(31)
互补 MOS 和互补双极晶体管做在一个片子上	(39)
用离子注入以及硅栅技术改进集成电路	(50)
把集成电路生产成品率提高 35 %	
MOS 新制造方法	(55)

用硅栅产生微功耗的 C-MOS 组件工艺

低频下功耗比标准的 MOS 小 99%，对需要低压电源的表、便携式通讯系统和电池计算器理想的逻辑电路。

微功耗半导体工艺结合两种有名的集成电路技术——互补 MOS 和多晶硅栅——以开关速度和功率耗散一个理想的组合。这些 Si 栅 C-MOS 逻辑电路要求连续功耗达到毫微瓦，可在电源电压 1 伏左右下工作。这种新电路马上将转入生产线，基本上无论多低的功率都有供应——电池组件驱动通讯系统，手提计算器或电子手表。

多晶硅栅电极比一般的金属栅有两个优点：阈值电压低，电容低。阈值电压低是因为多晶硅的功函数可以做得比一般金属化的功函数更接近于单晶硅衬底；电容低是因为硅栅也与源和漏的自对准掩蔽成函数关系，因此，使重叠电容最小。

互补对（一个 P 沟道器件和一个 N 沟道器件串联）中采用硅栅 MOS 器件就保证静态电流相当低——在毫微安范围。无论何时只有一个器件导通，至少另一个互补器件截止，而电路静态电流仅由截止器件的漏电流来决定。

图 1 把偏压 Si 栅 C-MOS 逻辑门的特性与当前可行的其他的数字系列的特性作了比较。用 1.5 V 的电源，其功率耗散比标准 P 沟道 MOS 的小两个数量级以上，但它的最大工作频率基本相同。

当然，驱动电压较高时，C-MOS 电路就得到较高的频

率，而用 10V 的电源，得到的速度与 TTL 和 RTL 在同等条件下得到的相近。所不同点是其他数字系列，不管开关频率如何，耗散的功率差不多相同，而 C-MOS 电路在低频下功耗显著下降。数字系统的有些逻辑组件长期可是空载的，或者开关比最大的时钟速率慢得多。因此，硅栅 C-MOS 系统的净功率可达一个数量级以上。

为了生产硅栅 C-MOS 集成电路需要一个既容有 P 型区，又容有 n 型区的衬底。这种衬底是先对材料进行化学腐蚀，然后外延生长其反型层，生产互补区也许也能采用其他技术，为了当前大规模低成本的生产，还是用外延容易得到所要求的控制程度。例如，对 n 型衬底，0.5V 阈值电压要求衬底的浓度约 10^{15} 原子/cm³——用一般的扩散技术要得到这样理想的精确控制是很困难的。

制造过程示于图 2。(a)中，是经过化学腐蚀以产生适于反填充各区域或“凹处”

的 P 型片，用一般的外延技术，在凹处做上一层 n 型淀积 (b)，淀积在掩蔽氧化物上的多晶硅作为后面抛光工序的深度计用。典型的采用 $3-5 \Omega/\text{cm}$ P 型 (100)

原材料，用 $4-6 \Omega/\text{cm}$ n 型反填充。(c)中被填充的衬底已恢复了原状并进行了抛光，衬底制备的最后步骤 (d)

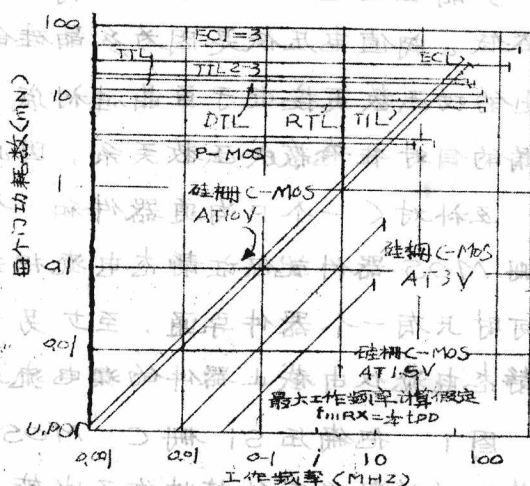


图 1. 将硅栅 CMOS 元件与其他可用的逻辑系列相比，它显示性能，用 1.5V 的电源，功率耗散比 PMOS 的小两个数量级，最大工作频率差不多相同。

包括生长一层适当厚度的氧化物——在 $0.5 \sim 1$ 微米范围——以降低焊接垫和金属互相接触的电容。把这个厚的氧化物的区域腐蚀掉，使做 MOS 器件区域的衬底和凹处暴露出来。

下面做器件的第一个步骤示于(c)，包括生长一层高质量的栅氧化物(约 $1000 \text{ \AA}$ 厚)，不论是 n 沟道器件还是 P 沟道器件。然后，在整个片子上淀积一层多晶硅(f)，做出多晶硅和栅氧化物的图形，片子再盖上一层氧化硅的钝化层(g)。

这层氧化层是在 n 型凹处有选择性地去除的，可以扩散 P 沟道器件的沉区、栅区和漏区的(h)，这个片子再盖上一层氧化层，但要考虑扩散 n 沟道器件 n 型沉、栅和漏的曝光时间(i)。扩散后，再将片子钝化上一层氧化层，最后一步是开接触(-)窗口，

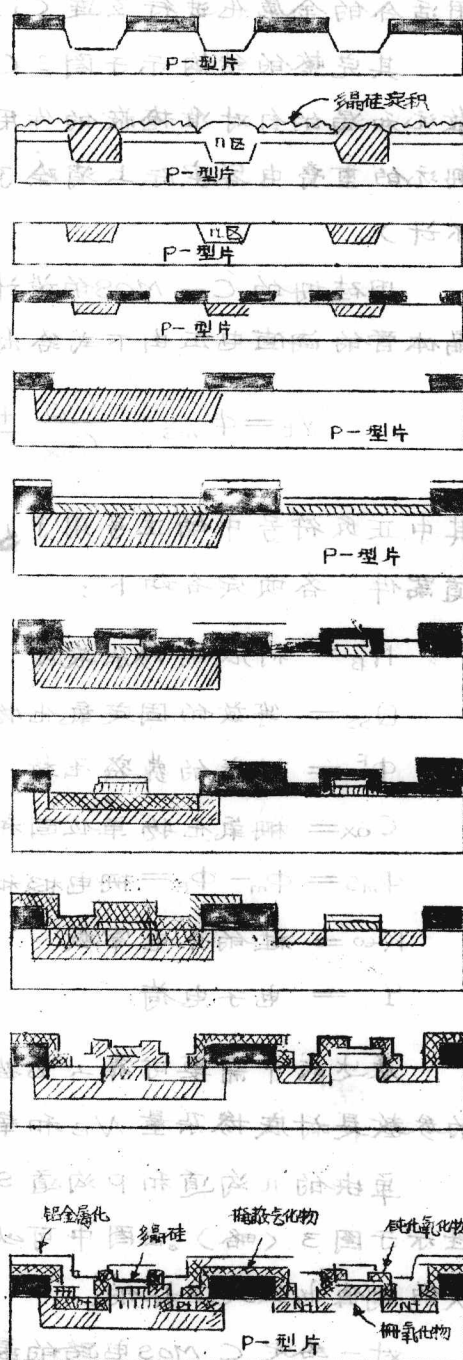


图 2



用适合的金属化进行互连(j)。

其完整的结构示于图2(k)。请注意,因为多晶硅栅有扩散沉和漏的自对准掩蔽的作用。所以,一般MOS的栅一漏和栅沉的重叠电容实际上消除了(栅下面的横向扩散一般可忽略不计)。

用硅栅的C-MOS的设计——根据基本的器件物理, MOS晶体管的阈值电压由下式给出

$$V_t = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \left\{ 2|\phi_F| + \frac{1}{C_{ox}} \sqrt{4K_{eo}qN_B|\phi_F|} \right\}$$

其中正负符号中的正号用于N型沟道器件,而负号用于P型沟道器件,各项定名如下:

N_B = 衬底的掺杂浓度

Q_{ss} = 等效的固定氧化物电荷

ϕ_F = 衬底的费密函数

C_{ox} = 栅氧化物单位面积的电容

$\phi_{ms} = \phi_m - \phi_F$ = 栅电极和衬底间功函数势能差

K_{eo} = 硅的介电常数

q = 电子电荷

表达式中需要可靠工艺控制的参数和决定其最后阈值电压的参数是衬底掺杂量 N_B 和氧化物电荷 Q_{ss} 。

单块的N沟道和P沟道Si栅MOS器件的典型晶体管特性示于图3(略)。由图中可以看出,器件特性事实上与近似0.7伏的阈值电压是互补的。

对一给定C-MOS电路的最大频率响应的理想的近似为

$$f_{max} = (V_{DD} - V_T)^2 / V_{DD}$$

由方程(2)可以看出，最好的阈值电压应该是得到最低的阈值电压，因为这将产生最大的 f_{max} 。但，如果器件的阈值电压太低的话，在一般电路工作的情况下，就不可能关掉，也就是，阈值电压在非常低的情况下，静电流就是值得重视的（可观的了）。

视图4，那是 I_D 的对数与 V_{GS} 的函数关系图，三个器件的几何图形是一致的，但其阈值电压不同（这儿阈值电压 V_T 是任意定的，即漏电流为 5 nA 时的栅压）。阈值电压每降低 0.1 V ，曲线示出零栅压下的漏电流就增大约一个数量级，这不是一般所说的漏电流，而是具有较低阈值电压的 MOS 场效应晶体管所期望得到的正常的沟道电

流，因此，必须做折衷选择：对静电流低的，阈值电压必须足够的高，对频率响应好的，阈值电压必须足够的低。

另一个折衷选择，包括器件的栅宽 Z 与沟道长度 L 之比。可以知道，在一给定的栅压下，硅栅 MOS 场效应晶体管的电流容量与 Z/L 之比成线性正比例，而 CMOS 电路的工作频率的上限由供给各种波节电容充电电流的有源器件的能力来决定的。 Z/L 大的器件就产生的工作频率高。而在一个集成电

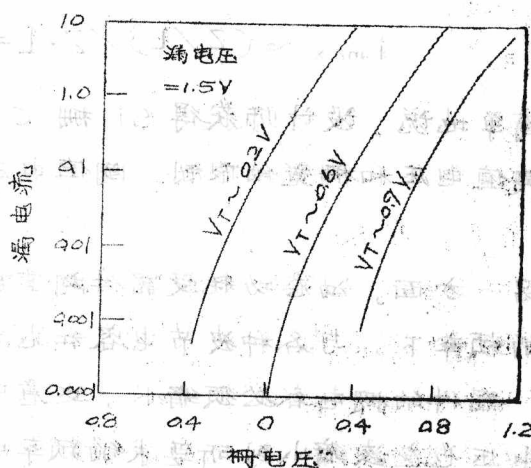


图4. 漏电流与栅电压关系的曲线图
说明阈值电压每缩小 0.1 V ，则零栅压漏电流增大10倍，对静电流低的阈值电压必须足够的高，对频率好的，阈值电压必须足够的低。

路片上，这些波节电容受器件栅电容的控制（这对硅栅CMOS电路特别真实，因为栅漏电容和栅沉电容是忽略不计的）。其问题是器件的栅电容在几何学上也是与 Z 和 L 有关系的。因此，对于最大速度，理想的是 Z/L 要大，而 $Z \cdot L$ 要低，或

$$f_{\max} \propto (Z/L) / Z \cdot L = 1/L^2$$

简单地说，设计师获得Si栅CMOS电路最大速度的能力受阈值电压和栅宽的限制，阈值电压必须低，而栅宽必须变小。

另一方面，动态功耗受器件阈值电压的影响很大，但在任何给定的频率下，与各种波节电容和电源电压的平方都成正比。还有，器件的栅电容必须缩小，这意味着 Z 和 L 都是越小越好。电源电压也应该缩小到所要求的频率响应所允许的值。

基本电路的性能——

CMOS逻辑电路的基本标准元件是图5所示的倒相器。这种电路是用下列范围的器件参数制造的。

$$0.5 < V_T < 0.9 \text{ V}$$

（N型和P型都是如此）

$$0.2 < L < 0.3 \text{ 密}$$

耳和

$$5 < Z/L < 12$$

（这些值是想用来给以实现电路性能的一

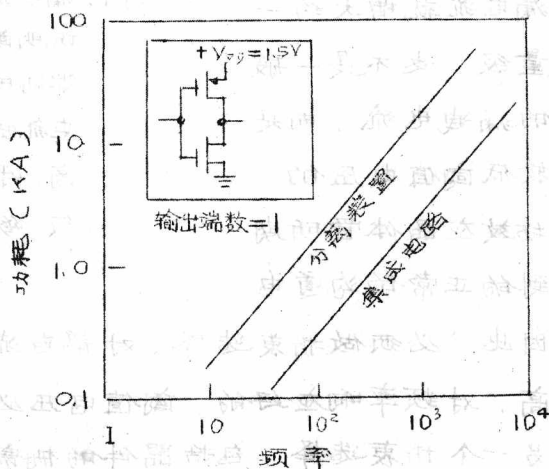


图5. 分立倒相器的额外寄生电容使其消耗功率比一个完整倒相器消耗的大得多，也示出一个倒相器图。这个倒相器是CMOS逻辑电路的基本标准元件。

个评价，而不是表示工艺的极限)。

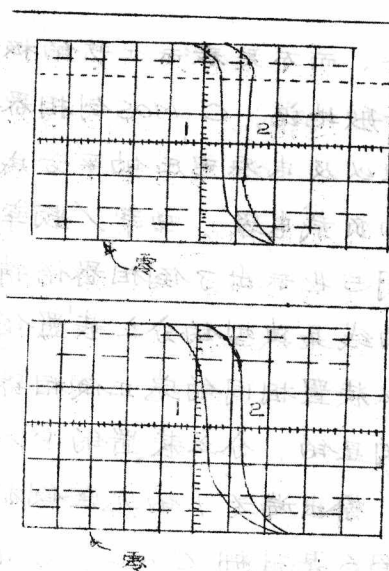
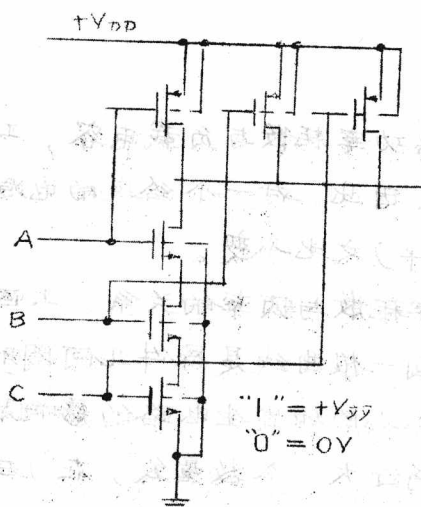
一般地说，CMOS倒相器的动态功率耗散与负载电容，工作频率以及电源电压的平方成正比。因此，对于一个给定的电源电压和负载电容，功率/频率(P/f)之比不变。

图5也示出了倒相器的特征功率耗散与频率的关系，上面一根曲线是典型的分立装置的，下面一根曲线是器件几何图形与分立装置相同的完整倒相器的，这儿附加寄生电路的影响是非常明显的，分立装置的 P/f 比将近大一个数量级，在1.5V下，输出端为1的完整倒相器， P/f 比仅3.3PJ(11W/KHz)。

图6是硅栅CMOS与非门电路图和典型的传输曲线，P沟道器件以并联连接，而N沟道器件以串联连接(或非门的P沟道器件串联，N沟道器件并联)。注意，这种电路抗干扰度高。所示曲线是最坏条件下的；其它所有输入条件产生的传输曲线都包括在这两条曲线以内。

靠近硅栅CMOS与非门集成电路块图形的照片[标有图7(a)]表示定于上部凹处的P沟道器件。应该强调，这是研制片，并不表示用这种工艺可得封装密度。而典型的性能特性总结于图7(b)，那是这种工艺潜力的证明。当用1.5V电源驱动这些门时，延迟时间的传播仅200ns左右，静态功耗10nW，这是非常小的。

采用开式图形(防止扩散的)的器件的硅栅CMOS的翻触发器电路块照片示于图8(a)。在这张照片中可以看出硅栅CMOS电路有一个独特的优点：可以用多晶硅栅作为跨越连接，这在小片重叠时是非常有益的，因为，事实上它提供了一个简单的、两层金属化系统。



$$V_{DD} = 1.5V$$

$$V_{IN-HORIZ}: 0.25V/cm$$

$$V_{OUT-VERT}: 0.25V/cm$$

$$V_{DD} = 3.0V$$

$$V_{IN-HORIZ}: 0.5V/cm$$

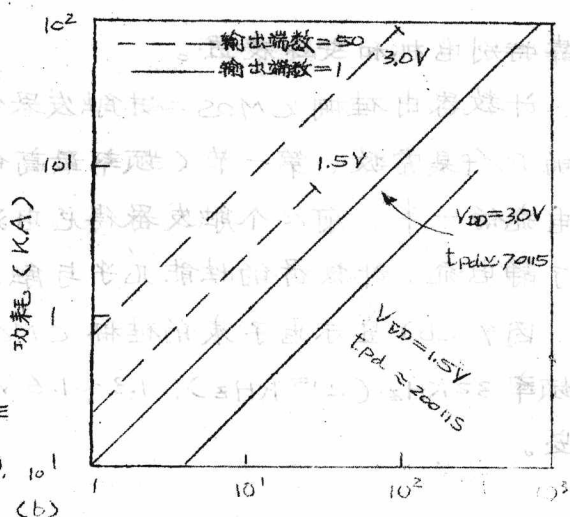
$$V_{OUT-VERT}: 0.5V/cm$$

图6 为了做硅栅 CMOS 与非门, P 沟道器件以并联接触, 而 n 沟道器件以串联接触。典型的传输曲线显示电路有高的抗干扰度, 注意这是最坏情况的曲线, 其它输入条件产生的传输曲线都在曲线的范围以内。

触发器的典型性能示于图8(b), 用电源1.5V, 输出端为1, 最大反转频率约为1MHz, 静态功率耗散约为2nW. P/1比只23PJ, 用功率电源10V, 最大反转频率为25MHz。

应用 Si 栅 CMOS 工艺在石英晶体控制的电子表上很快得

图7. 硅栅 CMOS 与非门集成
恒流管芯的照片是于顶部四区的
P沟道器件照片中所显示的典型性
能特性是根据 1.5V 和 3V 的功
率电源推导出来的。对于 1.5V 的
电源电压, 其静功率耗散只
10 nW 左右, 而传播延迟时间近
似于 200 ns。



到了应用。这个应用工作
要求一只 1.3 或 1.0V 的电源,
其漏电流非常小。

这种装置方块图示于图 9 (a)。装置的难题是计数器或分
频器。分频器是把振荡器频率 (8-131 KHz) 分成 1 Hz 左右, 这

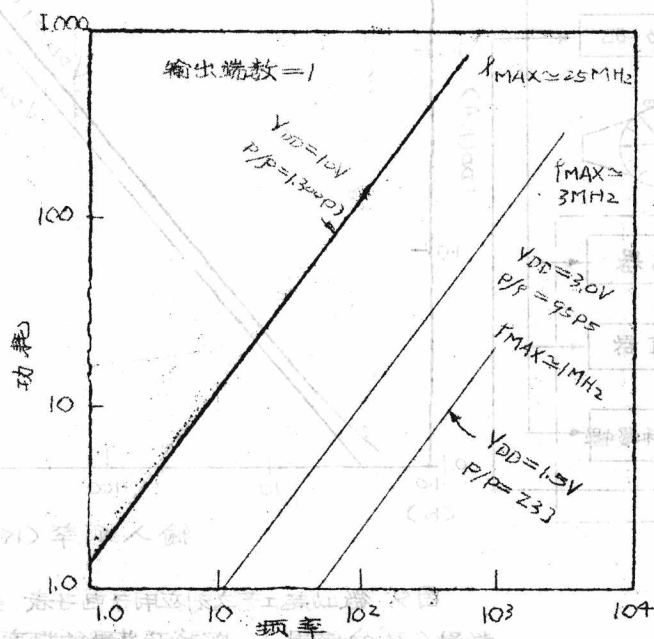


图8. 硅栅 CMOS 二进反转触发器的面积只有 35×35 密耳²,
即使含有 40 个器件, 采用多晶硅栅的还有一个优点是交叉下层
可以做成安全空间, 触发器的性能面于照片中, 用 1.5V 电源, 最
大的反转频率为 1 MHz 左右, 功率耗散只 2 nW, 甚至在 1.0V 下, 频率还
是 25 MHz

就靠特别电机和变速装置。

计数器由硅栅 CMOS 二进触发器的串联组成的。由于触发器的 P/f 是常数，第一节（频率最高的）触发器得总功耗动态总电流的一半，前 10 个触发器得总电流的 99.99%。这意味着，除了静态电流，计数器的性能几乎与触发器级数没有关系。

图 9 (b) 显示电子表的硅栅 CMOS 计数器的典型性能。输入频率 32 KHz (2^{15} KHz)，1.3~1.6 V 电源下的漏电流仅 1.0 微安。

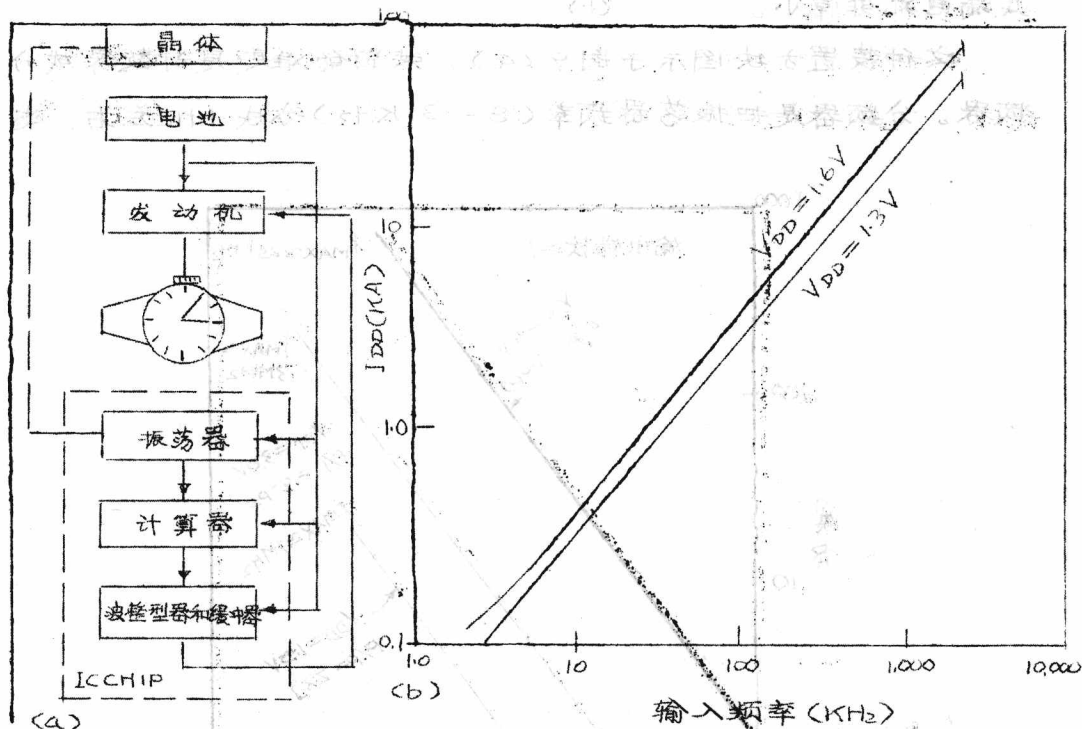


图 9. 微功耗工艺立刻应用于电子表，装置的心脏是计数器（或分频器），它将振荡器的频率分成 1 Hz 左右。典型 Si 栅 CMOS 计数器的特性曲线显示，32 KHz 输入频率，其漏电流在 1.3~1.6 V 功率电源下只 1 微安。

图10是电表小片管芯的照片(略)。这个小片包括16个触发器、两个输出缓冲器和波形成形电路、输入振荡器和两个振荡器(一个20PF MOS电容和一个50兆欧的多晶硅电阻)的无源元件。

管芯的尺寸682×94密耳；有源器件的总数为312。这个片子，一个电池，一个石英晶体，一个电机和一个频率微调电阻就包含了一个电子表的整个电子系统。具有一个32 KHz的晶体，一个1.3V的永电池。这个片子的典型的总的漏电流(包括电机电流)小于4 μ A。

这种工艺同样可应用于固体钟的下一代。一个标准钟是用一个由两个同心环组成的类似于LED的器件构造起来的，外环有60个元件，表示秒和分，内环有12个元件，表示时，通过使用一个64 Hz读取脉冲速率的乘法表，三个LED器件在任何给定的时刻都会显示，事实上，这时每个LED器件用低的占空因数工作着，以保存电源。

除了手表和钟以外，硅栅CMOS集成电路好象是所有轻型数字装置的竞争者。那些装置要求功率耗散最小和/或以1V~3V的低压功率电源下工作。用电池作电源的小型手提计算机，例如，非挥发集成电路存储器就属这一类。

在航空空间数字电子学方面，功率电源的要求是严格的。根据一给定的功率源，硅栅CMOS低功耗电路能产生较长的系统寿命。在宇宙飞船装置的应用方面，在备用型设备中花了大部分时间，CMOS发挥了巨大的优越性，因静态时，CMOS装置几乎不需要功率。

在生物电子学方面，被硅栅CMOS所允许的低电源电压对病人当然是比较安全的。另外，在注入式数字测量装置和遥测技术装置的情况下，替换电池要求工作，制造电池的寿命是

最重要的。事实上，人类燃料电池很快就可能发为低能装置，而不需要替换任何电池。

择有 Electron:CS Vol.44 No.18

P.38.1971.

DSA—MOS晶体管与集成电路

双极晶体管的动作依赖于少数载流子的扩散，而场效应晶体管的动作是由于多数载流子的漂移。因为场效应晶体管的具有高速动作的潜在能力，根据采用下面三点就可以实现这种高性能，即采用能准确控制长度的杂质扩散，实现线沟道长度，防止引起该线沟道长的静态特性变坏及使寄生电容减小。(1)

这里，沿着这条线采用了适合于集成电路的新 MOS 晶体管的构造动作及其它。

MOS 晶体管

1. 构造及性能

图 1~3 表示这里叙述的 MOS 晶体管的构造，图 1 是平面型的

三极构造，图 2 是平面双栅结构，图 3 是非平面型结构。

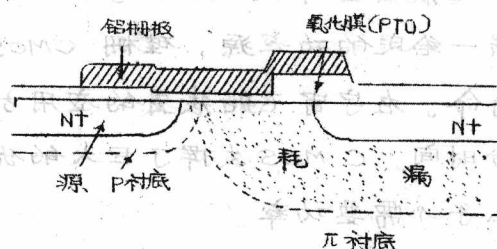


图 1. 是 π —平面 DSA—MOS 晶体管的断面图

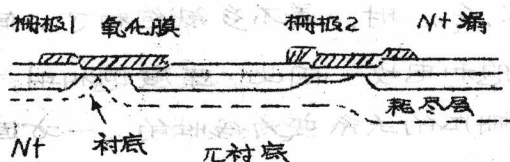


图2是双栅 π -平面DSA-MOS晶体管的断面图

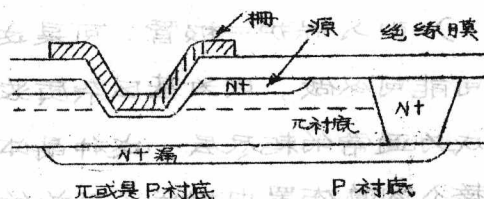


图3是 π -非平面DSA-MOS晶体管的断面图

由于采用上述结构，产生如下的优点，特别是在平面型中，

(1) 因为衬底用的是 π 型的（高电阻率P型基板），故晶体管间的距离自由选择，因此，工艺不变，这在考虑集成电路时成了非常有利之点。

(2) 若将偏置条件作为工作状态，耗尽层就从漏区向P基区扩展（把形成的沟道的区域叫做基极区），所以沟道有效长度等于P层的厚度— N^+ 层的深度。根据杂质扩散可以精确的决定。

可是作为给以晶体管的高频特性加上大的影响的主要因素，有两个反馈电容和载流子的耗尽层渡越时间，但若用一般是近似的考虑，则前者与耗尽层的长度成反比的减小，后者与耗尽层的长度成正比地增大，适当地考虑了这两者的主要因素，耗尽层长度就成可能。

(3) 因为采用高电阻率 π 基板，则可使漏电容减小。

(4) 在电场较小的情况下（ $\sim 10^3$ V/cm 以下），载流子的漂移速度与电场成比例，如果电场大于这个量，就直线下降若

在约 10^4 V/cm 时，差不多就饱和了，假定沟道短的话，容易实现使得饱和电场。因此，速度饱和时， g_m 受到限制，饱和漏电流与栅压的关系变为线性的。一方面在漏电压低处的输出阻抗即“导通”阻抗，由缩短有效沟道长度而降低。

照片(1)(略去)示出的是 π -平面 DSA-MOS 晶体管(S-17)引入保护栅极，可是这因为晶体管是增强型的，所以这种可能可以做，因为基区杂质浓度低，通常若不做基区扩散，则成为通常的耗尽层。这种晶体管光刻掩蔽的尺寸最小是 $5 \mu\text{m}$ ，整个沟道布置电极成了有效的补偿栅构造。

照片(2)(已略)是 π 型平面双栅结构图，在 G_1 栅下面做基区扩散，在 G_2 栅下面不做基区扩散。 G_2 栅是为了做施展 AGC 工作的。因为采用高电阻可以不随极电容容量过剩而增加时，完全可取 G_1 和 G_2 间的岛。

2. 静态特性

图4是表示 π 平面 DSA-MOS 晶体管(S-17)静态特性的测定值。若根据图来看，尽管沟道长度短，把具有短沟道的 MOS 晶体管进行比较，就知道输出电导变小而漏击穿电压变大。这个优点是由于做

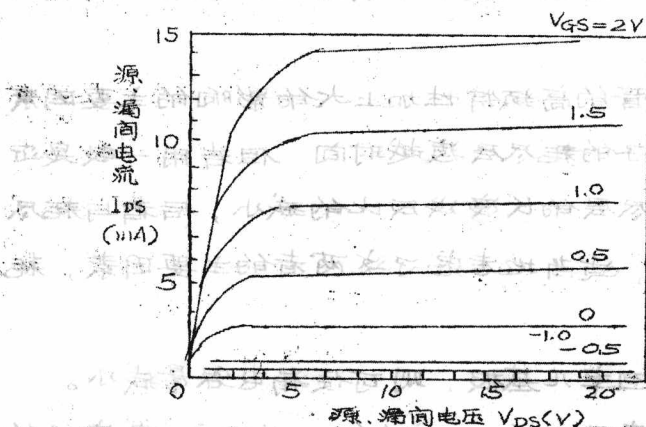


图4. 表示 π -平面 DSA-MOS 晶体管的输出特性

基区扩散而得到的。实验结果示于图5。图5示出了双栅 π 平面 DSA-MOS 晶体管(S-18)的栅1和栅2的特性。栅1部分具有做过杂质扩散的基区，栅2没有，测定栅1的特

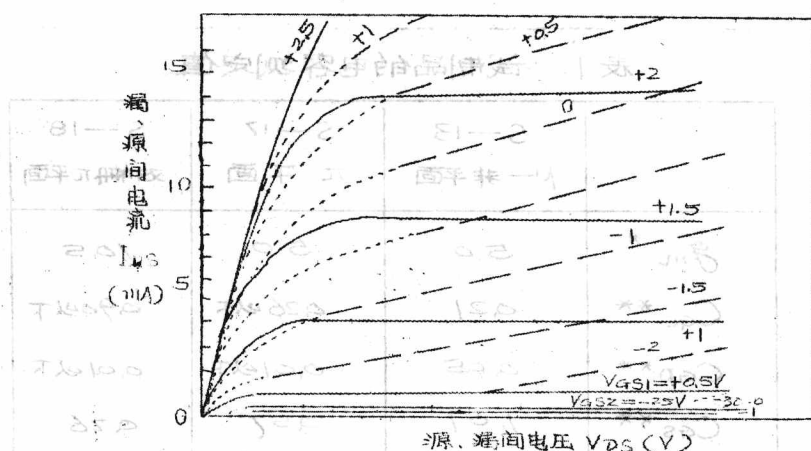


图5 表示双栅 π -平面 DSA—MOS 晶体管的输出特性

性时, 因为栅2的偏压很大, 所以栅下面的沟道变成很低阻抗了, 因此, 不影响栅1的特性。再测栅2的特性时, 在与栅1的条件相同, 从而认为栅1特性是表示基基扩散的结果。图6是表示 π 平面双栅(S-1B)的AGC特性。

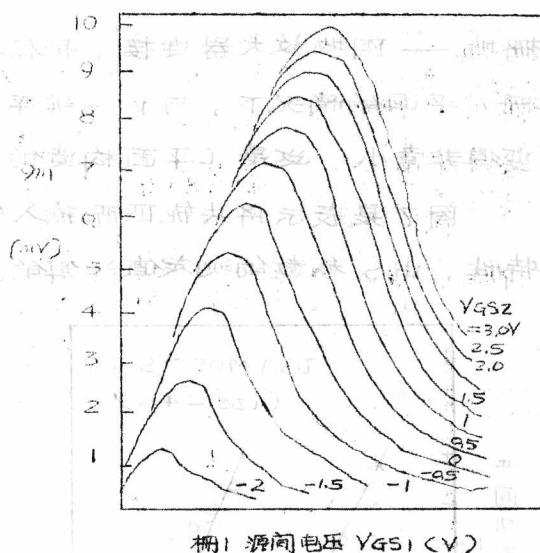


图6 表示双栅 π -平面 DSA—MOS 晶体管的AGC特性

3. 高频特性

表1是表示试作晶体管的电容值, 双栅沟道的宽度约为设计的三极晶体管的2倍。

所以 g_{ic} 约成2倍, 漏—栅间的反馈电容 C_{GD} 分别变小, 这在 μ -非平面的情况下, 根据补偿栅柱构造 π 平面是, 根据