

微处理器与 微计算机

microcomputer

第五机械工业部第二〇七研究所

前 言

自从70年代初出现了微处理器和微型计算机以来，不过几年时间，已经进行了三代更新，其发展速度之快，非常惊人，品种日益增多，性能不断提高。由于具有功能强、构成灵活、可靠性高、价格便宜等等优点，所以产品的销售量急剧上升，应用范围愈来愈广泛。

我国在1975年试制成功了050型微型机，1979年初又试制成功了051型微型机。目前，许多单位正在从事制造、推广应用和新机种的研究等方面的工作。

为了工作上的需要，我们组织了一些以Intel 8080，8085和8086为中心的，包括微处理器和外围电路芯片，微型计算机和研制系统，软件和应用等方面的资料，这些资料可以归并为四个专题，即微处理器及系统构成，系列芯片和外围电路，软件设计和系统研制，接口技术和应用，我们准备将其分辑陆续出版。

本册为第一辑，包括第一专题的内容。其中有一篇关于微处理器结构发展概述性的文章，Intel 8080，8085，8048和8086微处理器的产品使用说明或性能介绍，还有两篇关于微处理器研制系统8002 LAB和MDS800的文章，最后还附录了8080，8085和8086的指令系统。

第二个专题的内容包括微处理器支援器件，存贮器，外围接口，数/模和模/数转换电路等。由于材料比较多，拟分三辑出版。

微处理器/微型计算机的推广应用，关键之一就是软件设计。所以我们作为第三个专题，搜集了部分资料，并将其与有关系统研制的材料汇编在一起，供有关人员参考。

第四个专题准备介绍微处理器/微型计算机在军事、工业控制和其它方面的一些应用例子，以及与应用设计密切相关的接口技术。

上述资料是根据我们工作急需而编选的。由于时间紧迫，人力有限，编选工作一定存在不少缺点，文章译校可能存在一些错误，衷心希望批评、指正。

目 录

微处理器结构评述	(1)
八位N—沟道微处理器Intel 8080A和M8080A	(8)
单片八位N—沟道微处理器Intel 8085A.....	(28)
16位微处理器Intel 8086	(47)
Intel 800型微计算机研制系统.....	(69)
8002 微处理器实验装置——一种完整的软件研制系统.....	(78)
附 录	(93)

1.Intel 8080指令系统

2.Intel 8085指令系统

3.Intel 8086指令系统

微处理器结构评述

微处理器是在半导体集成电路工艺和计算机科学飞速发展的基础上出现的。自从1971年第一个微处理器产品 Intel 4004问世以来,只经过了七、八年的时间,微处理器已经进行了三代更新,在性能上飞速提高,系统构成上逐渐完善,应用范围越来越广泛。比如在1971年,Intel 4004 指令平均执行时间为20微秒,构成一个微型计算机系统平均要50~60片电路;而到1976年,Intel 8085指令平均执行时间已提高为1.3微秒,构成一个微型计算机系统平均仅需15片电路,其最小系统构成仅用3片电路就行了。为适应各种功能的微型计算机系统应用,微处理器品种繁多,外围设备和接口电路也越来越完备。由于具有结构简单,价格低廉,可靠性高等优点,应用范围从现金管理,家用器具,计算器,游戏机,仪器仪表,销售终端,交通管制,到通讯处理,数据收集,数字控制,过程控制,自动测试等方面也越来越广泛。已经证明,微处理器和微型计算机的出现和发展,不仅对计算机科学本身的发展起着重要作用,而且也对人类社会生产和生活产生巨大而深远的影响。

微型计算机由微处理器加上存贮器和必要的输入/输出接口电路组成。微型计算机配以外存贮器和输入/输出设备就构成了微型计算机系统(图1),而微处理器则是微型计算机的核心,即通常所说的中央处理器(CPU)。由于大规模集成电路的发展,有可能在一个芯片上集成数千至数万个晶体管,所以设计的微处理器实际上就是一个单片集成电路(位片式微处理器由数片构成)。因此,受到芯片面积和封装引线的限制,在结构上微处理器具有相应的特点。随着微处理器的发展,以及不同厂家根据不同的工艺,不同的应用而设计的微处理器的不同,结构上也是各不相同的。本文拟就典型的微处理器

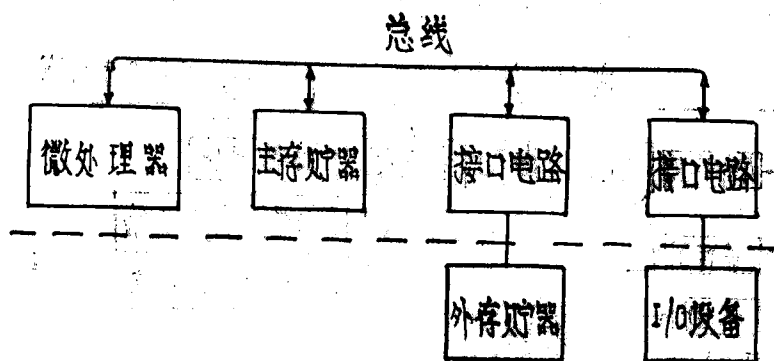


图1 微型计算机系统结构

的结构变化进行简单的讨论。

所有微处理器，就其结构而论，都遵从两个基本概念：①双向(内、外)总线结构，②总线结构的三态逻辑。采用这种结构就可以通过多路开关，赋予总线不同的逻辑功能，使得芯片内部互连引线的数目减少，当然也会使得与总线相连的个别电路的复杂性稍有增加。对于外引线，也采用了类似的结构，使得引线封装较小，焊点较少，可靠性较高。外总线采用三态逻辑(逻辑1，逻辑0和高阻抗)，不仅使微处理器与外部装置的通讯不必采用单一的方式，而且外部装置的数目也容易扩展，因为外部装置的高阻抗状态不会影响使用总线的作用电路的负载。

类似于1964—1967年间的小型计算机的发展，微处理器的结构主要是面向寄存器的结构(如Intel 8080, Motorola 6800)，采用了累加器和变址寄存器，但现在已经出现了面向存储器—存储器的微处理器(如TMS 9900)。目前的微处理器设计和早期的微处理器不同，芯片复杂性增加了，使得处理器CPU的功能更为完善，然而基本设计仍然限制在希望与以前的系列保持相容上。结构上最重要的发展，是使得前后程序转换的时间最短、最方便，在这方面有很多革新，其中不全是遵从小型计算机的模式。

微处理器中还有一种位片式微处理器，它不是从功能上划分CPU(如ALU，寄存器组，指令译码器等)，而是划分为两位或四位宽的“位片”来实现CPU的设计。把几个位片组合在一起，便可构成任意字长的计算机，而不受芯片设计者的限制。位片式微处理器的缺点是不能预定指令系统，因为预定指令系统一般需要知道字长(以便置标志，处理带符号的运算等等)，所以必需由用户来编制微程序。位片式微处理器的主要用途是用于高速专用微型计算机(大部分位片式微处理器是以肖特基TTL或ECL工艺制造的)。如果主要要求的不是高速和指令系统的灵活性，那么位片式微处理器一般就无需考虑。

第一代微处理器的典型例子是Intel 8008，其结构分为四个功能区：即指令寄存器和控制部分，内部存储器，ALU和I/O缓冲器，这四个部分围绕着一个8位内部总线交换信息(图2)。这里值得提出的是由动态RAM构成的两个内部存储器，其一用作下推地址堆栈，其二用作变址寄存器区。地址堆栈由八个14位寄存器构成。14位地址可

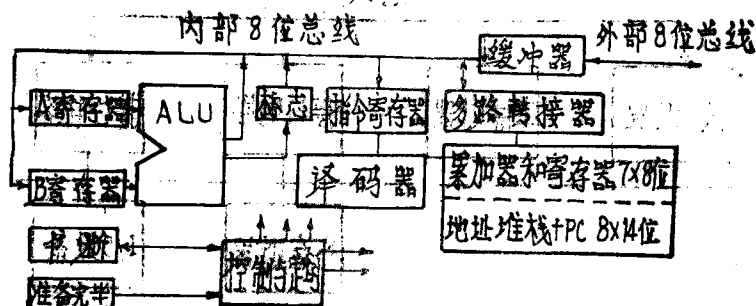


图2 Intel 8008的结构

以直接寻址16K字节的存储器。堆栈中的一个寄存器用作程序计数器(PC)，其余七个寄存器用以地址存贮以实现最多为七级的子程序嵌套。在执行调入指令的时候，后进先出堆栈将程序计数器的内容保存起来并代之以中断服务程序的起始地址。有一个三位地址指示器指明程序计数器的地址。便笺存储器包括一个8位累加器(A)和六个8位数据寄存器(B, C, D, E, H和L)，所有操作都用累加器作为一个算子。

因为堆栈只有八个寄存器，所以最多只能实现七级子程序嵌套。而中断的时候，堆栈只能存放返回地址，不能自动地存放任何寄存器的值或机器状态。

另外一个问题是Intel 8008只有单一8位外部数据总线($D_0 \sim D_7$)而无专用的地址总线，因此不但要求大量的支援器件(最少要11~12片)，而且由于需要实现多路开关而使定时控制复杂，并且减慢了运算速度(基本周期时间为20微秒)。

第二代微处理器可以Intel 8080和Motorola 6800为例。Intel 8080与Intel 8008之间的相似性可从图3中看出，它的基本结构仍然是分为四个功能区，即寄存器区和地址逻辑，ALU，指令寄存器和控制部分，以及数据总线缓冲器。其主要进展是在外部总线

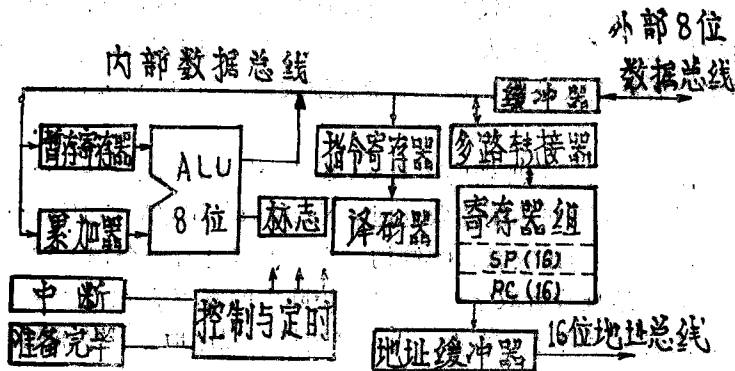


图3 Intel 8080的结构

中分出了一个16位地址总线，这不但增加了处理器的速度，而且也减少了支援电路的数量(只用六片外加电路就可构成一个微型计算机)。第二是把累加器同便笺存贮分离开来，大部分运算和逻辑操作都用累加器来完成，这样又进一步提高了运算速度(基本周期时间为2微秒)。第三是把堆栈移出了CPU芯片放在外RAM之中，CPU芯片里采用了一个16位堆栈指示器来追踪栈顶，并在指令系统里提供了附加指令，通过压入堆栈和弹出堆栈的操作来使用堆栈存贮信息而不只是存贮地址(比如寄存器值和状态信息)。另外，堆栈长度只受RAM容量的限制，因而可以提供几乎无限的子程序嵌套。

Motorola 6800在速度和效能上大体与Intel 8080相同，但结构上却有些不一样。从内部看，它有三个总线，即数据总线，高字节地址和低字节地址总线(图4)。把内部总线分开，简化了处理器的操作。微处理器把外部设备同存储器的地址一样看待(存贮

的结构变化进行简单的讨论。

所有微处理器，就其结构而论，都遵从两个基本概念：①双向(内、外)总线结构，②总线结构的三态逻辑。采用这种结构就可以通过多路开关，赋予总线不同的逻辑功能，使得芯片内部互连引线的数目减少，当然也会使得与总线相连的个别电路的复杂性稍有增加。对于外引线，也采用了类似的结构，使得引线封装较小，焊点较少，可靠性较高。外总线采用三态逻辑(逻辑1，逻辑0和高阻抗)，不仅使微处理器与外部装置的通讯不必采用单一的方式，而且外部装置的数目也容易扩展，因为外部装置的高阻抗状态不会影响使用总线的作用电路的负载。

类似于1964—1967年间的小型计算机的发展，微处理器的结构主要是面向寄存器的结构(如Intel 8080, Motorola 6800)，采用了累加器和变址寄存器，但现在已经出现了面向存储器—存储器的微处理器(如TMS 9900)。目前的微处理器设计和早期的微处理器不同，芯片复杂性增加了，使得处理器CPU的功能更为完善，然而基本设计仍然限制在希望与以前的系列保持相容上。结构上最重要的发展，是使得前后程序转换的时间最短、最方便，在这方面有很多革新，其中不全是遵从小型计算机的模式。

微处理器中还有一种位片式微处理器，它不是从功能上划分CPU(如ALU，寄存器组，指令译码器等)，而是划分为两位或四位宽的“位片”来实现CPU的设计。把几个位片组合在一起，便可构成任意字长的计算机，而不受芯片设计者的限制。位片式微处理器的缺点是不能预定指令系统，因为预定指令系统一般需要知道字长(以便置标志，处理带符号的运算等等)，所以必需由用户来编制微程序。位片式微处理器的主要用途是用于高速专用微型计算机(大部分位片式微处理器是以肖特基TTL或ECL工艺制造的)。如果主要要求的不是高速和指令系统的灵活性，那么位片式微处理器一般就无需考虑。

第一代微处理器的典型例子是Intel 8008，其结构分为四个功能区，即指令寄存器和控制部分，内部存储器，ALU和I/O缓冲器，这四个部分围绕着一个8位内部总线交换信息(图2)。这里值得提出的是由动态RAM构成的两个内部存储器，其一用作下推地址堆栈，其二用作变址寄存器区。地址堆栈由八个14位寄存器构成。14位地址可

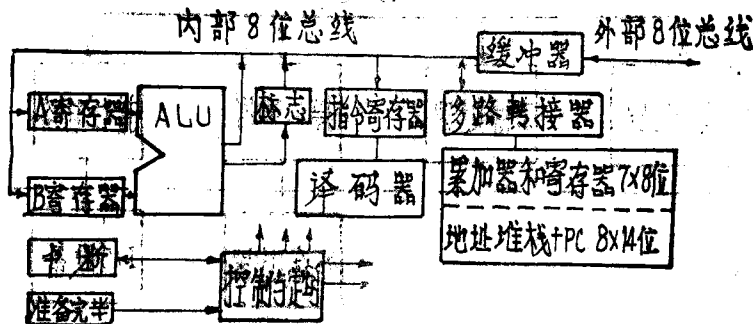


图2 Intel 8008的结构

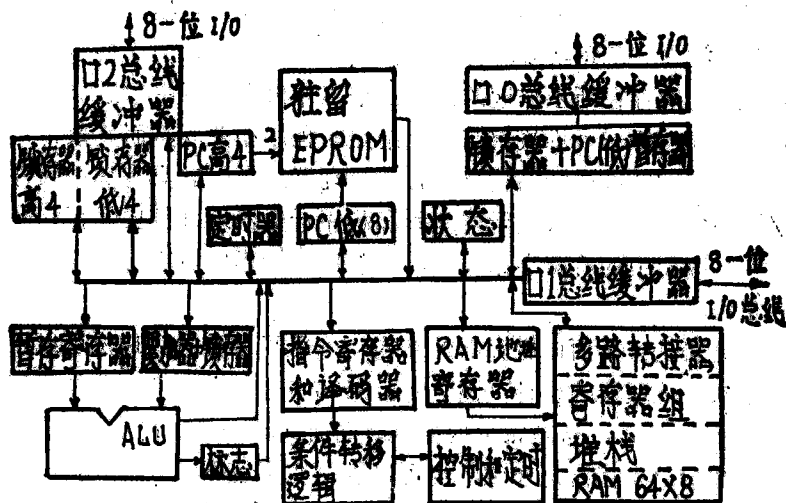


图5 Intel 8048单片计算机结构

行访问(不只用作数据,而且采用外加存贮器的话,也可以用作地址信息的低位字节)。同时,还用另一I/O口给出一个4位地址页面选择信息。如果不用外加存贮器,所有这三个I/O口都用来锁存8位的I/O通道信息。

最早的16位微处理器大概要算National PACE,但是大量出现并成为“工业标准”却是最近的事。其中具有结构特点的TMS 9900,是一个16位存贮器——存贮器结构的微处理器,其中采用了程序计数器(PC),工作区指示器(WP)和状态寄存器,并且可由程序机构进行存取(图6)。WP中含有的是存贮器中16个工作区寄存器为一组的第一个地址。每一个工作区寄存器都可以保存数据或地址,其功能既可作为算子地址,也可以作为变址寄存器或累加器。用一个寄存器号码和WP地址相加的办法来对其进行

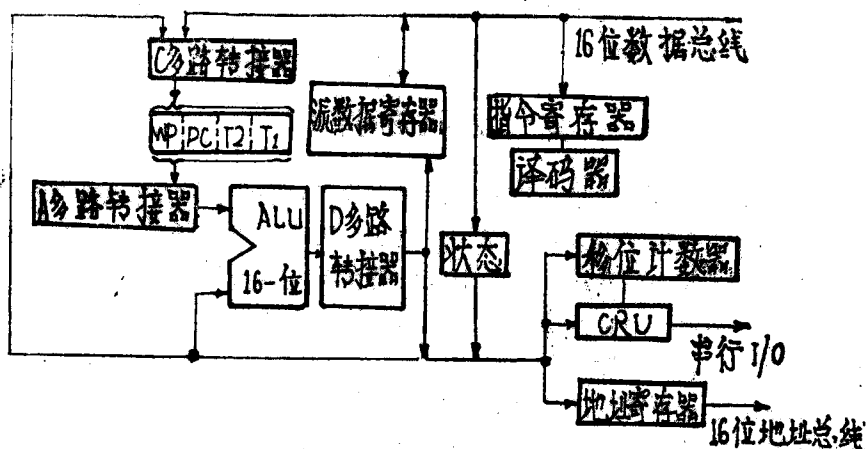


图6 TMS 9900的结构

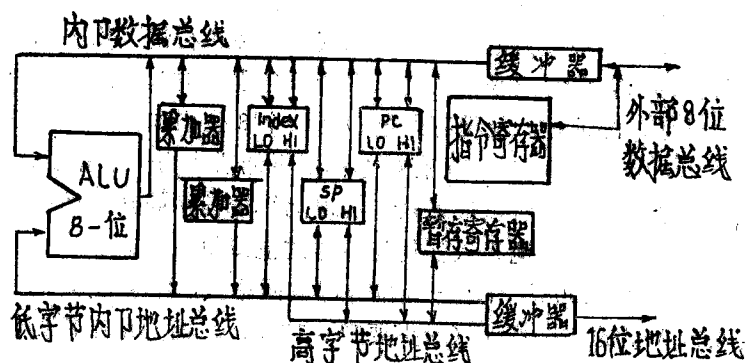


图4 Motorola 6800的结构

器变换 I/O)，指令系统中也不设明显的 I/O 指令。Motorola 6800 也是采用外 RAM 堆栈的思想，但处理方法却完全不同。它使用两条中断线（不包括清除线），每个中断线使用存储器中一对特定字节，（地址 FFFC 和 FFFD 用于非可屏蔽中断，FFF 8 和 FFF 9 用于可屏蔽中断。）来获得用来代替 PC 现行值的地址。如果要求程序嵌套，区分中断请求的方法要由软件来提供。中断发生的时候，不仅程序地址计数器，而且还有累加器，变址器和状态寄存器都推入堆栈。对于小型系统来说，Motorola 6800 的优点是使用的支援电路较少。

在性能上属于第二代微处理器的还有 MOS Tech 6500, Siguetics 2650, RCA CP 1802 (COSMAC) 以及面向控制的微处理器 National SC/MP 和 Fairchild F8 等等。这里只提一下 COSMAC 的比较新颖的结构，它的特点是有一个 16×16 位的寄存器矩阵 R，其中可以寄存地址或者双字节的数据。矩阵中的寄存器 R(i) ($i = 1, 2, \dots, 16$) 可以由三个 4 位的派定寄存器之一的 4 位代码来选择。程序地址计数器的功能，则可以通过一个 4 位的程序地址派定寄存器，来派定任何一个 R(i) 来担当。前后程序的转换可以通过在三个 4 位派定寄存器中放置常数的办法来实现。这样，就加快了中断时前后程序的转换速度。

第三代微处理器的发展，一方面表现在 8 位微处理器性能的增强，一方面表现在单片计算机的出现，第三是出现了更多的 16 位微处理器。Intel 8085 和 Motorola 6802 是第一方面的例子，它们与其前身 8080 和 6800 是相容的，结构上也类似，但是性能提高了。更能说明问题的是 Zilog Z80，它具有许多附加指令，可以说是一种超级 8080 系统。第二方面单片计算机的出现是第三代微处理器最重要的发展，它是将存储器、定时器和 I/O 接口全部同 CPU 一起集成在同一芯片上。例如，Intel 8048 (图 5)，其功能类似于 8080，结构上是围绕着一个双向内部总线来设计的，这样就为增加功能提供了便利。虽然它与 8080 不保持软件和引线的相容性，但允许使用 8080 的 LSI 外围接口。程序存储可由 $1K \times 8$ 位的 EPROM 提供，并可由内部程序计数器对其直接寻址。引线端没有明显的地址总线出现，而是提供了三个 I/O 口。其中一个 I/O 口用来对双向数据总线进

可有256种中断可以利用。另外，乘法和除法可用作标准指令，并且乘数和被乘数可以是不带符号的数，也可以是2的补码，可以是16位的数，也可以是8位的数。这些特点说明Intel 8086在目前的16位微处理器中能力最强，其地位相当于8080/8085在8位微处理器领域中所占的位置。

以上我们基本上以Intel 8008, 8080, 8085, 8048, 8086为线索，介绍了微处理器的发展及其结构上的变化。目前，微处理器结构还在随着工艺的进步和技术的革新而迅速发展，预计不久的将来出现的新的微处理器将是指令系统相容并且功能更强。CPU片上集成的外围接口可能会更多，但这并不是方向，因为微处理器应用的场合和要求是千差万别，搞一个能适应各种应用和要求的片子，显然是既不经济也不科学的。更为希望的是将处理器的能力分布在它的接口装置之中，如果朝这个方向发展，就会导致常常说起的多处理器系统。

单片计算机和微控制器方面，片上EPROM规模会更大，更标准；而常用操作则由片上的掩模程序ROM来提供。另外，还需要产生性能更强的通用外围接口芯片，这种芯片只要改变其中的ROM程序，就能适应各种接口。

16位微处理器正处在积极的开发阶段。硬件乘/除装置会扩展到包括片上硬件浮点指令、片上面板和控制台接口、（可能还包括Modem）、片上引导程序、以及非常扩展的存贮器。有人预言，1985年将会出现一个32位1M字节片上存贮器的微处理器，这个前景当然非常令人向往。片上高速缓冲存贮器已经在Intel 8086的先取存贮器中成为现实。另外还期望完全不同的微处理器，比如向量处理器，相联处理器还有像英国ICL公司的分布阵列式处理器那样形式的处理器。这样一来，不但模糊了微型机和小型机之间的界限，而且在一个系统中也分辨不清到底那个是主机了。

孙玉岐 编译

存取。因为工作区寄存器是在外存储器中，所以前后程序的转换，只要改变上面所说的三个可存取寄存器的内容就可实现，并且转换速度非常之快。为了便于返回，这三个寄存器的原有值，自动地存在新工作区的最后三个工作区寄存器中。这似乎有点像是存在一个工作区固定堆栈，每一个堆栈都与一个给定的程序相关联，而其数目只受存储器规模大小的限制。TMS 9900 中断结构比 8 位微处理器复杂，它具有 16 级硬件优先权，与每一个中断程序相关联的工作区区指示器地址和程序计数器地址都要保存起来。程序优先权可以使用状态寄存器中的屏蔽字来设置，只有比现行程序有着更高优先权的中断才能中断处理器的工作。

Intel 8086 仍然是一个面向寄存器的结构，采用了多重内部 16 位总线，其新的特点可能要影响到未来微处理器的设计（图 7）。8086 中有一个 6 字节的先取缓冲器保存排队指令，据 Intel 公司报告，这是减少取指令时间而又不增加很多不必要的存储器操作的最佳长度。8086 中的寄存器是 16 位，也可以进行 8 位运算，以便与 8080/8085 保持相容。另外，其中还有两个 16 位变址寄存器和两个存储器指示寄存器，可以直接存取 1 M 字节的存储器。所有地址都要进行计算，即将四个区段寄存器之一的内容与区段内的偏差地址相加。区段寄存器包含 16 位地址，可以用作 20 位地址的高 16 位；而物理的 20 位地址是这一地址和一个 16 位偏差地址的和。区段的起始地址可以在 1 M 字节的任何地点，

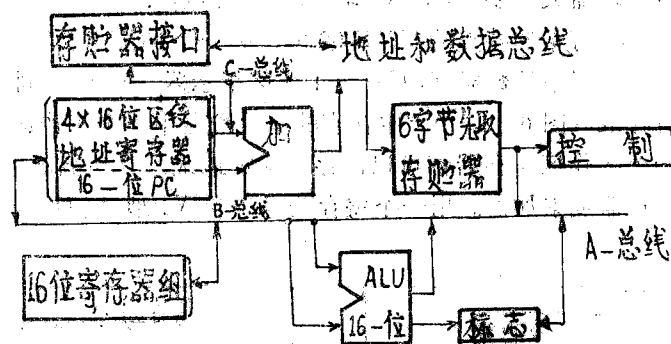
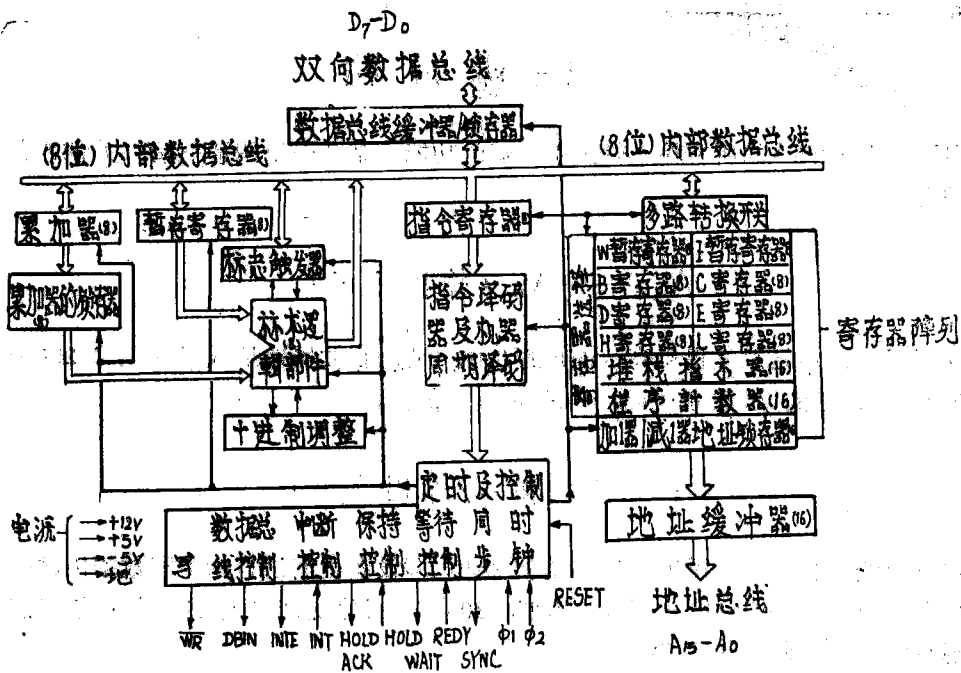


图 7 Intel-8086 的结构

以 16 字节为一间隔，16 位偏差地址可使区段长度为 65 K 字节。这样处理的最大优点是代码的浮动性。提供一个程序可以只改变偏差地址，因此可以与任意一个区段地址进行运算，从而适应存储器的任何地点。有四个区段寄存器，即现行代码区段，现行数据区段、现行堆栈区段和现行附加区段。区段可以重迭，在程序、堆栈和数据区之间不能相互干扰的限制之下，它们是独立的。

Intel 8086 还有一些特点，其中包括“总线门锁”，这样就可以使多处理器分享同一总线；还可以用一种特殊的指令前缀，在指令执行期间拒绝其它可能的总线存取。中断结构允许有 256 个中断服务代码地址指示器，每个 4 字节（16 位区段和 16 位偏差），因此



8080A CPU功能方框图

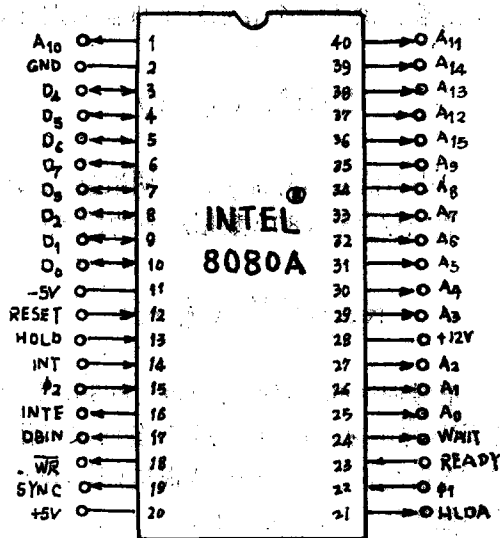


图 1 引线端构成

8 位N—沟道微处理器8080A和M8080A

8 位N沟道微处理器8080A

(8080A在功能和电性能上与8080兼容)

- TTL驱动能力。
- $2\mu s$ ($1:1.3\mu s \sim 2:1.5\mu s$) 指令周期。
- 强功能解题的指令系统。
- 6个通用寄存器和一个累加器。
- 16位程序计数器可直接寻址达64K存储器字节。
- 16位堆栈指示器及堆栈管理指令，便于程序区的迅速转换。
- 十进制、二进制及倍精度运算。
- 提供优先中断的能力。
- 512直接地址的I/O口。

Intel 8080A 是一个完整的 8 位并行的中央处理器 (CPU)，它是用N沟道、硅栅 MOS工艺做在单片上的大规模集成电路。这种片子给用户提供了高性能解决 控制和处理等方面应用的手段。

8080A含有 6 个 8 位通用的工作寄存器和一个累加器。6 个通用寄存器可以单个地或成对地选址，以提供单字节或双字节精度的操作。算术和逻辑指令可使 4 个条件标志置 1 或复位。第五个标志提供十进制算术操作的特征。

8080A具有外部堆栈的特点，存储器的任何部份都可以作为后进 先出堆栈，用于存放和恢复累加器、标志、程序计数器以及 6 个通用寄存器的内容。16位堆栈指示器控制外部堆栈的寻址。这个堆栈使得8080A能够通过快速存贮和恢复处理器状态而易于处理多级优先中断。它还能提供几乎无限制的子程序嵌套。

采用这种微处理器可以简化系统设计。把16线地址总线和 8 线双向数据总线分开，使得微处理器易于与存储器 and I/O接口。控制存储器和I/O接口的信号由8080A直接发出。地址和数据总线的控制主要用HOLD信号，它把处理器操作挂起，并强制地址和数据总线进入高阻抗状态，使这些总线与其它的 控制设备“或”操作，以便进行直接存储器存取 (DMA) 或进行多处理器操作。

$\overline{WR}$ (输出)

写: $\overline{WR}$ 信号用来控制存储器写入或I/O输出。当 $\overline{WR}$ 是低电平 ($\overline{WR} = 0$) 时, 数据总线上的数据已是稳定的。

HOLD (输入)

保持: HOLD信号请求CPU进入保持状态。“保持”状态允许外部设备在紧接着8080A完成现机器周期对地址和数据总线的使用后, 立刻取得对这些总线的控制。可在下列条件下进行识别:

- CPU处在HALT状态。
- CPU处在 T_2 或 TW 状态中, 而READY信号作用。

CPU进入HOLD状态的结果是CPU的地址总线($A_{16}-A_0$)及数据总线(D_7-D_0)即将进入高阻抗状态。CPU用它的保持响应(HLDA)引出端来表示它已响应HOLD状态。

HLDA (输出)

保持响应: 出现HLDA信号在于响应HOLD信号, 指出数据和地址总线即将转成高阻抗状态。HLDA信号开始于:

- 在存储器读出或输入周期的 T_3 ;
- 在存储器写入周期或输出操作时 T_3 过后的时钟周期。

不管是那种情形, HLDA信号都出现在 ϕ_1 上升沿之后, 而高阻抗则发生在 ϕ_2 上升沿之后。

INTE (输出)

中断允许: 表明内部允许中断触发器的内容。这个触发器由允许中断和关中断指令使它置位和复位, 而当它复位时, 它禁止CPU再接受中断。当接收一个中断后, 在取指令周期(M_1)的 T_1 时间能自动复位(不许再中断), 它也能用RESET(复位)信号来复位。

INT (输入)

中断请求: CPU在现行指令的末了, 或者是当暂停的时候, 就在INT引线端识别

引线端说明

下面说明8080A的所有输入输出引线端的功能，某几个说明请参阅有关的内部时间周期图。

A_{15} —— A_0 (输出三态)

地址总线：地址总线提供高达64K的8位字节的存储器地址或者表示达256个输入及256个输出设备的I/O设备代码， A_0 是地址的最低位。

D_7 —— D_0 (输入/输出三态)

数据总线：数据总线提供CPU，存储器和I/O设备之间进行指令和数据传输的双向通路。在每个机器周期的第一个时钟周期，8080A在数据总线上输出一个周期状态字，示明现行的机器周期。 D_0 是最低位。

SYNC (输出)

同步信号：SYNC引出端提供了一个表示每个机器周期开始的信号。

DBIN (输出)

数据总线允许输入：DBIN信号向外部电路表明数据总线处于输入方式。这个信号可以用来打开数据从存储器或I/O至8080A数据总线的门控电路。

READY (输入)

准备就绪：READY信号向8080A表明可以取用8080A数据总线上的存储器或输入数据。这个信号用来使CPU与慢速存储器或I/O设备同步工作。如果8080A送出一个地址后，而没有接到READY信号输入，则8080A根据READY是低电平就进入“等待”(WAIT)。READY还能用于CPU单步工作。

WAIT (输出)

等待：WAIT信号用来证明CPU处在“等待”状态。

符 号	参 数	最 小	典 型	最 大	单 位	测试条件
V_{ILC}	时钟输入低电平	$V_{SS}-1$		$V_{SS}+0.8$	V	
V_{IHC}	时钟输入高电平	9.0		$V_{DD}+1$	V	
V_{IL}	输入低电平	$V_{SS}-1$		$V_{SS}+0.8$	V	
V_{IH}	输入高电平	3.3		$V_{CC}+1$	V	
V_{OL}	输出低电平			0.45	V	$I_{OL} = 1.9\text{mA}$ 对所有输出 $I_{OH} = -150\mu\text{A}$
V_{OH}	输出高电平	3.7			V	
I_{DD} (平均)	平均电源(V_{DD}) 电流		40	70	mA	$T_{CY} = 0.148\text{微秒}$
I_{CC} (平均)	平均电源(V_{CC}) 电流		60	80	mA	
I_{BB} (平均)	平均电源(V_{BB}) 电流		0.01	1	mA	
I_{IL}	输入漏电流			± 10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$
I_{CL}	时钟漏电流			± 10	μA	$V_{SS} \leq V_{\text{时钟}} \leq V_{DD}$
$I_{DL}^{[2]}$	输入方式时, 数 据总线漏电流			-100 -2.0	μA mA	$V_{SS} \leq V_{IN} \leq V_{SS} + 0.8\text{V}$ $V_{SS} + 0.8\text{V} \leq V_{IN} \leq V_{CC}$
I_{FL}	在HOLD期间, 地址及数据总线 漏电流			+10 -100	μA	$V_{\text{地址/数据}} = V_{CC}$ $V_{\text{地址/数据}} = V_{SS} + 0.45\text{V}$