# PCI Express 体系结构导读

王 齐 编著

机械工业出版社
CHINA MACHINE PRESS

# PCI Express 体系结构导读

王 齐 编著

机 械 工 业 出 版 社

本书讲述了与 PCI 及 PCI Express 总线相关的最为基础的内容，并介绍了一些必要的、与 PCI 总线相关的处理器体系结构知识，这也是本书的重点所在。深入理解处理器体系结构是理解 PCI 与 PCI Express 总线的重要基础。

读者通过对本书的学习，可超越 PCI 与 PCI Express 总线自身的内容，理解在一个通用处理器系统中局部总线的设计思路与实现方法，从而理解其他处理器系统使用的局部总线。本书适用于希望多了解一些硬件的软件工程师，以及希望多了解一些软件的硬件工程师，也可供电子工程和计算机类的研究生自学参考。

**图书在版编目(CIP)数据**

PCI Express 体系结构导读/王齐编著. —北京:机械工业出版社,2010.3
ISBN 978-7-111-29822-9

Ⅰ. ①P… Ⅱ. ①王… Ⅲ. ①总线-结构 Ⅳ. ①TP336

中国版本图书馆 CIP 数据核字(2010)第 028735 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）
责任编辑：车 忱
责任印制：洪汉军
三河市宏达印刷有限公司印刷
2010 年 3 月第 1 版 · 第 1 次印刷
184mm × 260mm · 28.5 印张 · 704 千字
0001 - 3500 册
标准书号：ISBN 978-7-111-29822-9
定价：55.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务
社服务中心：(010) 88361066
销 售 一 部：(010) 68326294
销 售 二 部：(010) 88379649
读者服务部：(010) 68993821

网络服务
门户网：http://www.cmpbook.com
教材网：http://www.cmpedu.com

封面无防伪标均为盗版

# 序

PCI Express 总线是新一代的 I/O 局部总线标准，是取代 PCI 总线的革命性总线架构。PCI 总线曾经是 PC 体系结构发展史上的一个里程碑，但是随着技术的不断发展，新涌现出的一些外部设备对传输速度和带宽有更高的要求，如千兆和万兆以太网、4Gb/8Gb 的 Fiber Channel 和高速显示设备等。同时有些外部设备对总线的服务质量还有更严格的要求。PCI 总线在设计之初并没有考虑这些因素，因此并不能完全满足这些外部设备的需要。

PCI Express 总线正是在这种背景下应运而生的。在 2001 年的春季英特尔开发者论坛上，英特尔公布了取代 PCI 总线的第三代 I/O 技术，当时被称为“3GIO”。经 PCI-SIG 审核，于 2002 年 7 月正式公布了第一版规范，并更名为 PCI Express。从 2004 年开始，PCI Express 总线逐渐全面取代 PCI 和 AGP 总线，成为新的局部总线工业标准。

与 PCI 总线的共享并行架构不同，PCI Express 总线使用高速串行传送方式，能够支持更高的频率，连接的设备不再像 PCI 总线那样共享总线带宽。除此之外 PCI Express 总线还引入了一些新特性，如流量控制机制、服务质量管理、热插拔支持、数据完整性和新型错误处理机制等。而且 PCI Express 总线在系统软件级与 PCI 总线保持兼容，最大程度上降低了系统软件从原有的 PCI 总线体系结构移植到 PCI Express 总线体系结构的难度。

目前关于 PCI Express 总线规范的文献和书籍已有多种，但多集中在介绍规范本身。对于广大的开发者来说，能够从处理器系统的角度了解 PCI Express 总线功能，无疑更有实用价值。无论是系统外部设备的开发、驱动程序的编写，还是其他系统软件的开发，处理器系统始终处于核心位置。

本书正是从处理器系统的视角来讲述 PCI Express 总线的体系结构，较为细致地介绍了如何使用 FPGA 实现一个基于 PCIe 总线的外部设备，以及基于 Linux 系统的 PCI/PCI Express 总线驱动程序和设备驱动程序。本书对于 PCI Express 总线相关的软硬件开发人员具有很高的参考价值。

PCI Express 总线规范仍在不断发展。总的来说，PCI Express 总线规范提出的最新技术概念往往在英特尔的 x86 处理器系统和外部设备中最先出现。本书的作者王齐先生，目前工作于英特尔开源技术研究中心，对处理器体系结构和 Linux 系统核心技术均有深入研究，相信本书的读者能够从他的经验分享中获益。

杨继国
英特尔开源技术中心

# 前　言

PCI 与 PCI Express（PCIe）总线在处理器系统中得到了大规模应用。PCISIG 也制定了一系列 PCI 与 PCI Express 总线相关的规范，这些规范所涉及的内容庞杂广泛。对于已经理解了 PCI 与 PCI Express 总线的工程师，这些规范便于他们进一步获得必要的细节知识。对于刚刚接触 PCI 与 PCI Express 总线的工程师，这些规范性的文档并不适合阅读。在阅读这些规范时，工程师还需要具备一些与体系结构相关的基础知识，这恰是规范并不涉及的内容。对于多数工程师，规范文档适于查阅，而不便于学习。

本书将以处理器体系结构为主线介绍 PCI Express 总线的组成，以便读者进一步理解 PCI Express 总线协议。本书并不是关于 PCI 和 PCI Express 总线的百科全书，因为读者完全可以通过阅读 PCI 和 PCI Express 总线规范获得细节信息。本书侧重的是 PCI 和 PCI Express 总线中与处理器体系结构相关的内容。

本书不会对 PCI 总线的相关规范进行简单重复，部分内容并不在 PCI 总线规范定义的范围内，例如 HOST 主桥和 RC。PCI 总线规范并没有规定处理器厂商如何实现 HOST 主桥和 RC，不同的处理器厂商实现的 HOST 主桥和 RC 有较大差异，而这些内容正是本书所讨论的重点。此外本书还讲述了一些在 PCI 总线规范中提及，但是容易被忽略的一些重要概念。

本书共由三篇组成。第Ⅰ篇（第 1～3 章）介绍 PCI 总线的基础知识。第Ⅱ篇（第 4～13 章）介绍 PCI Express 总线的相关概念。第Ⅱ篇的内容以第Ⅰ篇为基础。从系统软件的角度来看，PCI Express 总线向前兼容 PCI 总线，理解 PCI Express 总线必须建立在深刻理解 PCI 总线的基础之上。读者需要按照顺序阅读这两篇。

第 1 章主要说明 PCI 总线涉及的一些基本知识。有些知识稍显过时，但是在 PCI 总线中出现的一些数据传送方式，如 Posted、Non-Posted 和 Split 数据传送方式，依然非常重要，也是读者需要掌握的。

第 2 章重点介绍 PCI 桥。PCI 桥是 PCI 及 PCI Express 体系结构的精华所在，本章还使用了一定篇幅介绍了非透明桥。非透明桥不是 PCI 总线定义的标准桥片，但是在处理器系统之间的互联中得到了广泛的应用。

第 3 章详细阐述 PCI 总线的数据传送方式，与 Cache 相关的内容和预读机制是本章的重点。目前 PCI 与 PCI Express 对预读机制的支持并不理想。但是在可以预见的将来，PCI Express 总线将充分使用智能预读机制进一步提高总线的利用率。

第 4 章是 PCI Express 篇的综述。第 5 章以 Intel 的笔记本平台 Montevina 为例说明 RC 的各个组成模块。实际上 RC 这个概念，只有在 x86 处理器平台中才真正存在。其他处理器系统中，并不存在严格意义上的 RC。

第 6、7 章分别介绍 PCI Express 总线的事务层、数据链路层和物理层。物理层是 PCI Express 总线的真正核心，也是中国工程师最没有机会接触的内容。这也是我们这一代工程师的遗憾与无奈。第 8 章简要说明了 PCI Express 总线的链路训练与电源管理。

第 9 章主要讨论的是通用流量控制的管理方法与策略。PCI Express 总线的流量控制机

制仍需完善，其中不等长的报文长度也是限制 PCI Express 总线流量控制进一步提高的重要因素。

第 10 章重点介绍 MSI 和 MSI-X 中断机制。MSI 中断机制在 PCI 总线中率先提出，但是在 PCI Express 总线中也得到大规模普及。目前 x86 架构多使用 MSI-X 中断机制，而在许多嵌入式处理器中仍然使用 MSI 中断机制。

第 11 章的篇幅很短，重点介绍 PCI 和 PCI Express 总线中的序。有志于学习处理器体系结构的工程师务必掌握这部分内容。在处理器体系结构中有关 Cache 和数据传送序的内容非常复杂，掌握这些内容也是系统工程师进阶所必须的。

第 12 章讲述了笔者的一个实际设计——Capric 卡，简单介绍了 Linux 设备驱动程序的实现过程，并对 PCI Express 总线的延时与带宽进行了简要分析。

第 13 章介绍 PCI 总线与虚拟化相关的一些内容。虚拟化技术已崭露头角，与虚拟化相关的一系列内容将对处理器体系结构产生深远的影响。目前虚拟化技术已经在 x86 和 PowerPC 处理器中得到了广泛的应用。

第Ⅲ篇以 Linux 系统为实例说明 PCI 总线在处理器系统中的使用方法，也许有许多读者对这一篇有着浓厚的兴趣。Linux 无疑是一个非常优秀的操作系统。但是需要提醒系统工程师，Linux 系统仅是一个完全开源的操作系统。对于有志于学习处理器体系结构的工程师，学习 Linux 系统是必要的，但是仅靠学习 Linux 系统并不足够。

通常说来，理解处理器体系结构至少需要了解两三种处理器，并了解它们在不同处理器上的实现。尺有所短，寸有所长。不同的处理器和操作系统所应用的领域并不完全相同。也是因为这个原因，本书以 PowerPC 和 x86 处理器为基础对 PCI 和 PCI Express 总线进行说明。

本书在写作过程中得到了我的同事和在处理器及操作系统行业奋战多年的朋友们的帮助。在 Linux 系统中许多与处理器和 PCI 总线相关的模块，都有着他们的辛勤付出。刘建国和郭超宏先生审阅了本书的第Ⅰ篇。马明辉先生审阅了本书的第Ⅱ篇。张巍、余珂与刘劲松先生审阅了第 13 章。吴晓川、王勇、丁建峰、李力与吴强先生共同审阅了全书。

本书第 12 章中出现的 Capric 和 Cornus 卡由郭冠军和高健协助完成。看着他们通过对 PCI Express 总线理解的逐渐深入，最终设计出一个具有较高性能的 Cornus 卡，备感欣慰。此外杨强浩先生也参与了 Capric 和 Cornus 卡的原始设计与方案制定，在此对他及他的团队在这个过程中给予的帮助表示感谢，我们也一道通过这两块卡的制作进一步领略了 PCI Express 总线的技术之美。

一个优秀的协议，从制定到广大技术人员理解其精妙之处，再到协议应用到一个个优秀产品中，需要更多的人参与、投入、实践，这也是编写此书最大的动力源泉。本书的完成与我的妻子范淑琴的激励直接相关，Capricornus 也是她的星座。还需要感谢本书的编辑车忱与策划时静，正是他们的努力使得本书提前问世。

对本书尚留疑问的读者，可通过我的邮箱 sailing.w@ gmail.com 与我联系。最后希望这本书对您有所帮助。

作　者

# 目　录

## 第Ⅱ篇 PCI Express 体系结构概述

## 第Ⅲ篇 Linux 与 PCI 总线

# 第Ⅰ篇 PCI 体系结构概述

PCI（Peripheral Component Interconnect）总线的诞生与 PC（Personal Computer）的蓬勃发展密切相关。在处理器体系结构中，PCI 总线属于局部总线（Local Bus）。局部总线作为系统总线的延伸，其主要功能是连接外部设备。

处理器主频的不断提升，要求速度更快、带宽更高的局部总线。起初 PC 使用 8 位的 XT 总线作为局部总线，很快升级到 16 位的 ISA（Industry Standard Architecture）总线，并逐步发展到 32 位的 EISA（Extended Industry Standard Architecture）、VESA（Video Electronics Standards Association）和 MCA（Micro Channel Architecture）总线。

PCI 总线规范在 20 世纪 90 年代提出。这条总线推出之后，很快得到了各大主流半导体厂商的认同，并迅速统一了当时并存的各类局部总线，EISA、VESA 等其他 32 位总线很快就被 PCI 总线淘汰了。从那时起，PCI 总线一直在处理器体系结构中占有重要地位。

在此后相当长的一段时间里，处理器系统的大多数外部设备都是直接或者间接地与 PCI 总线相连。即使目前 PCI Express 总线逐步取代 PCI 总线成为 PC 局部总线的主流，也不能掩盖 PCI 总线的光芒。从软件层面上看，PCI Express 总线与 PCI 总线基本兼容；从硬件层面上看，PCI Express 总线在很大程度上继承了 PCI 总线的设计思路。因此 PCI 总线依然是软硬件工程师在进行处理器系统的开发与设计时必须掌握的一条局部总线。

PCI 总线规范由 Intel 的 IAL（Intel Architecture Lab）提出，其 V1.0 规范在 1992 年 6 月 22 日正式发布。IAL 是 Intel 的一个重要实验室，USB（Universal Serial Bus）、AGP（Accelerated Graphics Port）、PCI Express 总线规范和 PC 的南北桥结构都是由这个实验室提出的。

IAL 起初的研究领域包括硬件和软件，但是 IAL 在软件领域的研究遭到了 Microsoft 的抵触，IAL 提出的许多软件规范并不被 Microsoft 认可，于是 IAL 更专注硬件领域，并在 PC 体系架构上取得了一个又一个突破。IAL 是现代 PC 体系架构的重要奠基者。2001 年，IAL 由于其创始人的离去而临时解散。2005 年，Intel 重建了这个实验室。

PCI 总线 V1.0 规范仅针对在一个 PCB（Printed Circuit Board）环境内的器件之间的互连，而 1993 年 4 月 30 日发布的 V2.0 规范增加了对 PCI 插槽的支持。1995 年 6 月 1 日，PCI V2.1 总线规范发布，这个规范具有里程碑意义。正是这个规范使得 PCI 总线大规模普及，至此 PCI 总线完成了对(E)ISA 和 MCA 总线的替换。

至 1996 年，VESA 总线也逐渐离开了人们的视线，当然 PCI 总线并不能完全提供显卡所需要的带宽，真正替代 VESA 总线的是 AGP 总线。随后 PCISIG（PCI Special Interest Group）陆续发布了 PCI 总线 V2.2、V2.3 规范，并最终将 PCI 总线规范定格在 V3.0。

除了 PCI 总线规范外，PCISIG 还定义了一些与 PCI 总线相关的规范，如 PCMCIA（Personal Computer Memory Card International Association）规范和 MiniPCI 规范。其中 PCMCIA 规范主要针对 Laptop 应用，后来 PCMCIA 升级为 PC Card（Cardbus）规范，而 PC Card 又升级为 ExpressCard 规范。

PC Card 规范基于 32 位、33MHz 的 PCI 总线；而 ExpressCard 规范基于 PCI Express 和 USB 2.0。这两个规范都在 Laptop 领域中获得了成功。除了 PCMCIA 规范外，Mini PCI 总线也非常流行，与标准 PCI 插槽相比，Mini PCI 插槽占用面积较小，适用于一些对尺寸有要求的应用。

除了以上规范之外，PCISIG 还推出了一系列和 PCI 总线直接相关的规范。如 PCI-to-PCI 桥规范、PCI 电源管理规范、PCI 热插拔规范和 CompactPCI 总线规范。其中 PCI-to-PCI 桥规范最为重要，理解 PCI-to-PCI 桥是理解 PCI 体系结构的基础；而 CompactPCI 总线规范多用于具有背板结构的大型系统，并支持热插拔。

PCISIG 在 PCI 总线规范的基础上，进一步提出 PCI-X 规范。与 PCI 总线相比，PCI-X 总线规范可以支持 133MHz、266MHz 和 533MHz 的总线频率，并在传送规则上做了一些改动。虽然 PCI-X 总线还没有得到大规模普及就被 PCI Express 总线替代，但是在 PCI-X 总线中提出的许多设计思想仍然被 PCI Express 总线继承。

PCI 总线规范是 Intel 对 PC 领域做出的一个巨大贡献。Intel 也在 PCI 总线规范中留下了深深的印记，PCI 总线规范的许多内容都与基于 IA（Intel Architecture）架构的 x86 处理器密切相关。但是这并不妨碍其他处理器系统使用 PCI 总线，事实上 PCI 总线在非 x86 处理器系统上也取得了巨大的成功。目前绝大多数处理器系统都使用 PCI/PCI Express 总线连接外部设备，特别是一些通用外设。

随着时间的推移，PCI 和 PCI-X 总线逐步遇到瓶颈。PCI 和 PCI-X 总线使用单端并行信号进行数据传递，由于单端信号容易被外部系统干扰，其总线频率很难进一步提高。目前，为了获得更高的总线频率以提高总线带宽，高速串行总线逐步替代了并行总线。PCI Express 总线也逐渐替代 PCI 总线成为主流。但是从系统软件的角度上看，PCI Express 总线仍然基于 PCI 总线。理解 PCI Express 总线的一个基础是深入理解 PCI 总线，同时 PCI Express 总线也继承了 PCI 总线的许多概念。本篇将详细介绍与处理器体系结构相关的一些必备的 PCI 总线知识。

为简化起见，本篇主要介绍 PCI 总线的 32 位地址模式。在实际应用中，使用 64 位地址模式的 PCI 设备非常少。而且在 PCI Express 总线逐渐取代 PCI 总线的大趋势之下，将来也很难会有更多的使用 64 位地址的 PCI 设备。如果读者需要掌握 PCI 总线的 64 位地址模式，请自行阅读 PCI 总线的相关规范。实际上，如果读者真正掌握了 PCI 总线的 32 位地址模式之后，理解 64 位地址模式并不困难。

为节省篇幅，下文将 PCI Express 总线简称为 PCIe 总线，PCI-to-PCI 桥简称为 PCI 桥，PCI Express-to-PCI 桥简称为 PCIe 桥，Host-to-PCI 主桥简称为 HOST 主桥。值得注意的是许多书籍将 HOST 主桥称为 PCI 主桥或者 PCI 总线控制器。

# 第1章　PCI总线的基本知识

PCI总线作为处理器系统的局部总线，其主要目的是为了连接外部设备，而不是作为处理器的系统总线连接Cache和主存储器。但是PCI总线、系统总线和处理器体系结构之间依然存在着紧密的联系。

PCI总线作为系统总线的延伸，其设计考虑了许多与处理器相关的内容，如处理器的Cache共享一致性和数据完整性，以及如何与处理器进行数据交换等一系列内容。其中Cache共享一致性和数据完整性是现代处理器局部总线的设计的重点和难点，也是本书将重点讲述的主题之一。

孤立地研究PCI总线并不可取，因为PCI总线仅是处理器系统的一个部分。深入理解PCI总线需要了解一些与处理器体系结构相关的知识。这些知识是本书侧重描述的，同时也是PCI总线规范忽略的内容。脱离实际的处理器系统，不容易也不可能深入理解PCI总线规范。

对于今天的读者来说，PCI总线提出的许多概念略显过时，也有许多不足之处。但是在当年，PCI总线与之前存在的其他并行局部总线如ISA、EISA和MCA总线相比，具有许多突出的优点，是一个全新的设计。

（1）PCI总线空间与处理器空间隔离

PCI设备具有独立的地址空间，即PCI总线地址空间，该空间与存储器地址空间通过HOST主桥隔离。处理器需要通过HOST主桥才能访问PCI设备，而PCI设备需要通过HOST主桥才能访问主存储器。在HOST主桥中含有许多缓冲，这些缓冲使得处理器总线与PCI总线工作在各自的时钟频率中，互不干扰。HOST主桥的存在也使得PCI设备和处理器可以方便地共享主存储器资源。

处理器访问PCI设备时，必须通过HOST主桥进行地址转换；而PCI设备访问主存储器时，也需要通过HOST主桥进行地址转换。HOST主桥的一个重要作用就是将处理器访问的存储器地址转换为PCI总线地址。PCI设备使用的地址空间是属于PCI总线域的，这与存储器地址空间不同。

x86处理器对PCI总线域与存储器域的划分并不明晰，这也使得许多程序员并没有准确地区分PCI总线域地址空间与存储器域地址空间。而本书将反复强调存储器地址和PCI总线地址的区别，因为这是理解PCI体系结构的重要内容。

PCI规范并没有对HOST主桥的设计进行约束。每一个处理器厂商使用的HOST主桥，其设计都不尽相同。HOST主桥是联系PCI总线与处理器的核心部件，掌握HOST主桥的实现机制是深入理解PCI体系结构的前提。

本书将以Freescale的PowerPC处理器和Intel的x86处理器为例，说明各自HOST主桥的实现方式，值得注意的是本书涉及的PowerPC处理器仅针对Freescale的PowerPC处理器，而不包含IBM和AMCC的Power和PowerPC处理器。而且如果没有特别说明，本书中涉及的x86处理器特指Intel的处理器，而不是其他厂商的x86处理器。

（2）可扩展性

PCI 总线具有很强的扩展性。在 PCI 总线中，HOST 主桥可以直接推出一条 PCI 总线，这条总线也是该 HOST 主桥管理的第一条 PCI 总线，该总线还可以通过 PCI 桥扩展出一系列 PCI 总线，并以 HOST 主桥为根节点，形成 1 棵 PCI 总线树。这些 PCI 总线都可以连接 PCI 设备，但是在 1 棵 PCI 总线树上，最多只能挂接 256 个 PCI 设备（包括 PCI 桥）。

在同一条 PCI 总线上的设备间可以直接通信，而并不会影响其他 PCI 总线上设备间的数据通信。隶属于同一棵 PCI 总线树上的 PCI 设备，也可以直接通信，但是需要通过 PCI 桥进行数据转发。

PCI 桥是 PCI 总线的一个重要组成部件，该部件的存在使得 PCI 总线极具扩展性。PCI 桥也是有别于其他局部总线的一个重要部件。在“以 HOST 主桥为根节点”的 PCI 总线树中，每一个 PCI 桥下也可以连接一个 PCI 总线子树，PCI 桥下的 PCI 总线仍然可以使用 PCI 桥继续进行总线扩展。

PCI 桥可以管理这个 PCI 总线子树，PCI 桥的配置空间含有一系列管理 PCI 总线子树的配置寄存器。在 PCI 桥的两端，分别连接了两条总线，分别是上游总线（Primary Bus）和下游总线（Secondary Bus）。其中与处理器距离较近的总线被称为上游总线，另一条被称为下游总线。这两条总线间的通信需要通过 PCI 桥进行。PCI 桥中的许多概念被 PCIe 总线采纳，理解 PCI 桥也是理解 PCIe 体系结构的基础。

（3）动态配置机制

PCI 设备使用的地址可以根据需要由系统软件动态分配。PCI 总线使用这种方式合理地解决了设备间的地址冲突，从而实现了“即插即用”功能。因此 PCI 总线不需要使用 ISA 或者 EISA 接口卡为解决地址冲突而使用的硬件跳线。

每一个 PCI 设备都有独立的配置空间，在配置空间中含有该设备在 PCI 总线中使用的基地址，系统软件可以动态配置这个基地址，从而保证每一个 PCI 设备使用的物理地址并不相同。PCI 桥的配置空间中含有其下 PCI 子树所能使用的地址范围。

（4）总线带宽

PCI 总线与之前的局部总线相比，极大提高了数据传送带宽，32 位/33 MHz 的 PCI 总线可以提供 132 MB/s 的峰值带宽，而 64 位/66 MHz 的 PCI 总线可以提供的峰值带宽为 532 MB/s。虽然 PCI 总线所能提供的峰值带宽远不能和 PCIe 总线相比，但是与之前的局部总线 ISA、EISA 和 MCA 总线相比，仍然具有极大的优势。

ISA 总线的最高主频为 8 MHz，位宽为 16，其峰值带宽为 16 MB/s；EISA 总线的最高主频为 8.33 MHz，位宽为 32，其峰值带宽为 33 MB/s；而 MCA 总线的最高主频为 10 MHz，最高位宽为 32，其峰值带宽为 40 MB/s。PCI 总线提供的峰值带宽远高于这些总线。

（5）共享总线机制

PCI 设备通过仲裁获得 PCI 总线的使用权后，才能进行数据传送，在 PCI 总线上进行数据传送，并不需要处理器进行干预。

PCI 总线仲裁器不在 PCI 总线规范定义的范围内，也不一定是 HOST 主桥和 PCI 桥的一部分。虽然绝大多数 HOST 主桥和 PCI 桥都包含 PCI 总线仲裁器，但是在某些处理器系统的设计中也可以使用独立的 PCI 总线仲裁器。如在 PowerPC 处理器的 HOST 主桥中含有 PCI 总线仲裁器，但是用户可以关闭这个总线仲裁器，而使用独立的 PCI 总线仲裁器。

PCI 设备使用共享总线方式进行数据传递，在同一条总线上，所有 PCI 设备共享同一总线带宽，这将极大地影响 PCI 总线的利用率。这种机制显然不如 PCIe 总线采用的交换结构，但是在 PCI 总线盛行的年代，半导体的工艺、设计能力和制作成本决定了采用共享总线方式是当时的最优选择。

（6）中断机制

PCI 总线上的设备可以通过四根中断请求信号 INTA ~ D#向处理器提交中断请求。与 ISA 总线上的设备不同，PCI 总线上的设备可以共享这些中断请求信号，不同的 PCI 设备可以将这些中断请求信号“线与”后，与中断控制器的中断请求引脚连接。PCI 设备的配置空间记录了该设备使用这四根中断请求信号的信息。

PCI 总线还进一步提出了 MSI（Message Signal Interrupt）机制，该机制使用存储器写总线事务传递中断请求，并可以使用 x86 处理器 FSB（Front Side Bus）总线提供的 Interrupt Message 总线事务，从而提高了 PCI 设备的中断请求效率。

虽然从现代总线技术的角度来看，PCI 总线仍有许多不足之处，但也不能否认 PCI 总线已经获得了巨大的成功。不仅 x86 处理器将 PCI 总线作为标准的局部总线连接各类外部设备，PowerPC、MIPS 和 ARM○处理器也将 PCI 总线作为标准局部总线。除此之外，基于 PCI 总线的外部设备，如以太网控制器、声卡、硬盘控制器等，也已经成为主流。

## 1.1 PCI 总线的组成结构

如上文所述，PCI 总线作为处理器系统的局部总线，是处理器系统的一个组成部件，讲述 PCI 总线的组成结构不能离开处理器系统这个大环境。在一个处理器系统中，与 PCI 总线相关的模块如图 1-1 所示。

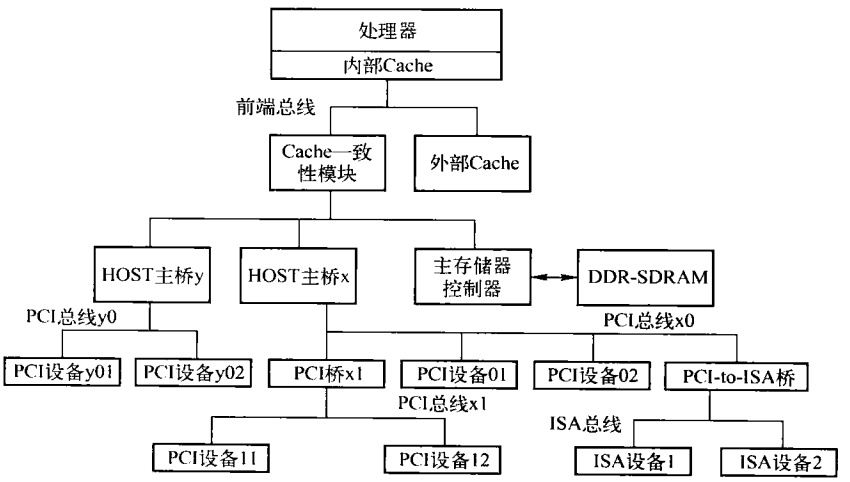


图 1-1　基于 PCI 总线的处理器系统

○ 在 ARM 处理器中，使用 SoC 平台总线，即 AMBA 总线，连接片内设备。但是某些 ARM 生产厂商，依然使用 AMBA-to-PCI 桥推出 PCI 总线，以连接 PCI 设备。

图中与 PCI 总线相关的模块包括：HOST 主桥、PCI 总线、PCI 桥和 PCI 设备。PCI 总线由 HOST 主桥和 PCI 桥推出，HOST 主桥与主存储器控制器在同一级总线上，因此 PCI 设备可以方便地通过 HOST 主桥访问主存储器，即进行 DMA 操作。

值得注意的是，PCI 设备的 DMA 操作需要与处理器系统的 Cache 进行一致性操作，当 PCI 设备通过 HOST 主桥访问主存储器时，Cache 一致性模块将进行地址监听，并根据监听的结果改变 Cache 的状态。

在一些简单的处理器系统中，可能不含有 PCI 桥，此时所有 PCI 设备都是连接在 HOST 主桥推出的 PCI 总线上。此外在一些处理器系统中可能含有多个 HOST 主桥，如图 1-1 所示的处理器系统中含有 HOST 主桥 x 和 HOST 主桥 Y。

### 1.1.1 HOST 主桥

HOST 主桥是一个很特别的桥片，其主要功能是隔离处理器系统的存储器域与处理器系统的 PCI 总线域，管理 PCI 总线域，并完成处理器与 PCI 设备间的数据交换。处理器与 PCI 设备间的数据交换主要由“处理器访问 PCI 设备的地址空间”和“PCI 设备使用 DMA 机制访问主存储器”这两部分组成。

为简便起见，下面将处理器系统的存储器域简称为存储器域，而将处理器系统的 PCI 总线域称为 PCI 总线域，存储器域和 PCI 总线域的详细介绍见第 2.1 节。值得注意的是，在一个处理器系统中，有几个 HOST 主桥，就有几个 PCI 总线域。

HOST 主桥在处理器系统中的位置并不相同，如 PowerPC 处理器将 HOST 主桥与处理器集成在一个芯片中。而有些处理器不进行这种集成，如 x86 处理器使用南北桥结构，处理器内核在一个芯片中，而 HOST 主桥在北桥中。但是从处理器体系结构的角度看，这些集成方式并不重要。

PCI 设备通过 HOST 主桥访问主存储器时，需要与处理器的 Cache 进行一致性操作，因此在设计 HOST 主桥时需要重点考虑 Cache 一致性操作。在 HOST 主桥中，还含有许多数据缓冲，以支持 PCI 总线的预读机制。

HOST 主桥是联系处理器与 PCI 设备的桥梁。在一个处理器系统中，每一个 HOST 主桥都管理了一棵 PCI 总线树，在同一棵 PCI 总线树上的所有 PCI 设备属于同一个 PCI 总线域。如图 1-1 所示，HOST 主桥 x 之下的 PCI 设备属于 PCI 总线 x 域，而 HOST 主桥 y 之下的 PCI 设备属于 PCI 总线 y 域。在这棵总线树上的所有 PCI 设备的配置空间都由 HOST 主桥通过配置读写总线周期访问。

如果 HOST 主桥支持 PCI V3.0 规范的 Peer-to-Peer 数据传送方式，那么分属不同 PCI 总线域的 PCI 设备可以直接进行数据交换。如图 1-1 所示，如果 HOST 主桥 y 支持 Peer-to-Peer 数据传送方式，PCI 设备 y01 可以直接访问 PCI 设备 01 或者 PCI 设备 11，而不需要通过处理器的参与。但是这种跨越总线域的数据传送方式在 PC 架构中并不常用，在 PC 架构中，重点考虑的是 PCI 设备与主存储器之间的数据交换，而不是 PCI 设备之间的数据交换。此外在 PC 架构中，具有两个 HOST 主桥的处理器系统也并不多见。

在 PowerPC 处理器中，HOST 主桥可以通过设置 Inbound 寄存器，使得分属于不同 PCI 总线域的设备可以直接通信。许多 PowerPC 处理器都具有多个 HOST 主桥，有关 PowerPC 处理器使用的 HOST 主桥详见第 2.2 节。