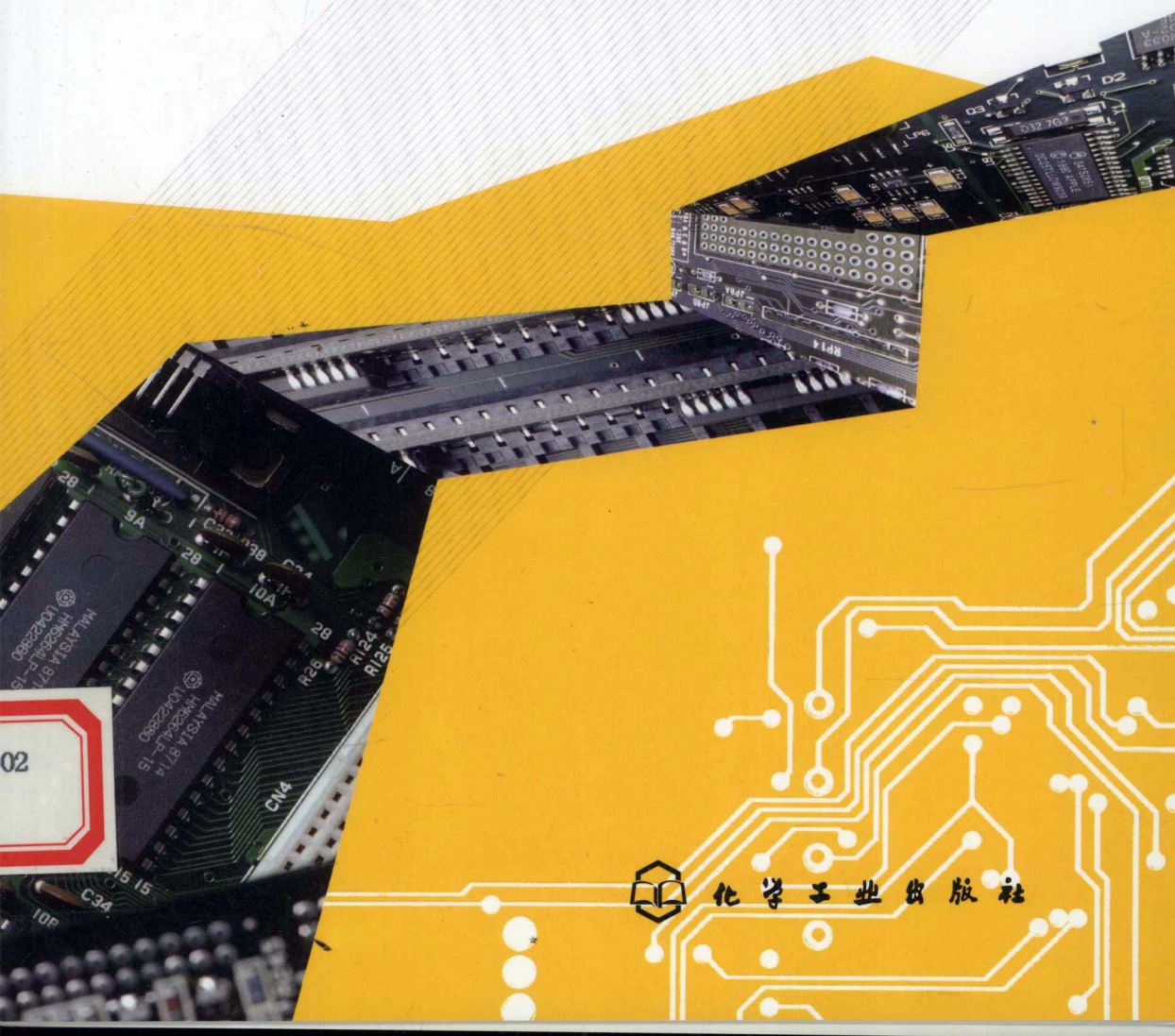


XIANDAI JICHENG DIANLU BANTU SHEJI

现代集成电路 版图设计

姜岩峰 编著



化学工业出版社

TN432.02
J531

- 38
- 38

现代集成电路 版图设计

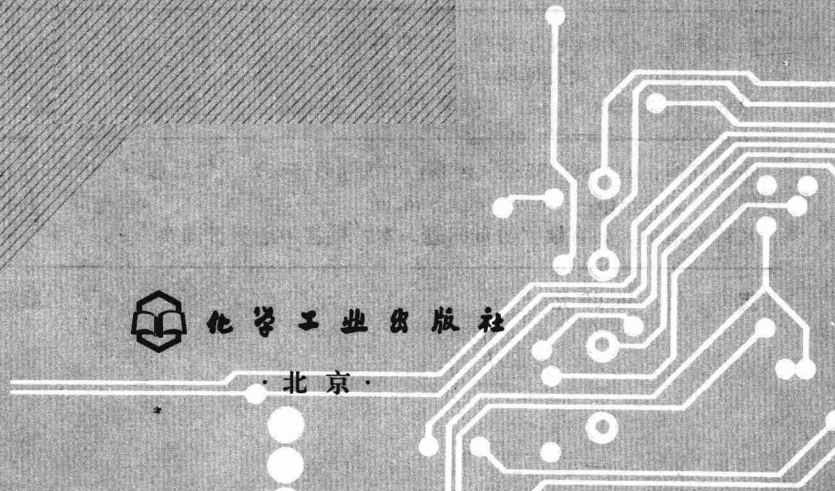
姜岩峰 编著

TN432.02
J531



化学工业出版社

·北京·



本书系统地介绍了 CMOS 集成电路版图设计的基本概念、设计理念和各种方法技巧, 当今流行的几种基本设计流程, 专用模块的版图设计技巧, 版图设计的高级技术和深层次概念, 版图设计的基本工具类型、工具的特性和典型用法。

本书注重理论与工程实践的结合, 书中提供了大量实例来帮助读者正确理解版图设计的基本概念和关键设计理念, 生动形象, 简明易懂, 可读性强。

无论对版图设计工程师, 还是对电路设计工程师、CAD 人员、学习 IC 设计的学生, 本书都是一本非常不错的参考指南和培训教程。

图书在版编目(CIP)数据

现代集成电路版图设计/姜岩峰编著. —北京:
化学工业出版社, 2009.7
ISBN 978-7-122-05781-5

I. 现… II. 姜 III. 互补 MOS 集成电路-电路设计
IV. TN432.02

中国版本图书馆 CIP 数据核字 (2009) 第 083318 号

责任编辑: 宋 辉
责任校对: 凌亚男

文字编辑: 徐卿华
装帧设计: 关 飞

出版发行: 化学工业出版社 (北京市东城区青年湖南街 13 号 邮政编码 100011)
印 装: 大厂聚鑫印刷有限责任公司
720mm×1000mm 1/16 印张 17 字数 310 千字 2010 年 1 月北京第 1 版第 1 次印刷

购书咨询: 010-64518888 (传真: 010-64519686) 售后服务: 010-64518899
网 址: <http://www.cip.com.cn>
凡购买本书, 如有缺损质量问题, 本社销售中心负责调换。

定 价: 36.00 元

版权所有 违者必究

前 言

版图是整个集成电路工作的最终产品表达形式。目前国内集成电路设计中，版图的设计俗称“后端”，是整个集成电路设计工作中非常重要的一个环节，所以，一本好的相关版图设计知识的教程，必将受到有志于此领域工作的人员的欢迎。

本书全面论述了亚微米和深亚微米集成电路版图设计中所涉及的各种问题及目前的最新研究成果，以循序渐进、深入浅出的方式，系统地介绍了 CMOS 集成电路版图设计的基本概念、设计理念和各种方法技巧，当今流行的几种基本设计流程，专用模块的版图设计技巧，版图设计的高级技术和深层次概念，版图设计的基本工具类型、工具的特性和典型用法。本书注重理论与工程实践的结合，书中提供了大量实例来帮助读者正确理解版图设计的基本概念和关键设计理念，生动形象，简明易懂，可读性强。

书中内容主要分为三个部分。其中第一部分，即第 1 章至第 6 章可以看成是集成电路版图设计的基础，介绍了有源器件、无源器件的版图设计与匹配性问题（第 1 章）、MOS 器件的模型（第 2 章）、版图设计中常用的设计规则解读（第 3 章）、版图中寄生参数的提取（第 4 章），在此基础上介绍了数字电路常用单元（第 5 章）和模拟电路常用单元（第 6 章）的设计；第二部分包括存储单元的设计（第 7 章）、输入/输出端口设计（第 8 章）、信号完整性分析（第 9 章）及信号完整性测量方法（第 10 章）、集成电路版图设计中若干关键问题（第 11 章）；第三部分主要介绍射频电路的版图设计中的问题（第 12 章）。

无论对版图设计工程师，还是对电路设计工程师、CAD 人员、

学习 IC 设计的学生，本书都是一本非常不错的参考指南和培训教程。

感谢北方工业大学微电子中心的张晓波、鞠家欣、杨兵、张静等教师在本书写作过程中的帮助。

由于时间所限，书中不足之处，恳请读者批评指正。

编著者

目 录

第 1 章 集成电路中基本单元的版图	1
1.1 n 沟道 MOSFET 器件的特性	3
1.2 p 沟道 MOSFET 器件的特性	3
1.3 MOS 晶体管的特性和版图	4
1.4 新型 MOS 晶体管版图结构	5
1.5 作为开关应用情况下的 MOS 管	7
第 2 章 MOS 器件的模型	9
2.1 MOS 器件模型的历史	11
2.2 MOS model 1	13
2.3 MOS model 3	16
2.4 BSIM4	19
第 3 章 基于 Lambda 规则的版图设计	25
3.1 MOS 晶体管设计规则	27
3.2 反相器的设计	28
3.3 多层金属互连时的设计规则	31
3.4 天线比率 (Antenna Ratio)	34
第 4 章 集成电路版图设计中的寄生参数	37
4.1 寄生电容	39
4.2 寄生电阻	44
第 5 章 数字电路中的基本单元版图设计	55
5.1 反相器特性	57
5.2 与非门	61
5.3 传输门	64
5.4 RS 触发器	66
5.5 D 触发器	69
5.6 JK 触发器	71
第 6 章 模拟单元的版图设计	75
6.1 MOS 二极管	77
6.2 电压参考源	79
6.3 电流镜	80
6.4 单级放大器	82

6.5	差分放大器结构	86
6.6	转换器	86
6.7	频率转换器	91
第 7 章	存储器	93
7.1	简介及分类	95
7.2	存储器的结构	96
7.3	读取时间	97
7.4	静态 RAM 存储器	97
7.5	64 位 SRAM	102
7.6	动态随机存储器 (DRAM)	114
7.7	ROM 存储器	120
7.8	EEPROM 存储器	124
7.9	闪存 (FLASH 存储器)	128
第 8 章	输入/输出	131
8.1	数字输出端口	135
8.2	带有上拉器件的数字输出端口	136
8.3	模拟输出	137
8.4	在自控中对应 CAN 总线的输出	138
8.5	输入端口	139
8.6	防止高静电放电的输入结构	139
8.7	电平转换电路	141
8.8	焊盘整体放置结构	143
第 9 章	信号完整性分析	147
9.1	内连线	150
9.2	传输延迟	151
9.3	串扰 (Crosstalk)	153
9.4	由串扰引起的延迟	158
第 10 章	在线测试信号完整性的方法	161
10.1	测量电路基本原理	163
10.2	延迟单元	165
10.3	采样单元	165
10.4	放大跟随器	166
10.5	采样电路整体性能	168
10.6	实际测量装置示意图	169
10.7	测量校准	170
10.8	测量实例	173
第 11 章	集成电路版图设计其他主要问题	179
11.1	可靠性技术	181

11.2	可测试性技术	191
11.3	集成电路 ESD 方面知识	196
第 12 章	射频 (RF) 电路设计	207
12.1	电感	210
12.2	高品质因数电感的设计	213
12.3	谐振电路	214
12.4	对螺旋线圈的仿真	216
12.5	射频领域中的功率放大器	217
12.6	振荡器	228
12.7	锁相环	237
12.8	频率变换器	245
参考文献	261

第 1 章

集成电路中 基本单元的版图

1942

1942

1.1 n 沟道 MOSFET 器件的特性

n 沟道 MOSFET 器件是典型的电压控制型器件，当栅极电压为 0 时，器件处于关断状态，当栅极电压为 1 时，器件进入开通状态，如图 1-1 所示。图中，器件处于关断状态时源漏极之间的阻抗为 R_{off} ，一般为 $1M\Omega$ 左右；而器件开通时对应的源漏极阻抗为 R_{on} ，一般为 $1k\Omega$ 左右。

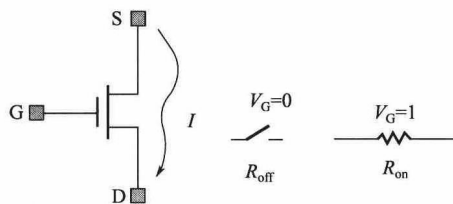


图 1-1 n 沟道 MOSFET 结构及工作示意图

1.2 p 沟道 MOSFET 器件的特性

p 沟道 MOSFET 器件的电压控制方式与 n 沟道器件正好相反，当栅极电压为 0 时器件开通，而栅极电压为 1 时器件关断，如图 1-2 所示。

对于 MOS 器件，关断时对应的源漏之间阻抗 R_{off} 是一个非常重要的参数，因为它的大小直接影响到整个集成电路的静态漏电流。随着集成电路工艺尺度的不断缩小， R_{off} 不断变小，导致静态电流不断增大。图 1-3 所示为含有 1000 万晶体管的电路其 R_{off} 、静态电流和工艺尺寸的关系，当工艺尺寸为 $0.5\mu m$ 时， R_{off} 为

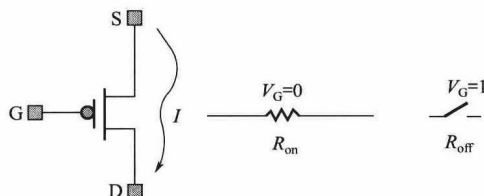


图 1-2 p 沟道 MOSFET 结构及工作示意图

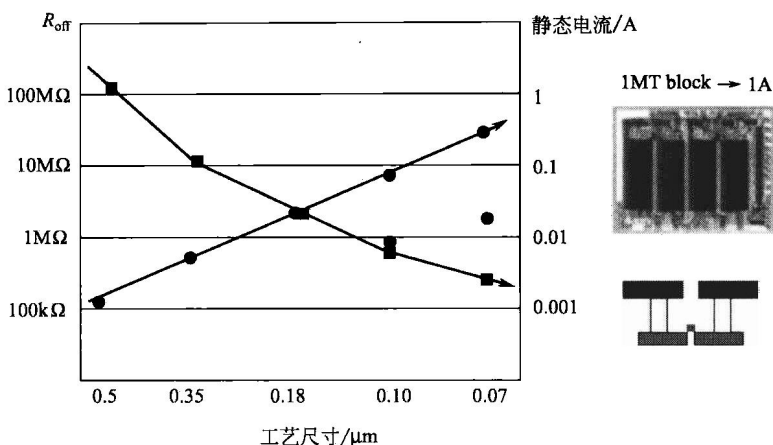


图 1-3 随着尺寸缩小关断阻抗和静态电流的变化关系曲线

100M Ω ，此时 1000 万只这种尺度的晶体管构成的电路整体的漏电流为 1mA；而当工艺尺寸为 70nm 时，同样结构的晶体管其关断阻抗降为 200k Ω 左右，此时对应的千万级电路的漏电流达到了 200mA，已经到了不可忍受的地步。

1.3 MOS 晶体管的特性和版图

MOS 晶体管的剖面图如图 1-4 所示，其栅极系统是“金属-SiO₂-Si”（MOS）系统。当栅极（G）电压 V_{GS} 通过其下面的 SiO₂ 层而作用到半导体表面时，若出现导电的表面沟道（反型层），则源极（S）和漏极（D）之间即可通过多数载流子电流；改变栅极电压就可使源-漏电流发生相应的变化，即能实现晶体管的功能。

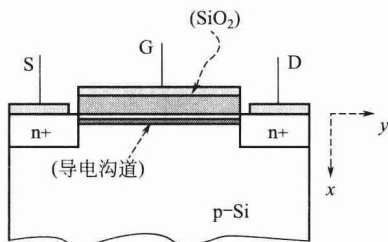


图 1-4 MOS 晶体管的剖面图

在版图设计时，如果采用的是金属栅 p 阱工艺，根据版图设计规则画出 pMOS，pMOS 由 p+、METAL、CONTACT、SO 组成。栅的最小尺寸为 $3\mu\text{m}$ 。金属栅与 p+ 的重叠宽度按最小尺寸 $1\mu\text{m}$ 完成的。具体版图如图 1-5 所示。

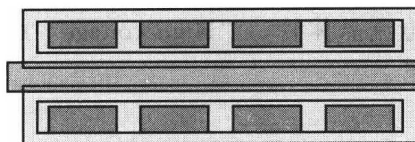


图 1-5 pMOS 版图

而同样工艺下，nMOS 晶体管版图如图 1-6 所示，由 n+、METAL、CONTACT、SO、p 阱、p+ 保护环这几层来实现。栅的最小尺寸为 $3\mu\text{m}$ 。金属栅与 p+ 的重叠宽度按最小尺寸 $1\mu\text{m}$ 完成。p 阱包含 n+ 的最小尺寸为 $3\mu\text{m}$ 。为有效控制闩锁效应，p 阱外围绕 p+ 保护环，重叠的最小尺寸为 $0\mu\text{m}$ ，宽度最小尺寸为 $3\mu\text{m}$ ，在 p+ 保护环上需要打孔接到相应参考电势，起到隔离作用。

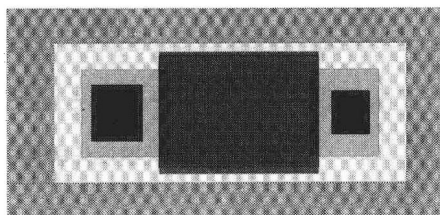


图 1-6 nMOS 版图

1.4 新型 MOS 晶体管版图结构

随着微电子工艺进入深亚微米级，从 $0.18\mu\text{m}$ CMOS 工艺开始，除了正常的晶体管（High speed）外，又有了新的晶体管，其中一种具有低漏电流的晶体管（Low leakage），其主要特征是阈值电压 V_T 非常高；另一种是栅极击穿电压高的晶体管（High voltage），当集成电路的 I/O 管脚承受高电压的情况下，由于一般的晶体管的栅氧化层太薄，其栅极击穿电压太低，在 $0.12\mu\text{m}$ 工艺中，一般晶体管的栅氧化层承受电压仅为 2.5V ，所以这里

栅极击穿电压高的晶体管，其主要特征是具有较厚的栅氧化层，一般是正常晶体管的 2~3 倍。

图 1-7 所示为某版图设计软件对应的界面，在“MOS”下，可以看出有三种 MOS 管可供选择，如图中圆圈内所示，其中“High speed”对应的是一般晶体管，“Low leakage”对应的是低漏电流晶体管，“High voltage”对应的是栅极击穿电压高的晶体管。

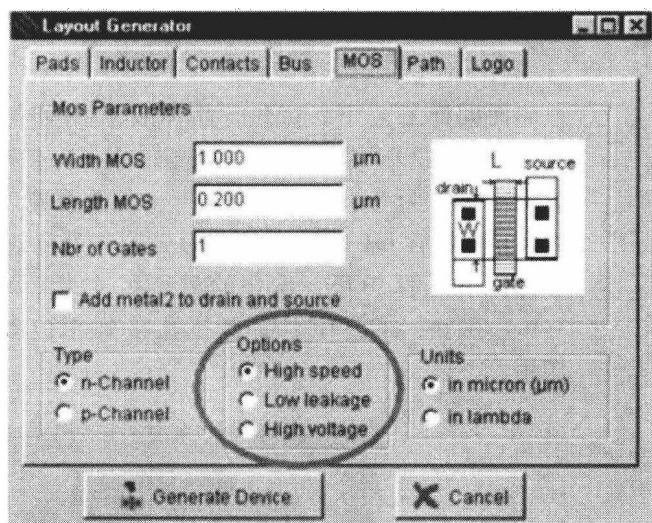


图 1-7 某版图设计软件中 MOS 管选择界面

图 1-8 对应的版图为三种 MOS 管，第一部分是一般用于高速的 MOS 晶体管版图，上面为 pMOS 管，下面为 nMOS 管；第二部分是低电压低漏电流晶体管版图，上面为 pMOS 管，下面为 nMOS 管；第三部分为高栅极电压的晶体管。三种晶体管的 $I-V$ 特性如图 1-9 所示。

在电路实现中，低漏电晶体管由于功耗较低，一般用于嵌入式系统中，而高电压晶体管则用于 I/O 脚附近。

低漏电晶体管的主要缺点是开关速度比较慢，这是由于 I_{on} 降低了 30% 的原因，所以低漏电晶体管一般用于开关速度要求不严格的场合。

由图 1-9 中高电压晶体管的 $I-V$ 特性曲线可以看出，沟道长度为 $0.3\mu\text{m}$ ，沟道宽度为 $1.2\mu\text{m}$ ， V_{GS} 高达 3.3V 。

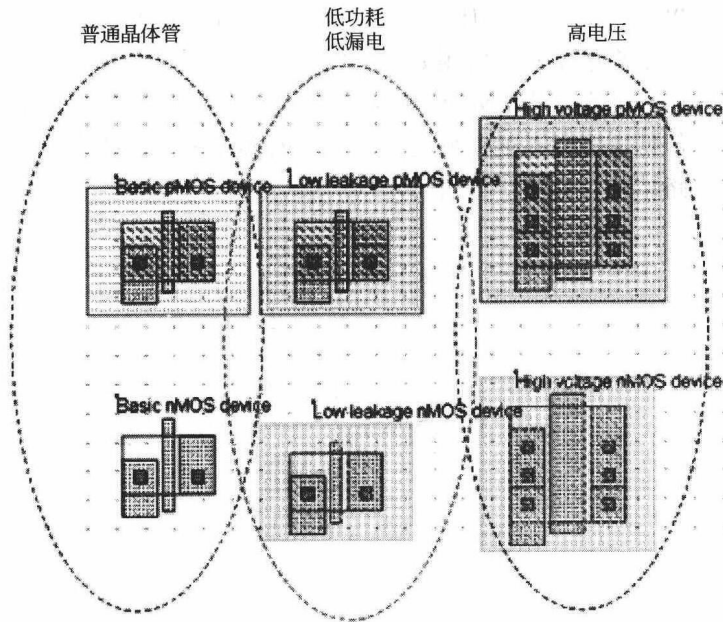


图 1-8 三种 MOS 管的版图

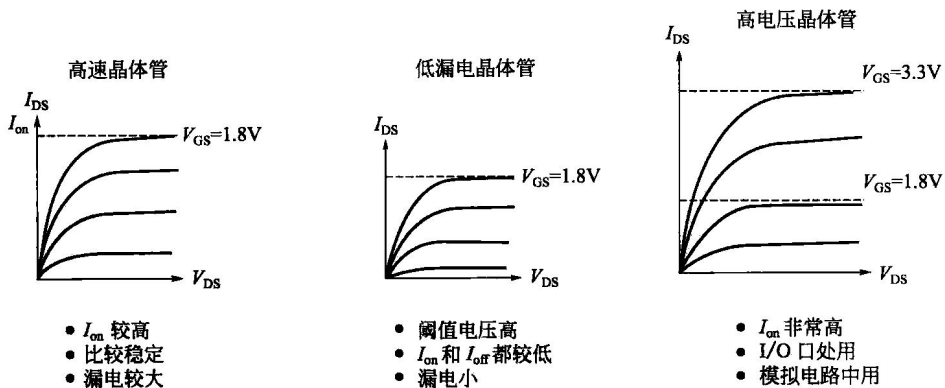


图 1-9 三种晶体管的 I - V 特性

1.5 作为开关应用情况下的 MOS 管

当 nMOS 晶体管用作开关，且栅极电压为高电平时，输出电压应该和漏极电压相同，当漏极电压为零时，输出为零；当漏极电压为高电平的时候，例如当在 $0.12\mu\text{m}$ 工艺中，由于一般对应的阈

值电压为 0.4V，当漏极电压为 1.2V 时，输出仅能达到 0.8V，所以，当 nMOS 晶体管作为开关应用时，它能传递完整的零信号，但是高电平却不能很好地传输。

同理，当 pMOS 晶体管作开关时，能够很好地传输高电平，但低电平却不能很好地传输，针对此问题，电路中提出了传输门电路结构，如图 1-10 所示。

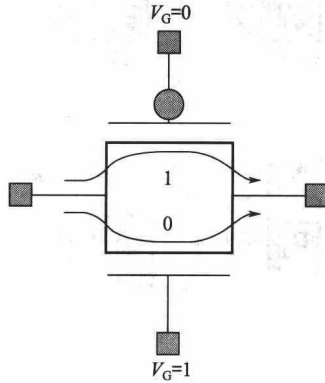


图 1-10 传输门结构

图 1-11 所示为 MOS 管的版图示意图，其中 W 、 L 如图中所示方向，并且 $I_{DS} = K \frac{W}{L}$ ，当 W 增加时，电流增大，导通电阻降低；而当 L 增加时，电流降低，导通电阻增加。

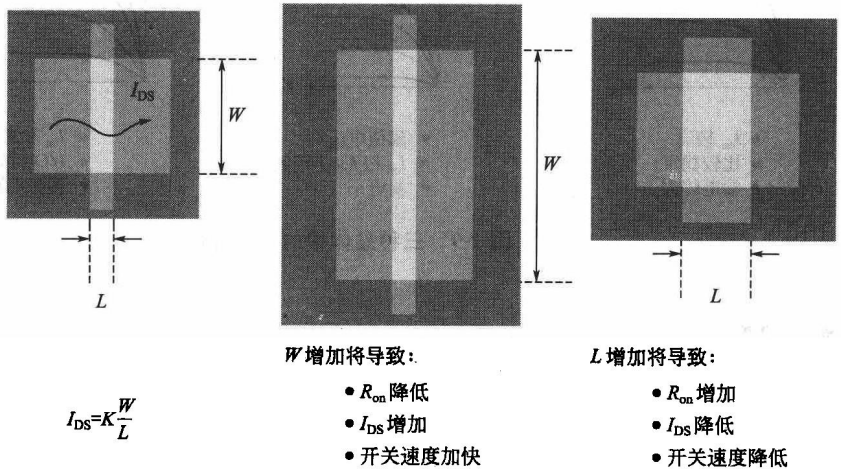


图 1-11 MOS 管的版图及主要参数标记

第 2 章

MOS器件的模型