

黄科 艾琼龙 李磊 编著

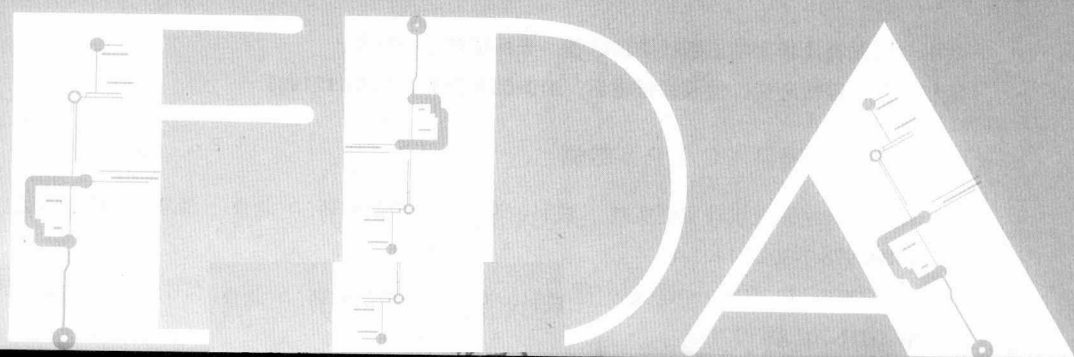
EDA

数字系统设计 案例实践

- 面向大学电子技术课程设计与技能实践
- 精选8个典型的EDA与数字系统的设计案例
- 详解设计思路，剖析设计开发全过程
- 掌握数字系统的设计方法和实际应用



清华大学出版社



数字系统设计 案例实践

黄科 艾琼龙 李磊 编著

清华大学出版社
北 京

内 容 简 介

本书采用电子设计自动化(EDA)的设计思想与方法对数字电子系统中的关键电路和实用电路进行分析与设计。各设计实例都从原理叙述和逻辑分析出发,然后采用EDA方式进行设计输入、设计仿真和具体实现。全书共8章,内容包括组合逻辑电路中的码制转换器、数值比较器,算术运算电路、时序逻辑电路中的计数器、串并/并串转换器、序列发生器和序列检测器,以及综合实用的电子钟电路。附录介绍了4种EDA常用的工具软件。

各章在具体内容的选择上,力求体现综合性、实用性与技术先进性。在每一实例之后,还提供用于相关设计的课题。读者通过设计实例的学习和研究,可开拓视野,掌握电子与数字系统设计的一般方法与技巧。

本书主要面向有一定数字电路和EDA基础的读者,但详细的数字逻辑推导,让初学者也能舒畅的阅读本书。而且所有设计过程详细,是一本适合EDA快速入门的书籍。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

EDA与数字系统设计案例实践 / 黄科, 艾琼龙, 李磊编著. -- 北京: 清华大学出版社, 2010.1
ISBN 978-7-302-21401-4

I. ①E… II. ①黄… ②艾… ③李… III. ①电子电路—计算机辅助设计②数字系统—系统设计
IV. ①TN702②TP271

中国版本图书馆CIP数据核字(2009)第197527号

责任编辑: 夏非彼 卢 亮

装帧设计: 图格新知

责任校对: 闫秀华

责任印制: 王秀菊

出版发行: 清华大学出版社

地 址: 北京清华大学学研大厦A座

<http://www.tup.com.cn>

邮 编: 100084

社 总 机: 010-62770175

邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

印 装 者: 北京国马印刷厂

经 销: 全国新华书店

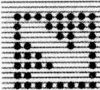
开 本: 185×260 印 张: 22.25 字 数: 501千字

版 次: 2010年1月第1版 印 次: 2010年1月第1次印刷

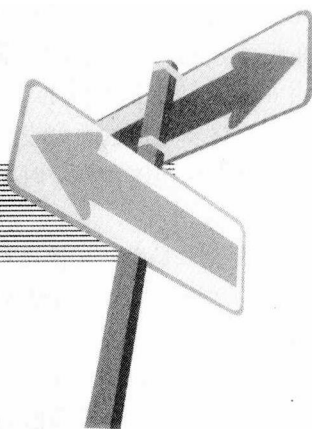
印 数: 1~4000

定 价: 35.00元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:(010)62770177 转 3103 产品编号: 031615-01



前言



随着电子技术和计算机技术的飞速发展,电子电路的设计与计算机系统紧密相连。电子设计自动化(EDA)是在计算机辅助设计(CAD)的技术基础上发展起来的计算机设计开发技术,其主要特点是自动化程度高、功能较完善、操作界面友好,并且有良好的数据开放性和互换性。目前,EDA技术已经被世界上许多公司、企业和科研院所广泛使用,同时,各所大学的电子类专业大部分亦开设了EDA课程。EDA作为一门实用技术,对于学习者和电路开发者而言,关键在于实际电路的设计与实现以及相关工具软件使用。本书以常用的EDA开发系统为经,以数字系统中的关键电路为纬,精选出8个典型的数字电路,采用原理图和硬件描述语言两种输入方式对其进行设计。附录中介绍了常用的4种EDA工具软件的使用。

本书内容

本书共分8章,通过实例详细讲解了8个典型的EDA与数字系统的设计。

第1章介绍码制转换器设计,主要讲格雷码到BCD码转换器的设计与实现。这是组合逻辑电路中的典型电路设计。本章详细介绍了格雷码和BCD码的特点与作用,论证了多种转换方式的优缺点,而选择适合EDA方式设计的高速高效设计方案。即采用原理图和VHDL语言两种输入方式对其进行设计。同时,还详细介绍了EDA中的层次化设计方法。

第2章是数值比较器的设计与实现。在数字系统中经常要求对两个数字进行比较,以判别它们之间的大小和相等关系,进而实现对数字信号的监视和控制问题,如绕制电机绕组时对绕组匝数的监控,计件产品的计量和包装,送料电机的运转速度等,应用数值比较器可以构成一个完整的监控器,通过比较所测的数值与预定值来判别其大小并进而产生相应的控制信号,生成相应的动作。本章中从一位数值比较器的设计出发,详细介绍了四位数值比较的设计与实现,以及由四位数值比较器构成多位数值比较的方法,也是从原理图和VHDL语言两方面对其进行设计。

第3章是算术电路设计。加法器是构成算术运算器的基本单元,两个二进制数之间的加、减、乘、除运算都可以化作若干步的加法运算。本章首先简单介绍了一位半加器和一位全加器

的原理与实现, 尔后重点介绍四位行波加法器、超前进位加法器的设计与实现, 并分析了二者的区别, 最后介绍了四位乘法器的设计与实现方法。

第4章是2421BCD码十进制递增计数器的设计。本章是数字系统中同步时序逻辑电路和异步时序逻辑电路的典型设计实例。同一个功能, 由两种不同的时序方式来实现, 使读者理解同步时序逻辑电路和异步时序逻辑电路的优缺点以及掌握同步时序和异步时序在EDA中的实现方法。

第5章是串并转换器和并串转换器的设计与实现。数字通信中通常在线路上传递的信息是串行的数据, 而终端的输入或输出又往往要求是并行的, 因而需要将串行信号转换成并行信号, 或由并行信号转换成串行信号。本章采用基于移位寄存器的方法, 从原理图和VHDL语言两方面来描述并串转换器和串并转换器的设计与实现。通过本章可以掌握移位寄存器的特点, 以及并串转换器和串并转换器的设计方法。

第6章是序列信号发生器的设计与实现。伪随机序列在扩频通信、雷达、遥控/遥测、加密/解密和无线电测量系统邻域中有着广泛的应用, 直接利用FPGA产生伪随机序列可以为系统设计和测试带来极大的方便。在本章中, 我们详细介绍了两种M序列的产生方法, 即根据给定的序列信号设计序列信号生成电路或根据序列长度, 选择长度为M的序列信号来设计序列信号生成电路, 并从原理图和VHDL语言两方面描述两种不同的M序列产生方法, 最后给出了序列信号发生器的一般设计方法。

第7章是序列信号检测器的设计与实现。本章主要采用状态机的方法来设计序列信号检测器, 并给出了该方法进行电路设计的一般流程。这里在从原理图和VHDL语言两方面描述序列信号110的检测器的基础上, 给出了一个综合实例: 自动售货机的设计, 从而进一步加深读者对状态机这种设计方法及序列信号检测的应用的理解。

第8章是电子钟电路设计与实现。数字钟已成为人们日常生活中必不可少的必需品, 广泛用于个人、家庭, 以及车站、码头、剧场、办公室等公共场所, 给人们的生活、学习、工作、娱乐带来了极大的方便。电子钟电路的基本组成包含了数字电路的主要组成部分, 因此进行数字钟的设计是必要的。本章以同步十进制计数器74160芯片作为底层模块来设计一个电子钟电路, 也是从原理图和VHDL语言两方面对其进行设计, 通过本章学习, 读者可以掌握如何使用74160芯片构成多进制计数器, 以及BCD-七段译码器的相关知识。

本书特色

(1) 本书提供了许多具体实用的硬件电路和较完整的应用程序以及设计思路, 对于一个电子电路与系统的研究开发人员来讲, 其中内容只须稍加修改或不做修改即可应用在读者的实际应用场合。

(2) 每一实例都给出全部的设计过程, 设计开发的每一个步骤都详细地展现给读者, 力求初学者能看懂, 这是本书最突出的特点之一。这不但对学习EDA的学生, 还是EDA应用开发人员, 特别是对EDA工具软件使用不熟练的读者有极高的参考价值。

(3) 详细的数字逻辑推导, 让初学者或数字逻辑较差的读者都能舒畅的阅读本书。

(4) 每一个课题都采用多种方案进行设计, 以便拓展读者的视野。

编者力图使本书有助于读者采用 EDA 为各自的领域解决实际问题。因此, 在编写本书时, 力求深入浅出、通俗易懂, 注重理论联系实际, 并着重实际应用。本书实例的选择具有代表性、基础性和实用性。我们希望本书能使学习 EDA 的学生学到课堂上难以学到的实际应用开发知识, 也希望本书的应用实例能够对 EDA 应用开发人员有所帮助。

本书由黄科、艾琼龙、李磊等编写, 黄科负责全书的统稿和审阅。本书的全部实例均是编者在实际教学和 EDA 应用系统开发中自己总结的成果。第 1 章以及附录 A 主要由黄科编写, 第 2、3、5 章以及附录 B、附录 C 主要由艾琼龙编写, 第 6~8 章由李磊编写, 第 4 章以及附录 D 主要由黄峰编写。

另外, 湖南省社会科学院助理研究员刘艳文对本书的实用性进行了认真的调查研究, 在此表示感谢。

编 者
2009 年 11 月

目录

第 1 章 码制转换器设计	1
1.1 格雷码与 BCD 码	2
1.1.1 格雷码简述	2
1.1.2 BCD 码简述	3
1.2 方案设计与论证	4
1.2.1 格雷码转换为自然二进制码的方案设计与论证	5
1.2.2 自然二进制码转换为 8421BCD 码的方案设计与论证	6
1.3 原理图逻辑设计	11
1.3.1 设计逻辑电路图	11
1.3.2 原理图逻辑输入及仿真测试	24
1.4 VHDL 硬件描述语言设计	48
1.4.1 设计方案论证	48
1.4.2 硬件描述语言设计输入方法	49
1.5 总结	55
1.6 相关设计课题	55
课题 1: 自然二进制码到格雷码转换器的设计与实现	55
课题 2: 8421BCD 码到其他 BCD 码的转换电路设计	56
1.7 参考文献	56
第 2 章 数值比较器设计	57
2.1 引言	58
2.2 数值比较器的设计原理	58
2.3 原理图逻辑设计	59
2.3.1 设计逻辑电路图	59
2.3.2 原理图逻辑输入及仿真测试	66
2.4 VHDL 硬件描述语言设计	86
2.4.1 一位数值比较器的硬件描述语言设计	87
2.4.2 不带扩展端的四位数值比较器的硬件描述语言设计	90
2.4.3 带扩展位的四位数值比较器的硬件描述语言设计	93



2.5	总 结	101
2.6	相关设计课题	101
	课题 1: 六位数值比较器的设计	101
	课题 2: 六十四位数值比较器的设计	101
2.7	参考文献	102
第 3 章	算术电路设计	103
3.1	引言	104
3.2	加法器的设计	104
	3.2.1 原理图逻辑设计	104
	3.2.2 VHDL 硬件描述语言设计	129
3.3	乘法器的设计	136
	3.3.1 原理图逻辑设计	136
	3.3.2 VHDL 硬件描述语言设计	142
3.4	总 结	144
3.5	相关设计课题	144
	课题 1: 十六位加法器的设计	144
	课题 2: 八位乘法器的设计	144
3.6	参考文献	144
第 4 章	2421BCD 码十进制 递增计数器设计	145
4.1	引言	146
4.2	系统总体设计	147
	4.2.1 系统方案设计	147
	4.2.2 设计方式和设计步骤	148
4.3	原理图逻辑设计	150
	4.3.1 设计逻辑电路图	150
	4.3.2 原理图逻辑输入及仿真测试	164
4.4	VHDL 硬件描述语言设计	172
	4.4.1 计数器硬件描述语言设计方案论证	172
	4.4.2 计数器硬件描述语言设计输入方法	173
4.5	总 结	180
4.6	相关设计课题	180
	课题 1: 双模递增计数器的设计	180
	课题 2: 具有异步清零、同步置数功能的同步 8421BCD 码十进制计数器设计	181
	课题 3: 具有异步清零、同步可逆功能的四位二进制计数器设计	181
4.7	参考文献	181

第 5 章 串并/并串转换器 设计	182
5.1 引 言	183
5.2 串并转换器的设计与实现	184
5.2.1 串并转换器原理图设计	184
5.2.2 串并转换器的硬件描述语言设计	190
5.3 并串转换器的设计与实现	192
5.3.1 并串转换器原理图设计	192
5.3.2 串并转换器的硬件描述语言设计	199
5.4 总 结	201
5.5 相关设计课题	201
课题 1: 串入串出移存器设计	201
课题 2: 双向移位寄存器设计	202
课题 3: 串入串出双向移位寄存器设计	202
5.6 参考文献	202
第 6 章 序列发生器的设计	203
6.1 引 言	204
6.2 序列发生器的设计思路	204
6.3 原理图逻辑设计	205
6.3.1 设计给定序列的信号发生电路	205
6.3.2 根据序列循环长度 M 的要求设计发生器电路	217
6.4 VHDL 硬件描述语言设计	224
6.4.1 移存型序列信号发生器	224
6.4.2 计数型序列信号发生器	227
6.4.3 反馈型序列发生器	228
6.5 总 结	230
6.6 相关设计课题	230
课题: 序列信号发生器的设计	230
6.7 参考文献	230
第 7 章 序列检测器的设计	231
7.1 引 言	232
7.2 序列检测器的硬件电路设计	234
7.2.1 设计逻辑电路图	235
7.2.2 原理图仿真测试	238
7.3 序列检测器的 VHDL 硬件描述语言设计	243
7.4 自动售货机的设计	245



7.4.1	自动售货机的逻辑电路设计	245
7.4.2	自动售货机的硬件语言描述设计	248
7.5	总 结	251
7.6	相关设计课题	251
	课题 1: 1011 序列检测器的设计	251
	课题 2: 计数器的设计	251
7.7	参考文献	252
第 8 章	电子钟电路设计	253
8.1	引 言	254
8.2	原理图逻辑设计	254
	8.2.1 设计逻辑电路图	254
	8.2.2 原理图仿真测试	261
8.3	硬件描述语言设计	274
	8.3.1 十进制计数器的设计	274
	8.3.2 六进制计数器设计	276
	8.3.3 二十四进制计数器设计	278
	8.3.4 BCD 七段译码器设计	280
	8.3.5 电子钟顶层设计	281
8.4	总 结	284
8.5	相关设计课题	285
	课题 1: 显示年、月、日的电子日历的设计	285
	课题 2: 跑表的设计	285
	课题 3: 闹钟系统的设计	285
8.6	参考文献	285
附录 A	ispDesignEXPERT 开发软件	286
附录 B	ISE 开发软件	316
附录 C	ModelSim 开发软件	325
附录 D	MAX+PLUS II 开发软件	331

第 1 章

码制转换器设计

课题：格雷码到 BCD 码转换器的设计与实现

1. 任务

设计一个码制转换器，能实现格雷码到 BCD 码的转换。

2. 要求

- (1) 电路必须采用组合逻辑电路实现，以达到较高的转换速度。
- (2) 电路能方便地扩展至多位转换。
- (3) 电路用 CPLD 芯片实现。
- (4) 比较各种转换方式的优缺点。

1.1 格雷码与 BCD 码

1.1.1 格雷码简述

格雷码(Gray code, 又称作二进制循环码), 是 1880 年由法国工程师 Jean-Marrice-Emille Baudot 发明的一种编码, 因 Frank Gray 于 1953 年申请专利 “Pulse code communication” 而得名, 当初是为了机械应用, 后来在电报上取得了巨大发展, 现在常用于模拟-数字转换和轴角-数字转换中。

格雷码是一种无权码, 其编码特点是任意两相邻代码之间只有一位数码不同, 即任意相邻码组之间距离恒为 1, 这对代码的转换和传输很有利, 因为它大大减少了由一个状态到下一个状态时电路中的瞬间模糊状态, 提高了电路的抗干扰能力, 所以格雷码是一种错误最小化的编码。表 1-1 是 4 位典型格雷码与自然二进制码以及余三码的对照表。

表1-1 4位典型格雷码与自然二进制码以及余三码编码表

格雷码				自然二进制码				余三码			
G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	1	0	1	0	0
0	0	1	1	0	0	1	0	0	1	0	1
0	0	1	0	0	0	1	1	0	1	1	0
0	1	1	0	0	1	0	0	0	1	1	1
0	1	1	1	0	1	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	0	0	1
0	1	0	0	0	1	1	1	1	0	1	0
1	1	0	0	1	0	0	0	1	0	1	1
1	1	0	1	1	0	0	1	1	1	0	0
1	1	1	1	1	0	1	0				
1	1	1	0	1	0	1	1				
1	0	1	0	1	1	0	0				
1	0	1	1	1	1	0	1				
1	0	0	1	1	1	1	0				
1	0	0	0	1	1	1	1				

由表可知, 快速写出每种被编码信息与格雷码的一一对应关系, 并非易事。图 1.1 所示的卡诺图画出了 4 位格雷码的便捷编制方法。

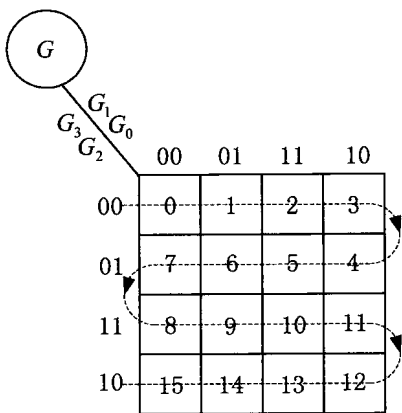


图1-1 4位格雷码卡诺图

卡诺图中每相邻的两个方格只有一个因子有差别，这一特点恰与格雷码相同，由此可以建立卡诺图与格雷码的关系，即把卡诺图中的小方格按一行（列）逐一串联起来，走向如图 1-1 所示，其编码顺序为：0000，0001，0011，0010，0110，0111，0101，0100，1100，1101，1111，1110，1010，1011，1001，1000。

典型格雷码是一种具有反射特性和循环特性的单步自补码，反射特性是指将格雷码码组对半折叠，除最高位上下两部分不同（上部分最高位为 0，下部分最高位为 1），折叠处如同一个镜面；循环特性是指最后一个码组与第一个码组的码距也为 1，是相邻码组。

1.1.2 BCD 码简述

人们通常习惯使用十进制数，而计算机内部多采用二进制表示和处理数值数据，因此在计算机输入和输出数据时，就要进行由十进制到二进制的转换处理。

把十进制数的每一位分别写成二进制形式的编码，称为二进制编码的十进制数，即二十进制编码或 BCD（Binary Coded Decimal）编码。

BCD 码编码方法很多，有 8421BCD 码、2421BCD 码、5421BCD 码和 5221BCD 码等，表 1-2 列出了几种常见的 BCD 码。

表1-2 常见的BCD码

十进制	8421BCD				2421BCD				5421BCD			
D	D ₃	D ₂	D ₁	D ₀	D ₃	D ₂	D ₁	D ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	1	1	1	0	0	0



(续表)

6	0	1	1	0	1	1	0	0	1	0	0	1
7	0	1	1	1	1	1	0	1	1	0	1	0
8	1	0	0	0	1	1	1	0	1	0	1	1
9	1	0	0	1	1	1	1	1	1	1	0	0

我们通常采用 8421 BCD 编码, 这种编码方法最自然简单。其方法是用四位二进制数表示一位十进制数, 从左到右每一位对应的权分别是 2^3 、 2^2 、 2^1 、 2^0 , 即 8、4、2、1。例如, 十进制数 1975 的 8421 码可以这样得出:

$$1975(D) = 0001\ 1001\ 0111\ 0101(BCD)$$

用四位二进制数表示一位十进制数会多出 6 种状态, 这些多余状态码称为 BCD 码中的非法码。BCD 码与二进制码之间的转换不是直接进行的, 当需要将 BCD 码转换成二进制码时, 要先将 BCD 码转换成十进制码, 然后再转换成二进制码; 当需要将二进制码转换成 BCD 码时, 要先将二进制码转换成十进制码, 然后再转换成 BCD 码。

1.2 方案设计与论证

从目前的研究现状看, 格雷码直接转换为 8421BCD 码是很难实现的, 惟一可行的方案是采用软件查表或硬件查表实现, 这两种方案在转换速度和硬件成本方面都不合算。基于以上原因, 本章提出格雷码间接转换为 8421BCD 码的方案。具体可分为两个部分:

- (一) 格雷码转换为自然二进制码;
- (二) 自然二进制码转换为 8421BCD 码。

图 1-2 是 4 位格雷码间接转换为 8421BCD 码的系统图。

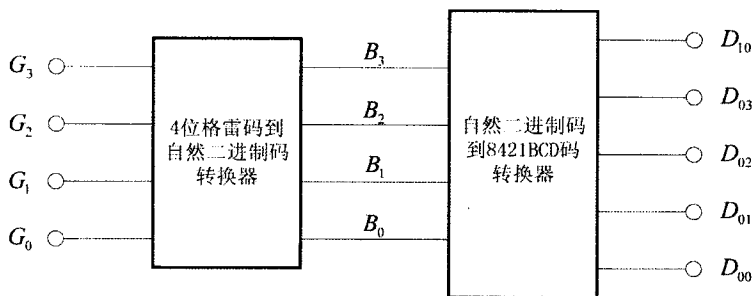


图1-2 4位格雷码间接转换为8421BCD码的系统图

4 位格雷码转换为自然二进制码后仍然为 4 位, 而 4 位自然二进制码转换为十进制的最大值是 16, 所以转换为 8421BCD 码后要 5 位才能表示。

1.2.1 格雷码转换为自然二进制码的方案设计与论证

格雷码是一种可靠性编码，在数字系统中有着广泛的应用。其特点是任意两个相邻的代码中仅有一位二进制数不同，因而在数码的递增和递减运算过程中不易出现差错。但是格雷码是一种无权码，怎样和自然二进制码互相转换，则较为麻烦。目前，格雷码转换为自然二进制码的方案主要有两种。

方案一：基于软件实现的查表法

基于软件实现的查表法是最简单的一种方法，根据传输位数，建立二进制码和格雷码对应的表格。例如列出一个长度为 16 个码组的格雷码表，每组码的长度为 4 位，为查表方便，每一码组占用一个字节，程序设计的核心是通过查表指令把格雷码转换成二进制码。但如果码组太多，系统的程序空间也相应增大，单片机必须扩展外部程序存储器。下面是 4 位格雷码转换为自然二进制码的 MCS-51 单片机汇编源程序：

```

;-----
; 4 位格雷码转换为自然二进制码源程序-----
;待转换 4 位格雷码存 R2 寄存器中,转换结果存 R3 寄存器中
;-----
BIN_PRG:    NOP
            MOV     A,R2          ;待转换 4 位格雷码送 A 寄存器
            MOV     DPTR,#TAB_1   ;表首址送 DPTR 寄存器
            MOVC    A,@A+DPTR     ;查表
            MOV     R3,A          ;转换结果送 R3 寄存器
            RET
            NOP
TAB_1:      DB      00000000B      ;0000G
            DB      00000001B      ;0001G
            DB      00000011B      ;0010G
            DB      00000010B      ;0011G
            DB      00000111B      ;0100G
            DB      00000110B      ;0101G
            DB      00000100B      ;0110G
            DB      00000101B      ;0111G
            DB      00001111B      ;1000G
            DB      00001110B      ;1001G
            DB      00001100B      ;1010G
            DB      00001101B      ;1011G
            DB      00001000B      ;1100G
            DB      00001001B      ;1101G
            DB      00001011B      ;1110G
            DB      00001010B      ;1111G

```

方案二：基于硬件实现的公式法

n 位格雷码转换到 n 位自然二进制码的逻辑关系式如下（ B 代表自然二进制码， G 代表格雷码）：

$$B_i = G_i \oplus G_{i+1} \oplus \dots \oplus G_{n-2} \oplus G_{n-1} \quad (i = 0, 1, 2, \dots, n-1) \quad (1-1)$$

递推公式为：

$$B_i = G_i \oplus B_{i+1} \quad (i = 0, 1, 2, \dots, n-1) \quad (1-2)$$

令： $B_n = 0$ 。

格雷码在工程上有广泛应用，但不便于运算，通过软件转换则会降低运算速度。用硬件方法转换数据，使数据能得到即时转换，运算过程较为简捷，加快处理速度，通过上述公式可用异或逻辑门芯片及电阻网络组成转换电路很容易实现格雷码和自然二进制码的转换。本章将详细推导上述公式的由来，并采用 EWB 软件仿真和 CPLD 具体实现。

1.2.2 自然二进制码转换为 8421BCD 码的方案设计与论证

自然二进制码（Binary Code）及 BCD 码（Binary Coded Decimal Code）是目前各种数字系统中应用最广泛的两种码制，而在许多系统中常需要把输入的自然二进制码转换成 BCD 码（B/BCD）来处理，或是把系统产生的二进制码转换为 8421BCD 码送入显示电路，把二进制码转换成 8421BCD 码在各种数字系统的接口电路中有着广泛的应用。实现这种转换传统的方法有以下几种。

方案一：利用组合逻辑网络实现。

其速度较快，但随着被转换的二进制码元位数的增加，将需要大量的硬件资源。

方案二：利用移位原理。

这种方法速度适中，所需的硬件资源也适中。该方法的转换原理如下：

对于一个 n 位二进制码 $B_{n-1}B_{n-2}\dots B_1B_0$ ，其在十进制编码方式下的值为：

$$\begin{aligned} N_D &= \sum_{i=0}^{n-1} B_i \times 2^i \\ &= B_{n-1} \times 2^{n-1} + B_{n-2} \times 2^{n-2} + \dots + B_1 \times 2^1 + B_0 \end{aligned} \quad (1-3)$$

把上式写成套乘的形式：

$$N_D = \left\{ \left\{ \left[(B_{n-1} \times 2 + B_{n-2}) \times 2 + B_{n-3} \right] \times 2 + \dots \right\} \times 2 + B_1 \right\} \times 2 + B_0 \quad (1-4)$$

式中的每项乘 2，相当于将寄存器中的二进制码左移 1 位，这就意味着，利用移位寄存器可以完成二进制码与 8421BCD 码的转换。

设有 $4N$ 级移位寄存器，从右至左分成 4 级一组，其中每一组分别代表 BCD 码中的各位数字，如图 1-3 所示，被变换的二进制数以串行的方式从左移的移位寄存器送入，并且

高位在前。我们先考虑其中一组 B/BCD 的变换情况，如图 1-4 所示。

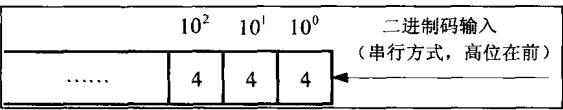


图1-3 转换原理图

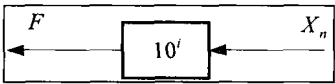


图1-4 变换单元

设每一组数码（4 位）左移 1 位前的状态为原态 S_n ，左移 1 位后的状态为次态 S_{n+1} 。数码组左移 1 位相当于数码组的值被乘以 2，所以有以下公式：

$$S_{n+1} = 2S_n + X_n \tag{1-5}$$

其中 X_n 为串行输入的二进制码元。当原态 S_n 小于 5 时，能满足上式。当 $S_n = 5、6、7$ 时，左移 1 位，其次态 S_{n+1} 将超过 9，对一个 BCD 码来说，这样的状态属于禁用状态。当 $S_n = 8、9$ 时，左移 1 位，则会向高 1 位的 BCD 码输入一个进位的信号 F。由于 BCD 码和二进制码权的不一致性，当发生进位时，虽然码元只是左移 1 位，但次态 S_{n+1} 将减少 6。基于上面这两种情况，在 B/BCD 转换时需要对转换结果加以校正。校正过程如下：

当 $S_n \geq 5$ 时，我们让 S_n 先加上 3，然后再左移 1 位，即次态

$$S_{n+1} = 2(S_n + 3) + X_n = 2S_n + 6 + X_n \tag{1-6}$$

正好补偿由于进位而减少的数值，并且向后一个变换单元送入一个进位信号 F，此法称为“加 3 移位法”。

表 1-3 给出了一个二进制码 11101011 转换成 8421BCD 码的时序。当系统时钟开始时，二进制码开始左移，当第 3 个时钟脉冲作用后，BCD 码的最低位中的数值 0111 大于 5（二进制码送入时，高位在前，低位在后），故需要加 3 左移。我们用修正后的数据 1010 代替原来的大于 5 的数据，参与下一个脉冲周期内的移位。在第 5、第 6、第 7 脉冲周期中，在数据移位的同时，我们同样需要对数值大于 5 的 BCD 码进行修正。最后，经过 8 个脉冲周期的移位，二进制码转换为 8421BCD 码的数码转换得以实现。

表1-3 B/BCD时序

时钟脉冲	移位结果			输入的二进制码
	BCD 码最高位	BCD 码次高位	BCD 码最低位	
	0000	0000	0000	11101011
1	0000	0000	0001	1101011
2	0000	0000	0011	101011
3	0000	0000	0111	01011
修正			+0011	
	0000	0000	1010	01011
4	0000	0001	0100	1011
5	0000	0010	1001	011