

Cadence

完全学习手册

兰吉昌 等编

CADENCE WANQUAN XUEXI SHOUCI

0.2



化学工业出版社

Cadence 完全学习手册

兰吉昌 等编



化学工业出版社

· 北京 ·

N4/0.2

L031

图书在版编目(CIP)数据

Cadence 完全学习手册 / 兰吉昌等编. —北京: 化学工业出版社, 2010.1

ISBN 978-7-122-06582-7

I. C… II. 兰… III. 电路设计-计算机仿真
IV. TN702

中国版本图书馆 CIP 数据核字 (2009) 第 153480 号

责任编辑: 宋 辉

文字编辑: 孙 科

责任校对: 郑 捷

装帧设计: 周 遥

出版发行: 化学工业出版社 (北京市东城区青年湖南街 13 号 邮政编码 100011)

印 装: 三河市延风印装厂

787mm×1092mm 1/16 印张 21¼ 字数 523 千字 2010 年 1 月北京第 1 版第 1 次印刷

购书咨询: 010-64518888 (传真: 010-64519686) 售后服务: 010-64518899

网 址: <http://www.cip.com.cn>

凡购买本书, 如有缺损质量问题, 本社销售中心负责调换。

定 价: 56.00 元

版权所有 违者必究

Cadence 公司全称 Cadence Design Systems Inc., 是世界上最大的电子设计技术和配套服务的 EDA 供货商之一。Allegro SPB 平台是 Cadence 推出的先进 PCB 设计布线工具。Allegro SPB 提供了良好且交互的工作接口和强大完善的功能, 和其前端产品 Capture 的结合, 为当前高速、高密度、多层的复杂 PCB 设计布线提供了最完美解决方案。

Allegro SPB 拥有完善的 Constraint 设定, 用户只需按要求设定好布线规则, 在布线时不违反 DRC 就可以达到布线的设计要求, 从而节约了繁琐的人工检查时间, 提高了工作效率, 更能够定义最小线宽或线长等参数以符合当今高速电路板布线的种种需求。

Cadence 的 OrCAD Capture 让电子工程师在绘制线路图时就能设定好规则数据, 并能一起带到 Allegro 工作环境中, 在摆零件及布线时自动依照规则处理及检查, 而这些规则数据的经验值均可在相同性质的电路板设计上重复使用。

Allegro SPB 强大的贴图功能, 可以使多用户同时处理一块复杂板子, 从而大大地提高了工作效率。也可利用选购的切图功能将电路板切分成各个区块, 让每个区块各有专职的人同时设计, 达到同份图多人同时设计以缩短时程的目的。

Cadence 发布的 SPB 16 版本全力解决电流与新出现的芯片封装设计问题, 并提供了高级 IC 封装/系统级封装小型化、设计周期缩减和 DFM 驱动设计, 以及一个全新的电源完整性建模解决方案。同时, 新规则和约束导向型自动化能力的推出, 解决了高密度互连 (HDI) 衬底制造的设计方法学问题, 而这对于小型化和提高功能密度来说是一个重要的促进因素, 因而得以使总体的封装尺寸大大缩小。

全书共分 4 篇, 具体内容如下:

第 1 篇 原理篇

第 1 章 初识 Cadence 16.2。主要介绍 Cadence 16.2 的功能特点以及具体的安装方法。

第 2 章 Cadence 的原理图设计工作平台。主要介绍 Cadence 16.2 两种原理图工作平台 Design Entry HDL 和 Design Entry CIS 的基本知识。

第 3 章 原理图的创建和元件的相关操作。主要介绍原理图的设计规范, 相关的术语, 环境参数的设计以及基本元件的摆放。

第 4 章 设计原理图和绘制原理图。主要介绍在 Design Entry CIS 软件内的原理图绘制方法。

第 5 章 原理图到 PCB 图的处理。主要介绍如何将原理图导入 PCB 设计平台, 以及网络表和元件清单的生成。

第 2 篇 元件篇

第 6 章 创建平面元件。主要介绍库管理器以及如何通过库管理器建立平面元件, 包括新元件的创建, 如何创建封装和符号, 元件的引脚如何添加和定义等。

第 7 章 创建 PCB 零件封装。主要介绍 PCB 零件封装的创建, 包括手动创建以及通过封装

向导建立封装零件。

第3篇 PCB篇

第8章 PCB设计与Allegro。主要介绍PCB的设计流程，以及Allegro PCB设计工作平台参数环境设置。

第9章 焊盘的建立。主要介绍焊盘的概念、命名规则，以及不同类型焊盘的建立过程。

第10章 电路板的建立与设计规则的设置。主要介绍如何建立电路板，以及设计过程中需要遵守的规则，还介绍了元件属性的添加、显示、删除等相关内容。

第11章 布局和布线。布局和布线在PCB板设计过程中尤为重要。复杂的过程，有效合理的布局布线是提高电路板性能的关键。本章主要介绍了布局过程中需要遵守的原则以及元件摆放的方法，布线过程中遵循的基本原则，手工布线的方法及自动布线的操作。

第12章 覆铜。覆铜对提高抗干扰能力、降低压降、提高电源效率有着重要的作用，本章主要介绍覆铜的方法和技巧。

第13章 Allegro PCB的后处理。在Allegro布线完成后，还需要进行检查元件，生成测试点，调整文字面，标注尺寸，制造数据的输出等工作，本章主要介绍这些操作的方法和技巧。

第14章 Allegro其他的高级功能。本章主要介绍Allegro PCB的高级功能，如元件封装符号的更新、技术文件的处理、模块的设计重用等。

第4篇 仿真篇

第15章 仿真前的预处理。主要介绍仿真前的准备工作，模块的选择及使用、电路板的设置及信号完成性功能的概述。

第16章 约束驱动布局。主要介绍提取和仿真预布局拓扑、设置和添加约束以及模板应用和约束驱动布局等内容。

第17章 Cadence综合应用实例。通过实例对本书前面所讲过的内容进行综合的应用，并对所学的内容进行融会贯通，使学到的知识更为牢固。

本书主要由兰吉昌编写，参加编写的还有刘群、赵光、吴丽、刘文涛、王波波、姜艳波、兰婵丽、赵辉等。

由于时间和水平等原因，书中难免存在一些不当之处，欢迎广大读者给予指正。

编者

Contents

目录

第 1 篇 原理篇

第 1 章 初识 Cadence 16.2	2
1.1 Cadence SPB16.2 简介	2
1.2 Cadence SPB16.2 软件的安装	3
1.2.1 Cadence SPB16.2 的运行环境	3
1.2.2 Cadence SPB16.2 的安装过程	4
第 2 章 Cadence 的原理图设计工作平台	12
2.1 Design Entry HDL 原理图工作平台	12
2.1.1 Design Entry HDL 的特性	12
2.1.2 进入 Design Entry HDL 用户界面	12
2.1.3 Design Entry HDL 用户界面的介绍	15
2.2 Design Entry CIS 原理图工作平台	30
2.2.1 功能模块介绍	30
2.2.2 Design Entry CIS 用户界面	31
第 3 章 原理图的创建和元件的相关操作	41
3.1 原理图设计规范	41
3.1.1 一般的规则和要求	41
3.1.2 信号的完整性及电磁兼容性考虑	41
3.1.3 PCB 完成后原理图与 PCB 的对应	41
3.2 原理图中的基本名词术语	41
3.2.1 在电路设计中常用的名词术语	42
3.2.2 与电路图组成元素相关的名词术语	42
3.3 新项目的建立	43
3.3.1 原理图的工作环境设置	43
3.3.2 图纸参数设置	44
3.3.3 颜色设置	44
3.3.4 格点属性设置	44
3.3.5 杂项的设置	45
3.4 图纸设计信息的设置	46
3.4.1 字体设置	46

3.4.2	标题栏设置	46
3.4.3	页面设置	47
3.4.4	格点参数设置	47
3.4.5	层次图参数设置	48
3.4.6	SDT 兼容性设置	49
3.5	打印属性的设置	49
3.6	元件的添加	50
3.6.1	元件库的放置	51
3.6.2	放置基本元件	52
3.7	元件的操作	53
3.7.1	元件的复制和删除	54
3.7.2	元件位置和名称的调整	55
3.7.3	元件属性的编辑	55
3.8	电源和接地符号的放置	56
3.8.1	电源符号	56
3.8.2	接地符号	57
3.8.3	电源和接地符号的放置	57
第 4 章	设计原理图和绘制原理图	58
4.1	平坦式电路图设计	58
4.2	层次式电路图设计	59
4.2.1	层次式电路设计的技术特点	60
4.2.2	层次式电路分类	60
4.3	模块的创建	60
4.3.1	简单层次式电路的模块创建	60
4.3.2	复合层次式电路的模块创建	68
4.4	绘制原理图的工具和步骤	69
4.4.1	新建原理图页	70
4.4.2	改变原理图页面大小	71
4.4.3	编辑原理图	71
4.5	原理图走线	72
4.5.1	原理图中的导线的连接	72
4.5.2	原理图中的总线的连接	72
4.5.3	网络标志和网络标号	74
4.6	添加输入/输出端口和标题栏设置	74
4.6.1	添加输入/输出端口	75
4.6.2	标题栏设置	75
4.7	添加文本和图像	76
4.7.1	添加文本	76
4.7.2	添加图像	77
第 5 章	原理图到 PCB 图的处理	79
5.1	从原理图到 PCB 图的信号属性分配	79
5.1.1	为网络分配 PROPAGATION_DELAY 属性	79

5.1.2	为网络分配 RELATIVE_PROPAGATION_DELAY 属性	81
5.1.3	为网络分配 RATSNEST_SCHEDULE 属性	83
5.1.4	输出新增属性	84
5.2	建立差分对	84
5.2.1	手动建立差分对	85
5.2.2	自动建立差分对	86
5.3	设计规则的检查	87
5.4	生成网络表和元件清单	91
5.4.1	生成网络表	91
5.4.2	生成元件清单	93
5.5	从原理图到 PCB 图的实现	96

第 2 篇 元件篇

第 6 章	创建平面元件	100
6.1	Library Explorer 的界面简介	100
6.1.1	进入 Library Explorer	100
6.1.2	Library Explorer 的界面简介	102
6.1.3	创建新库	103
6.2	平面元件的创建	106
6.2.1	建立新元件	106
6.2.2	元件编辑器的组成与设置	106
6.2.3	创建封装	114
6.2.4	创建引脚	115
第 7 章	创建 PCB 零件封装	124
7.1	封装类型与符号	124
7.2	Allegro Package 封装编辑器的介绍	124
7.2.1	进入 Allegro Package 封装编辑器	125
7.2.2	Allegro Package 工作界面	125
7.3	使用向导建立封装零件	130
7.4	手动建立零件封装	133

第 3 篇 PCB 篇

第 8 章	PCB 设计与 Allegro	142
8.1	PCB 设计流程	142
8.2	Allegro 界面介绍	142
8.3	Allegro 环境的设置	145
8.3.1	绘图参数的设置	145
8.3.2	文本属性的设置	147
8.3.3	显示属性的设置	148
8.3.4	格点的设置	149

8.3.5	子集选项的设置	150
8.3.6	盲孔和埋孔的设置	151
8.3.7	设置打印功能	152
8.3.8	自动保存功能的设置	153
8.4	窗口控制的编辑	154
8.4.1	画面控制	155
8.4.2	使用 Strokes	155
8.4.3	快捷键设置	157
8.4.4	运行脚本和定义	158
8.4.5	显示信息	160
第 9 章	焊盘的建立	161
9.1	焊盘的基本概念	161
9.2	焊盘编辑器 Pad Designer 简介	162
9.3	焊盘的命名规则	166
9.4	通过孔引脚建立焊盘的制作	167
9.4.1	建立热风焊盘	167
9.4.2	正方形有钻孔焊盘建立方法	169
9.4.3	圆形有钻孔焊盘建立方法	172
9.4.4	椭圆形有钻孔焊盘建立方法	175
9.5	贴片焊盘的制作	178
9.6	盲/埋孔焊盘的制作	180
9.6.1	制作盲孔	180
9.6.2	制作埋孔	181
第 10 章	电路板的建立与设计规则的设置	184
10.1	建立电路板	184
10.1.1	手动建立电路板	184
10.1.2	使用向导建立电路板	188
10.1.3	导入网络表	191
10.2	设置设计规则	193
10.2.1	约束管理器	193
10.2.2	设置间距规则	194
10.2.3	设置物理规则	195
10.2.4	其他规则设置	196
10.3	设置元件属性	199
10.3.1	添加元件属性	200
10.3.2	添加网络属性	201
10.3.3	添加 FIXED 属性和 ROOM 属性	201
10.3.4	属性和元素的显示	202
10.3.5	删除属性	203
第 11 章	布局和布线	205
11.1	布局	205
11.1.1	电路板的规划	205

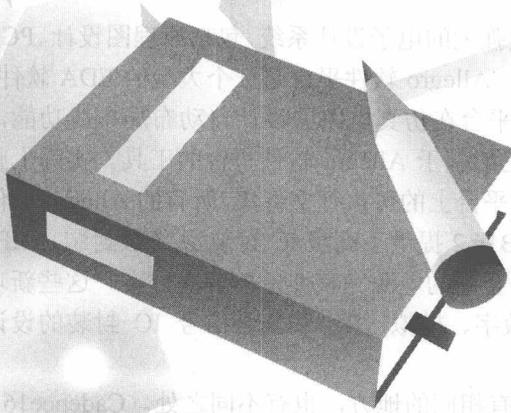
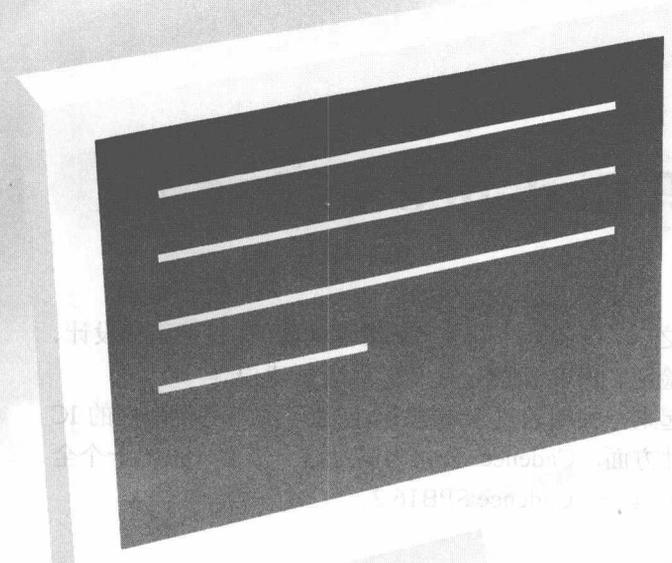
11.1.2	元件的手工摆放	207
11.1.3	元件的快速摆放	209
11.2	布线	211
11.2.1	布线的基本原则	212
11.2.2	布线格点的设置	212
11.2.3	手动布线	213
11.2.4	扇出	216
11.2.5	群组布线	218
11.2.6	自动布线	219
第 12 章	覆铜	228
12.1	基本概念	228
12.2	为平面层绘制覆铜区域	231
12.2.1	显示平面层	231
12.2.2	为 VCC 层建立 Shape	231
12.2.3	为 GND 层建立 Shape	232
12.3	分割平面	233
12.3.1	使用 Anti Etch 方法分割平面	233
12.3.2	使用添加多边形的方法进行分割平面	235
第 13 章	Allegro PCB 的后处理	241
13.1	设计的可装配性检查	241
13.1.1	约束的定义	241
13.1.2	检查元件间距	242
13.1.3	元件检查	242
13.1.4	焊盘的跨距轴向检查	243
13.1.5	检查并报告	243
13.1.6	检查设计中存在的过孔	244
13.1.7	检查测试点	244
13.2	测试点的生成	245
13.2.1	自动加入测试点	245
13.2.2	建立测试夹具钻孔文件	247
13.2.3	修改测试点	247
13.3	元件标号重命名	249
13.3.1	自动重命名元件标号	249
13.3.2	手动重命名元件标号	250
13.4	文字的调整	251
13.4.1	修改文字面字体的大小	251
13.4.2	改变文字的位置和角度	251
13.4.3	回注	252
13.5	标注尺寸	253
13.5.1	显示设计细节	254
13.5.2	Allegro 尺寸标注的参数设置	254
13.5.3	各种尺寸的标注命令	255

13.6	丝印层调整	256
13.7	制造数据的输出	257
13.7.1	底片参数设置	257
13.7.2	Aperture 档案设置	257
13.7.3	底片文件产生	258
13.8	钻孔数据	258
13.8.1	颜色与视性设置	258
13.8.2	钻孔文件参数设置及钻孔图的生成	259
13.9	生成元件清单	260
第 14 章 Allegro 其他的高级功能		261
14.1	元件封装符号的更新	261
14.2	技术文件的处理	261
14.2.1	输出技术文件	262
14.2.2	输入技术文件到新设计中	262
14.3	模块的设计重用	263
14.4	env 文件的修改操作	268

第 4 篇 仿真篇

第 15 章 仿真前的预处理		270
15.1	IBIS 模型	270
15.1.1	解析的 IBIS 文件结果	270
15.1.2	在 Model Integrity 中仿真 IOCell 模型	271
15.1.3	使用 IBIS to DML 转换器	273
15.1.4	使用 Espice to Spice 转换器	275
15.2	预布局	279
15.3	电路板的设置	280
15.3.1	设置叠层	280
15.3.2	直流电压值的设置	281
15.3.3	元件设置	282
15.3.4	SI 模型分配	283
15.3.5	SI 检查	284
15.4	基本的 PCB SI 功能	286
15.4.1	显示内容的设置	286
15.4.2	网络飞线显示操作	286
15.4.3	确定 D2 网络的元件	287
15.4.4	在板框内摆放元件	288
第 16 章 约束驱动布局		290
16.1	提取和仿真预布局拓扑	290
16.1.1	设置预布局拓扑提取	290
16.1.2	提取分析预布局拓扑	291
16.1.3	反射仿真	294

16.1.4 对反射仿真进行测量	297
16.2 约束的设置和添加	299
16.2.1 扫描运行参数	299
16.2.2 为拓扑添加约束	301
16.2.3 对拓扑约束进行分析	304
16.3 模板应用和约束驱动布局	304
16.3.1 建立串扰仿真拓扑	304
16.3.2 串扰仿真	312
16.3.3 电气约束规则的应用	314
第 17 章 Cadence 综合应用实例	316
17.1 Design Entry CIS 软件中的原理图设计	316
17.1.1 建立项目	316
17.1.2 绘制原理图	316
17.1.3 完善原理图	318
17.2 建立 PCB 电路板图	320
17.2.1 建立 PCB 电路板	320
17.2.2 原理图到 PCB 板图的实现	321
17.2.3 PCB 板图的布局	321
17.2.4 在 PCB 板图上摆放元件	321
17.2.5 布线	322
17.2.6 生成元件清单	323
17.3 电路仿真	323
参考文献	326



第 1 篇

原理篇

第 1 章 初识 Cadence 16.2

Cadence 公司是世界上最大的 EDA 公司之一,该公司的电子产品经营范围广,包括系统设计、集成电路的综合布局布线、集成电路的物理验证、PCB 板的设计和硬件仿真建模等。

随着科技的发展,电子技术也相应发展起来,尖端的复杂高速 IC 创造了非常有挑战性的 IC 封装设计,包括物理实现及信号和功率完整性方面。Cadence 公司为满足这一需要,推出一个全力解决电流与新出现的芯片封装设计问题的工具——Cadence SPB16.2。

1.1 Cadence SPB16.2 简介

Cadence SPB16.2 是基于 Allegro 软件平台的一款强大的电子设计系统,包括原理图设计、PCB 板图绘制、布线以及封装等都可以通过此软件来实现。Allegro 软件平台是一个大型的 EDA 软件,可以在电子应用上进行多方面的设计。Allegro 软件平台在仿真电路图设计自动布局布线功能,Allegro 软件平台可以进行扩展。用户还可以开发自己的基于 Allegro 软件平台的工具。实际上整个 Allegro 软件平台可以理解为一个搭建在 Skill 语言平台上的可执行文件集,所有的 Allegro 软件平台工具都是用 Skill 语言编写的。而且 Cadence SPB16.2 提供了高级 IC 封装/系统级封装 (SIP) 小型化、设计周期缩减和 DFM 驱动设计,以及一个全新的电源完整性建模解决方案。这些新功能可以提高设计师设计单芯片和多芯片封装/SIP 的数字、模拟、RF 和混合信号 IC 封装的设计效率。

Cadence16.2 与先前的几个版本在功能模块上既有相同的地方,也有不同之处。Cadence16.2 的功能模块如图 1-1 所示。

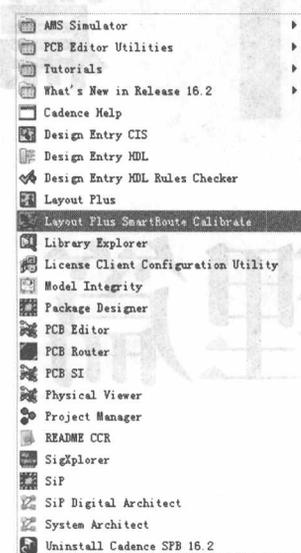


图 1-1 Cadence16.2 的功能模块图

① Design Entry CIS: 对应于以前版本的 Capture 和 Capture CIS, 是 Cadence 公司收购 OrCAD 公司的产品, 是国际上通用的、标准的原理图输入工具, 设计快捷方便, 图形美观, 与 Allegro 软件平台实现了无缝连接。

② Design Entry HDL: 提供了基于 Design Capture 环境的原理图设计。Design Entry HDL 允许使用表格、原理图和 Verilog HDL 进行设计, Design Entry HDL 就是以前版本的 Concept HDL 工具。

③ Design Entry HDL Rules Checker: 检查 Design Entry HDL 的规则的工具。

④ Layout Plus: PCB 设计工具, 原 OrCAD 公司的产品。

⑤ Layout Plus SmartRoute Calibrate: Layout Plus 的布线工具。

⑥ Library Explorer: 包括 Part Developer 和 Library Explorer 两个功能, 进行数字设计库的管理, 可以调用建立 Part Developer、PartTable Editor、Design Entry、Packager-XL 和

Allegro 的元件符号和模型的工具。

⑦ Model Integrity: 查看与验证模型的工具。

⑧ Package Designer: 高密度 IC 封装设计和分析。

⑨ PCB Editor: 完整的 PCB 设计工具。

⑩ PCB Router: CCT 布线器。

⑪ PCB SI: 建立数字 PCB 系统和集成电路封装设计的集成高速设计和分析环境, 可以解决电气性能相关问题, 如信号完整性、串扰、电源完整性和 EMI 等。

⑫ Physical Viewer: Allegro 浏览器模块。

⑬ Project Manager: Design Entry HDL 的项目管理器。

⑭ SigXplorer: 网络拓扑的仿真和提取。

⑮ Sip: 是一种在基板上同时黏着两块以上芯片的单片封装。

⑯ Sip Digital Architect: Sip 数字结构图。

⑰ System Architect: 系统结构图。

除了以上功能外, Cadence16.2 在 Design Entry HDL、Package Designer、PCB Editor、PCB Router、PCB SI 等方面都有新增加的功能, 这也使得此版本能更好地为芯片设计师提供一个设计平台。

◎ 1.2 Cadence SPB16.2 软件的安装

下面将介绍 Cadence SPB16.2 软件安装的相关问题以及安装软件的详细步骤。

○ 1.2.1 Cadence SPB16.2 的运行环境

因为 Cadence SPB 产品是直接集成在 Windows 操作系统上的, Windows 操作系统上的硬件和外壳也支持 Cadence SPB 产品, 但是, 与以前的版本不同的是, SPB 产品要求在 Windows 的目录下, 更新一定的 Microsoft 库。Cadence SPB 对电脑的硬件和软件的要求如下。

(1) 操作系统要求

① Windows2003, 所有的服务包 (仅 32 位);

② Windows XP, Windows Vista (32 位和 64 位) 家庭使用的基本操作系统除外。

(2) 硬件要求

① 英特尔 IA-32 兼容 (包括英特尔 P4 EMT 和 AMD Opteron™ 处理器); 最小的处理器要求是 1.2GHz, 推荐使用 2.4 GHz 或更大的, 注意 Cadence SPB 产品是不支持 IPF 芯片的;

② CD-ROM 驱动;

③ 以太网卡 (用于网络通信与安全的 hostID);

④ 3 个按钮微软兼容鼠标。

(3) 最小硬件要求

① 1 GB 的物理内存;

② 10 GB 的可用磁盘空间;

③ 虚拟内存值应该至少是可用物理内存的双倍值;

④ 使用 1024 × 768 分辨率具有 64000 的彩色显示器;

(4) 推荐的硬件配置

- ① 2GB 的物理内存;
- ② 50 GB 的可用磁盘空间;
- ③ 虚拟内存值应该至少是可用物理内存的双倍值;
- ④ 1280×1024 彩色 32 位显示器;
- ⑤ 推荐使用独立显卡。

○ 1.2.2 Cadence SPB16.2 的安装过程

在安装此软件之前, 先要移除旧版本的 Allegro 及 License Manager 软件, 以免在使用时引起冲突, 还有一点要注意的是关闭所有的杀毒软件和防火墙, 以免在安装时阻止安装, 使得安装不能顺利进行。

安装步骤如下。

- ① 本地安装许可证管理器和 Cadence SPB 产品;
- ② 在许可服务器上安装许可证并本地安装 Cadence SPB 产品;
- ③ 文件服务器安装;
- ④ 客户端安装。

这里的客户端安装是指从 Cadence 官方网站上下载产品安装, 在本章不作介绍。

下面介绍本地安装 Cadence SPB16.2 的安装步骤。

(1) 安装许可管理器

- ① 单击程序安装文件, 弹出 Cadence 产品的组件菜单。如图 1-2 所示。

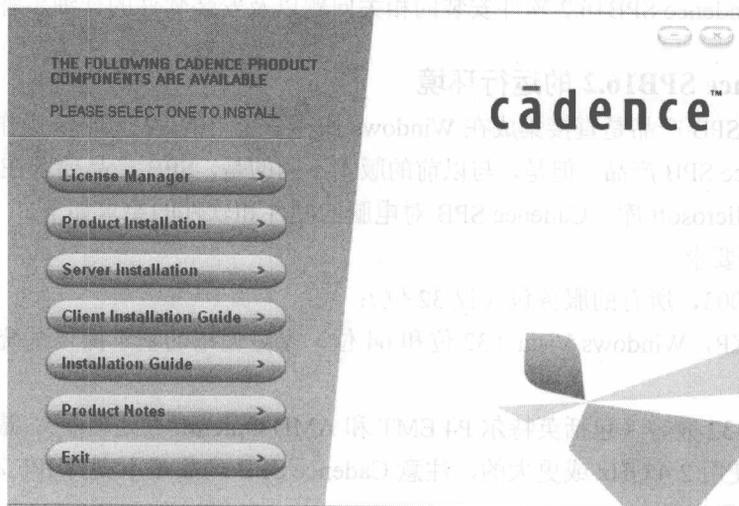


图 1-2 Cadence 产品的组件菜单

② 点击“License Manager (许可管理器)”, 弹出安装向导的欢迎窗口。如图 1-3 所示。

③ 点击 按钮, 弹出许可协议对话框。如图 1-4 所示。

④ 在许可协议对话框上选择“I accept terms of the license agreement”选项“接受许可协议”。

⑤ 点击 按钮, 继续进行安装进程, 选择目标位置对话框。如图 1-5 所示。

⑥ 接受默认路径或者是点击改变路径按钮来设置另一路径, 再点击 按钮, 继续进行。弹出选择功能对话框。如图 1-6 所示。

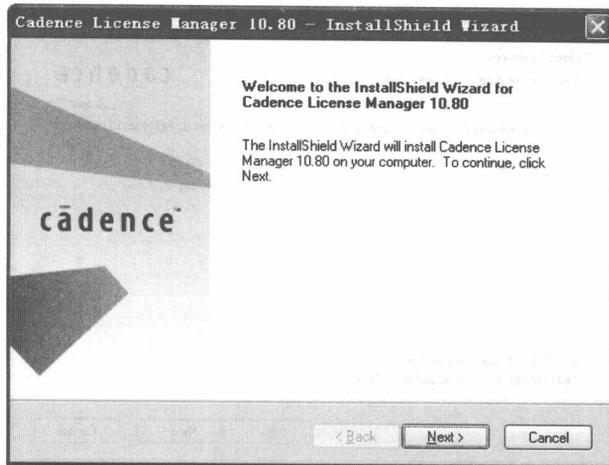


图 1-3 安装向导窗口

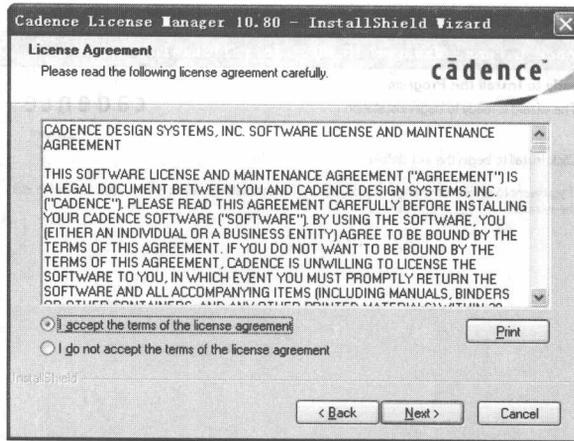


图 1-4 许可协议对话框

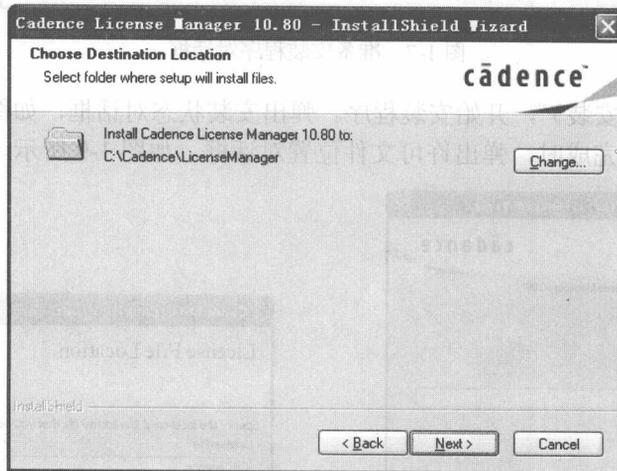


图 1-5 目标位置对话框

⑦ 检查许可复选框（如果没有选中）然后点击 **Next >** 按钮，弹出准备安装程序对话框。如图 1-7 所示。