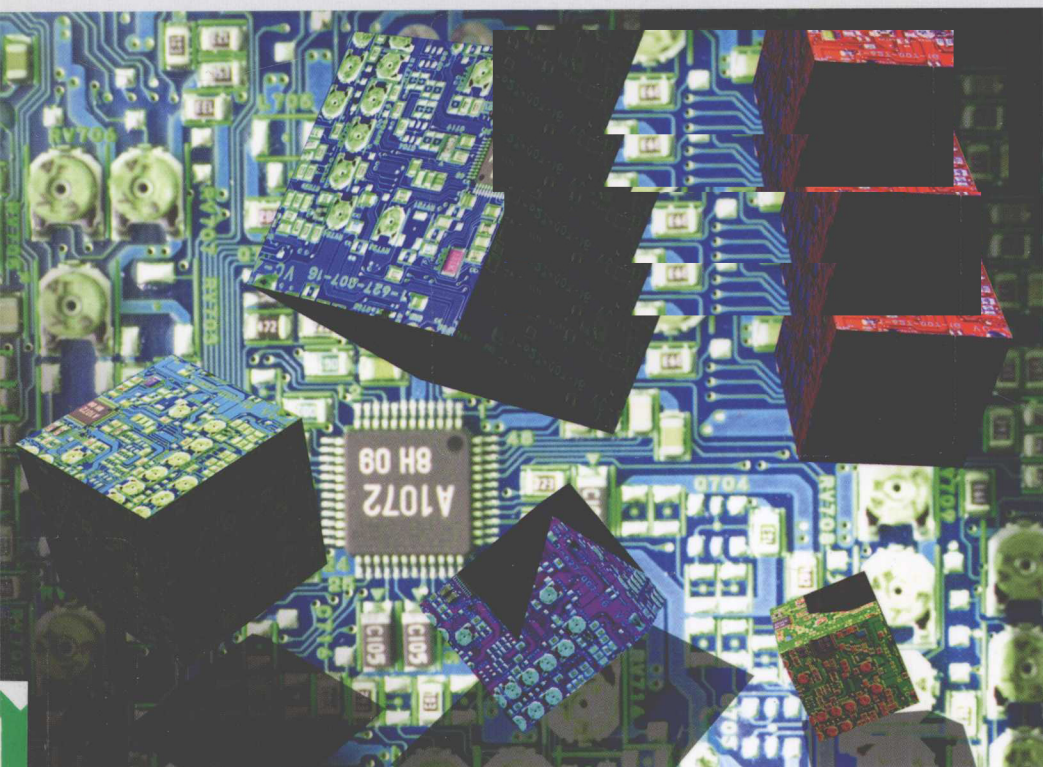


EDA 技术与 Verilog HDL



潘松 黄继业 陈龙◎编著



清华大学出版社

EDA 技术与 Verilog HDL

潘 松 黄继业 陈 龙 编著

清华大学出版社

北 京

内 容 简 介

本书根据课堂教学和实验操作的要求,以提高实际工程设计能力为目的,深入浅出地对 EDA 技术、Verilog HDL 硬件描述语言、FPGA 开发应用及相关知识做了系统和完整的介绍,使读者通过本书的学习并完成推荐的实验,能初步了解和掌握 EDA 的基本内容及实用技术。

全书包括 4 部分:第一部分介绍 EDA 的基本知识、常用 EDA 工具的使用方法和目标器件的结构原理;第二部分以向导的形式和实例为主的方法介绍多种不同的设计输入方法;第三部分介绍 Verilog 的设计优化;第四部分详述基于 EDA 技术的典型设计项目。各章都安排了习题和针对性较强的实验与设计。书中列举的大部分 Verilog 设计实例和实验示例实现的 EDA 工具平台是 Quartus II 9.x,硬件平台是 Cyclone III 系列 FPGA,并在 EDA 实验系统上通过了硬件测试。

本书对于 EDA 技术和硬件描述语言的介绍具有系统性、完整性和相对独立性,故其定位既是 EDA 课程的课本,也是面向对应专业就业和深造而必需的 EDA 技术速成教程。

本书可作为高等院校电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等专业的本科生或研究生的电子设计、EDA 技术课程和 Verilog 硬件描述语言的教材及实验指导书,同时也可作为相关专业技术人员的自学参考书。

本书提供相关的重要资料,包括授课课件、实验指导课件、实验示例源文件和设计,读者可以通过清华大学出版社网站(www.tup.com.cn)下载或作者的网站(www.kx-soc.com)索取。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

EDA 技术与 Verilog HDL/潘松,黄继业,陈龙编著. —北京:清华大学出版社,2010.4

ISBN 978-7-302-22270-5

I. ①E… II. ①潘… ②黄… ③陈… III. ①电子电路-电路设计:计算机辅助设计-高等学校-教材 ②硬件描述语言, Verilog HDL-程序设计-高等学校-教材 IV. ①TN702 ②TP312

中国版本图书馆 CIP 数据核字(2010)第 047523 号

责任编辑:钟志芳

封面设计:刘超

版式设计:侯哲芬

责任校对:张彩凤

责任印制:何芊

出版发行:清华大学出版社

地 址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者:北京季蜂印刷有限公司

装 订 者:三河市李旗庄少明装订厂

经 销:全国新华书店

开 本:185×260 印 张:26.25 字 数:604 千字

版 次:2010 年 4 月第 1 版 印 次:2010 年 4 月第 1 次印刷

印 数:1~4000

定 价:38.00 元

前 言

随着 EDA 技术的发展,其在电子信息、通信、自动控制及计算机应用等领域的重要性日益突出。与此同时,随着技术市场与人才市场对 EDA 技术需求的不断提高,产品的市场效率和技术要求也必然会反映到教学和科研领域中来。以最近 10 届的全国大学生电子设计竞赛为例,涉及 EDA 技术的赛题从未缺少过。对诸如斯坦福大学、麻省理工学院等美国一些著名院校的电子与计算机实验室建设情况的调研表明,其 EDA 技术的教学与实践得到了高度的关注与重视,内容安排紧凑、科学。在其本科和研究生教学中有两个明显的特点:其一,各专业中 EDA 教学实验课程的普及率和渗透率极高;其二,几乎所有实验项目都部分或全部融入了 EDA 技术,其中包括数字电路、计算机组成与设计、计算机接口技术、数字通信技术、嵌入式系统、DSP 等实验内容,并且更多地注重创新性实验。这显然是科技发展和市场需求双重影响下自然的结果。

为了适应 EDA 技术在就业中的需求和高校教学的要求,突出 EDA 技术的实用性,以及面向工程实际的特点和自主创新能力的培养,作者力图将 EDA 技术最新的发展成果、现代电子设计最前沿的理论和技術、国际业界普遍接受和认可的 EDA 公司新近推出的 EDA 软/硬件开发平台的使用方法通过本书合理地综合和萃取,奉献给各位读者。本书所有的理论阐述和实践精解,包括示例和实验所基于的 EDA 软/硬件平台分别是 Quartus II 9.x、Synplify、ModelSim、SOPC Builder 等和 Cyclone III 系列 FPGA;硬件描述语言是 Verilog HDL。其中的 SystemVerilog 和 VHDL 仅是为了比较而介绍。

在业界,目前似乎有 3 个关键词与大学生的就业和发展关系密切,即数字技术、创新精神和实践能力。为了阐明本书的宗旨,在此不妨讨论一番。

近年来,我国大学生特别是本科生就业形势一直难有起色,其中自有诸多因素,但有一点值得关注,即高职专科类和研究生毕业生的就业情况都好于本科。其中原因十分明显也值得深究:社会就业市场更青睐有实践能力的人才。高职专科虽只有 3 年,但专业设置定位明确,完全根据就业市场设计教学与实践,大比例课时数放在既定专业的实践训练和技能培训上,许多学校在第一年就完成了诸如高数、数字电路、EDA 技术类基础和专业基础类课程,此后两年时间几乎都用于工程实践训练。至于研究生,除了学历高外,在实践训练的环境条件、时间、内容、强度、层次以及与工程实际的结合度上都明显优于本科生。相比之下,本科生的就业劣势便显得十分明显了,因为他们大部分时间都在应付不断增加的各类课程的课堂学习上,实践安排少之又少。要论动手能力和实践经验,本科生自然屈居第三,就业形势必然严峻,所以就业的大军仍然是本科生!如何来破解这一难题呢?所谓“以管窥豹,只见一斑”,这里仅以本科数字电路课程教学为例,来窥视分析本科就业问题之一斑。

在本科电子、计算机、通信等专业的课程中,实质上的专业基础课大都是实践性强且须通过大量实践活动的反馈才能真正学好的课程,其中数字电路及其后续的 EDA 技术课程

的教学和实践安排具有一定的典型性和代表性。统计表明，目前多数高校的数字电路课程授课课时数是 64，实验课时数是 16，实践课与理论课的比例是 1:3；课程安排多为二年级下或三年级上。不难看出这里就存在两个问题：

- 重理论讲授轻实践训练（许多其他同类课都存在相同问题）。这个 1:3 的比例最终导致多数学生只会并只注重书面应试。
- 课程安排的时间太晚。在现代数字技术高速发展的今天，本科电子、计算机、通信等专业的大量重要课程都是以数字电路为基础课。也就是说，诸如 EDA 技术、硬件描述语言、单片机技术、DSP 技术、嵌入式系统应用技术、计算机组成与设计技术、计算机接口技术、数字通信技术等公共专业基础课，以及与具体专业直接相关的课程，如工业自动化、网络安全、软件无线电、蓝牙技术、仪器仪表、生物信息工程、数字电子对抗、神经网络系统、数字电磁兼容技术等，统统都必须放在数字电路课之后。然而目前的现状令人无法乐观，待数字电路课学完（还谈不上已学好），已经是三年级了，而四年级后半段基本属于四面出击求职求人的年，多数学生已无心向学已是不争的事实。

美国斯坦福大学 Nigel P.Cook 教授在其 *Practical Digital Electronics* 一书中指出：第二次世界大战以来，电子学对世界的发展所做的贡献超过了其他所有学科，电子工业已超越汽车和石油工业成为世界上最大的工业，而且这个巨型工业的一个重要的发展趋势便是从模拟技术向数字技术的转化，数字技术将曾经毫不相干的领域融为一体，导致 90% 以上电子产品采用了数字技术，数字电子技术还将继续整合整个工业体系，促进人类在各个不同领域的进步。这个 90% 说明什么？这不就是告诉我们，即在业界，与数字技术相关的就业领域的口径占整个就业领域的 90% 之宽！然而我们想问，以上的那些与数字技术相关的、极其重要且与未来的深造、发展、创业、就业甚至再就业（考虑下岗）关系重大的课程能在一年甚至不到的时间内学完吗？如果可能，那也只能停留在课堂上听听课而已，至于实践机会恐已成了奢望，更不用提什么融会贯通、培养自主创新能力了。其结果一定是常从毕业生口中听到的那句让人愕然又无奈的话：老师，我感到什么都学了，但却什么都不会。因为他们在求职的道路上，除了一张似是而非的成绩单，对招聘者的盘问基本没有底气去接招。

何谓学术？就是学有所长，术有专攻。仅仅是听听讲课，动动笔头，敲敲键盘，无论是理论还是实践都是蜻蜓点水、浅尝辄止，致使学不深、业不精，就业自然困难。

显然，这一现象从根本上的改变必须抓住核心课程，解决 3 个问题，即什么时候学、学什么以及如何学。核心课程是数字电路课及其后续课——EDA、DSP 等。

对于第 1 个问题，较好的解决方案便是数字电路课程的教学改革。作为我校 EDA 技术国家级精品课程的延伸内容之一，我们充分认识到将此课程提前上的重要性，通过数年的试点教学实践和经验总结，现已成功地将部分本科学生的数字电路课授课时间从原来的第四学期逐步提前到了第一学期，其他相关课程，如 EDA、单片机、计算机接口等也相应提前，使学生到二年级时就有了培养自主开发能力的条件了。

第 2 个问题涉及教学内容。数字电路课程的大幅提前必定要以改革教学内容为前提，否则一味提前，教学效果也将归于失败。首先是推出适应新需求的教材，对于目前长期作



为数字技术教学重点的且已过时的、基于纯手工数字技术的内容仅作现代数字技术教学的阶梯和过渡内容,强化基于现代数字技术的教学和实践训练,并适当引入低层次的 EDA 技术,如基于原理图的输入设计方法,不涉及 HDL,使教学和实践训练的内容更有效地面向后续课程。而传统数字电路的内容是纯手工技术,根本无法适应如今高速变化的各实际工程专业相关课程的需求。

第 3 个问题最重要,如何学包括如何教,这既是个方法问题,更是个认识问题。以我校的数字电子技术和 EDA 技术的授课情况为例,对于前者不仅仅是提前课程设置,更重要的是瞄准人才市场的需求和电子科技发展的现状,强化实践训练,强调工程实际与基础理论相结合,重点鼓励学生的自主设计意识和首创精神。我们将授课学时数缩减到 40,而实验学时数相应增加为 80,其中包括与之相关的课内实验(16)、独立实验(32)和课程设计实验(32)。具体内容包包括验证性实验、基础实验、自主设计性实验和综合创新性实验,最后一类实验要求学生必须给出可硬件验收的设计项目和论文,然后参加答辩。

作为后续课程的 EDA 技术课总学时数是 48,实验与授课学时数之比是 1:1。同时为了有效倍增学生的实践和自主设计的时间,每一个上 EDA 课的学生都可借出一套 EDA 实验开发板,使他们能利用自己的计算机在课余时间完成自主设计项目,强化学习效果。实践表明,这种安排使得实验与授课的等效学时数之比达到 3:1,成效自然明显。基于同样重视实践能力和创新意识培养的理念,单片机教学实验和授课学时数之比已近 $x:0$,即不单独安排授课学时数,第一课就在实验室中进行,边讲授、边学习、边实践。

基于以上的讨论和认识,我们对本书各章节做了相应的安排。其特点有三:

1. 注重实践、实用和创新能力的培养

除在各章中安排了许多习题外,绝大部分章节都安排了针对性较强的实验与设计项目,使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化,并尽可能地从学习一开始就有机会将理论知识与实践和自主设计紧密联系起来。

全书共给出了 60 多个实验与设计项目,这些项目涉及的技术领域宽、知识涉猎广、针对性强,而且自主创新意识的启示性好。与本书的示例一样,所有的实验项目都通过了 EDA 工具的仿真测试并通过 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外,都含 2~5 个子项目或子任务。它们通常分为:第一层次的实验任务是与该章某重点阐述内容相关的验证性实验,并通常提供详细的并被验证的设计程序和实验方法,学生只需将提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可,目的是使学生有一个初步的感性认识,提高实验的效率;第二层次的实验任务是要求在上一实验的基础上进行一些改进和发挥;第三层次的实验通常是提出自主设计的要求和任务;第四、五层次的实验则在仅给出一些提示的情况下提出自主创新性设计的要求。教师可以根据学时数、教学实验的要求以及不同的学生对象,布置不同层次、含不同任务的实验项目。

2. 注重速成和学习效率

一般认为 EDA 技术的难点和学习费时的根源在于硬件描述语言,对此本书做了有针对性的安排。我们根据相关专业的特点,放弃了流行的计算机语言的教学模式,打破了目前 HDL 教材通行的编排形式,而以电子线路设计为基点,从实例的介绍中引出 Verilog 语法

内容。同时为了尽快进入 EDA 技术的实践阶段,熟悉 EDA 开发工具及其相关软硬件的使用方法;尽早进入数字系统工程设计经验的积累和能力提高阶段,并能通过这些面向实际的实践和实验活动,快速深化对硬件描述语言的理解和把握对应的设计技巧,本书通过数则简单而典型的 Verilog 设计示例(电路情景)和电路模型,从具体电路和实用背景下引出相关的可综合的 Verilog 语言现象和语法规则,并加以深入浅出的说明,使读者仅通过 1~2 章的学习便能迅速了解并掌握 Verilog HDL 与逻辑电路间的基本关系和描述方法,从而极大地降低 Verilog 的学习难度,大幅提高学习效率,快速实现学以致用目的。过去多年的实践证明这是一种高效学习硬件描述语言和 EDA 技术的好方法。这种学习流程也是目前国外比较流行的基于情景和工作过程的教学和学习模式,是一种自顶向下的、高效的学习模型。

这种方法对于学时数极少的极端情况也是有效的。例如这些内容可分别在约 10 个授课学时加 10 个实验学时,即约 3~4 天的时间内完成,其教学效果在过去与许多高校联合举办的 EDA 研习班上已得到了充分的证明。

3. 注重相对独立性和系统性、完整性的有机结合

本书定位是教科书而非参考书,因此无论各章节的理论讲述安排还是实验配置都有很好的内在联系性,同时也具有相对独立性。教师可以根据学时设置情况、专业特点和具体的教学要求仅选择其中某些章节来讲授,这并不会对系统性和知识的连贯性造成破坏。例如,若不足 20 个学时,可以只学前 5 章,前 3 章只需安排 2 个学时(这是速成的最低要求),完成学习后同样能较好地掌握 Verilog 语言、EDA 软件工具和 FPGA 开发技术。如果学时数再多一点,可以只讲授前 8 章。这样一来,学生的 EDA 技术功力还能向前再跨一步,也为参加诸如全国大学生电子设计竞赛等赛事奠定了基础。

然而,无论是编排的授课内容还是对应的实验配置,本书所包含的内容都大大超过了通常的 EDA 课程学时数(如 50 个学时)。这似乎有悖于以上对本书作为教材的定位。这是因为我们考虑到,任何学科都有其内在的系统性和完整性,EDA 技术及其紧密相联的硬件描述语言也一样,自有其完整的体系结构和独具特色的知识系统构架,其基本内容、外延内涵、知识涉猎和基础构架的完整性绝不会随某个学校的学时数限制而有所改变,或能切割和裁剪。本书之于 EDA 技术构建了一个不容割裂和裁剪的有机整体,最低限度地保证了 EDA 技术与 HDL 知识构架内在的系统性和完整性。从这个意义上讲,对于将要学习本课程的学生而言,本书中所有章节的内容都是十分重要而不可缺少的。因此,本书作为一本教科书的定位既不是为了适应某课程的学时数限制,也非对应某个专业学科的需求。本书的唯一定位目标是,基于全书给出的完整的知识结构,注重实践第一的观念,强化创新意识的培养,通过课堂合理的教学安排,结合学生明晰的求知觉悟和踏实的实践精神,为了即将离开学校面向招聘者、面向研究生导师、面向社会、面向未来的同学能多一份自信、多一点信心和多一线希望。

由此可见,为了速成,为了满足有限的学时数,课程中裁剪一些教学的内容只是权宜之计,是手段,而非目的。无论学时数是多少,无论专业特点是什么,我们建议应该积极鼓励学生利用课余时间尽可能学完本书的全部内容,掌握本书介绍的所有 EDA 工具软件和相关开发手段,并尽可能多地完成本书配置的实验和设计任务。



现代电子设计技术是发展的，相应的教学内容和教学方法也应不断地改进。还有许多问题值得深入探讨，其中包括以上提出的有关 EDA 教学的一家之言。我们真诚地欢迎读者对书中的疏漏和有失偏颇之处给予批评指正 (eda82@hznc.com)。

为了本书的顺利出版，杭州康芯公司的高级工程师徐生和姜兆刚先生在 IP 核的应用、大量实验设计项目的验证、各种 EDA 软件工具的安装以及 SOPC 软硬件项目的调试等方面完成了大量且不可替代的工作，在此对他们表示诚挚的谢意！本书配套课件及实验示例资料索取可浏览网址 www.kx-soc.com。

编 者

2010 年 1 月

于杭州电子科技大学

目 录

第 1 章 概述.....	1
1.1 EDA 技术及其发展.....	1
1.2 EDA 技术实现的目标.....	3
1.3 硬件描述语言 Verilog HDL.....	4
1.4 其他常用硬件描述语言.....	5
1.5 HDL 综合.....	6
1.6 基于 HDL 的自顶向下设计方法.....	8
1.7 EDA 技术的优势.....	11
1.8 EDA 的发展趋势.....	12
习题.....	14
第 2 章 EDA 设计流程及其工具.....	15
2.1 FPGA/CPLD 开发流程.....	15
2.1.1 设计输入（原理图/HDL 文本编辑）.....	15
2.1.2 综合.....	16
2.1.3 适配.....	17
2.1.4 时序仿真与功能仿真.....	17
2.1.5 编程下载.....	18
2.1.6 硬件测试.....	18
2.2 ASIC 及其设计流程.....	18
2.2.1 ASIC 设计方法简介.....	18
2.2.2 一般 ASIC 设计的流程.....	20
2.3 常用 EDA 工具.....	21
2.3.1 设计输入编辑器.....	22
2.3.2 HDL 综合器.....	22
2.3.3 仿真器.....	23
2.3.4 适配器.....	24
2.3.5 下载器.....	25
2.4 Quartus II 简介.....	25
2.5 IP 核简介.....	26
习题.....	28
第 3 章 FPGA/CPLD 结构与应用.....	29
3.1 概述.....	29
3.1.1 可编程逻辑器件的发展历程.....	29

3.1.2	可编程逻辑器件的分类	30
3.2	简单 PLD 原理	31
3.2.1	电路符号表示	31
3.2.2	PROM	32
3.2.3	PLA	34
3.2.4	PAL	35
3.2.5	GAL	36
3.3	CPLD 的结构与工作原理	38
3.4	FPGA 结构与工作原理	41
3.4.1	查找表逻辑结构	42
3.4.2	Cyclone III 系列器件的结构与原理	42
3.5	硬件测试技术	48
3.5.1	内部逻辑测试	48
3.5.2	JTAG 边界扫描测试	48
3.5.3	嵌入式逻辑分析仪	52
3.6	FPGA/CPLD 产品概述	52
3.6.1	Lattice 公司的 CPLD 器件系列	52
3.6.2	Xilinx 公司的 FPGA 和 CPLD 器件系列	53
3.6.3	Altera 公司的 FPGA 和 CPLD 器件系列	55
3.6.4	Actel 公司的 FPGA 器件	58
3.6.5	Altera 公司的 FPGA 配置方式与配置器件	58
3.7	编程与配置	59
3.7.1	使用 JTAG 的 CPLD 在系统编程	60
3.7.2	使用 JTAG 在线配置 FPGA	61
3.7.3	FPGA 专用配置器件	61
3.7.4	使用单片机配置 FPGA	63
3.7.5	使用 CPLD 配置 FPGA	64
	习题	64
第 4 章	Verilog HDL 设计初步	66
4.1	组合电路的 Verilog HDL 描述	66
4.1.1	4 选 1 多路选择器及其 Verilog HDL 描述 1	66
4.1.2	4 选 1 多路选择器及其 Verilog HDL 描述 2	74
4.1.3	4 选 1 多路选择器及其 Verilog HDL 描述 3	76
4.1.4	4 选 1 多路选择器及其 Verilog HDL 描述 4	78
4.1.5	简单加法器及其 Verilog HDL 描述	79
4.2	时序电路的 Verilog HDL 描述	83
4.2.1	边沿触发型 D 触发器及其 Verilog 描述	84
4.2.2	电平触发型锁存器及其 Verilog 描述	85
4.2.3	含异步清 0 和时钟使能结构的 D 触发器及其 Verilog 描述	86



4.2.4	含同步清 0 结构的 D 触发器及其 Verilog 描述	87
4.2.5	含异步清 0 的锁存器及其 Verilog 描述	88
4.2.6	Verilog 的时钟过程描述注意要点	88
4.2.7	异步时序电路	89
4.3	计数器的 Verilog HDL 设计	90
4.3.1	4 位二进制加法计数器及其 Verilog 描述	90
4.3.2	功能更全面的计数器设计	91
	习题	93
第 5 章	Quartus II 应用初步	96
5.1	基本设计流程	96
5.1.1	建立工作库文件夹和编辑设计文件	96
5.1.2	创建工程	97
5.1.3	编译前设置	99
5.1.4	全程编译	100
5.1.5	时序仿真	101
5.1.6	应用 RTL 电路图观察器	104
5.2	引脚设置与硬件验证	105
5.2.1	引脚锁定	105
5.2.2	编译文件下载	106
5.2.3	AS 模式编程	108
5.2.4	JTAG 间接模式编程配置器件	108
5.2.5	USB-Blaster 编程配置器件使用方法	110
5.2.6	其他的锁定引脚方法	110
5.3	嵌入式逻辑分析仪使用方法	112
5.4	编辑 SignalTap II 的触发信号	116
5.5	原理图输入设计方法	117
5.5.1	层次化设计流程	118
5.5.2	应用宏模块的多层次原理图设计	121
5.5.3	74 系列宏模块逻辑功能真值表查询	125
	习题	125
	实验与设计	126
5-1	设计含异步清 0、同步加载与时钟使能的计数器	126
5-2	4 选 1 多路选择器设计实验	127
5-3	采用原理图输入法设计 8 位全加器	128
5-4	十六进制 7 段数码显示译码器设计	128
5-5	采用原理图输入法设计 8 位十进制显示的频率计	130
5-6	数码扫描显示电路设计	130

第 6 章 Verilog HDL 设计进阶	132
6.1 过程结构中的赋值语句.....	132
6.1.1 过程中的阻塞式赋值.....	132
6.1.2 过程中的非阻塞式赋值.....	133
6.1.3 进一步了解阻塞式和非阻塞式赋值的内在规律.....	134
6.2 过程语句归纳.....	138
6.3 移位寄存器之 Verilog HDL 设计.....	141
6.3.1 含同步并行预置功能的 8 位移位寄存器设计.....	142
6.3.2 移位模式可控的 8 位移位寄存器设计.....	143
6.3.3 使用移位操作符设计移位寄存器.....	144
6.3.4 使用循环语句设计乘法器.....	145
6.4 if 语句概述.....	149
6.5 双向和三态电路设计.....	152
6.5.1 三态控制电路设计.....	152
6.5.2 双向端口设计.....	153
6.5.3 三态总线电路设计.....	154
6.6 不同类型的分频电路设计.....	156
6.6.1 同步加载分频电路设计.....	157
6.6.2 异步加载分频电路设计.....	159
6.6.3 异步清 0 分频电路设计.....	159
6.6.4 同步清 0 分频电路设计.....	160
6.7 半整数与奇数分频电路设计.....	161
6.8 Verilog HDL 的 RTL 表述.....	162
6.8.1 行为描述.....	163
6.8.2 数据流描述.....	164
6.8.3 结构描述.....	164
习题.....	165
实验与设计.....	166
6-1 半整数与奇数分频器设计.....	166
6-2 简易分频器设计.....	166
6-3 VGA 彩条信号显示控制电路设计.....	167
6-4 基于时序电路的移位相加型 8 位硬件乘法器设计.....	170
6-5 移位寄存器设计.....	171
6-6 串/并转换数码静态显示控制电路设计.....	172
6-7 并/串转换扩展输入/输出电路设计.....	172
第 7 章 宏功能模块与 IP 应用	173
7.1 宏功能模块概述.....	173
7.1.1 知识产权核的应用.....	173



7.1.2	使用 MegaWizard Plug-In Manager	174
7.1.3	在 Quartus II 中对宏功能模块进行例化	175
7.2	LPM 计数器模块使用方法	175
7.2.1	LPM_COUNTER 计数器模块文本文件的调用	176
7.2.2	LPM 计数器程序与参数传递语句	177
7.2.3	创建工程与仿真测试	178
7.3	基于 LPM 的流水线乘法累加器设计	179
7.3.1	LPM 加法器模块设置调用	180
7.3.2	LPM 乘法器模块设置调用	181
7.3.3	乘法累加器的仿真测试	181
7.3.4	乘法器的 Verilog 文本表述和相关属性设置	182
7.4	LPM 随机存储器的设置和调用	183
7.4.1	存储器初始化文件生成	183
7.4.2	LPM_RAM 的设置和调用	185
7.4.3	对 LPM_RAM 仿真测试	187
7.4.4	Verilog 的存储器描述及相关属性	187
7.5	LPM_ROM 的定制和使用示例	190
7.5.1	LPM_ROM 的定制、调用和测试	191
7.5.2	LPM 存储器模块取代设置	191
7.5.3	简易正弦信号发生器设计	192
7.5.4	正弦信号发生器硬件实现和测试	193
7.6	在系统存储器数据读写编辑器应用	194
7.7	FIFO 定制	196
7.8	LPM 嵌入式锁相环调用	197
7.8.1	建立嵌入式锁相环元件	197
7.8.2	联合设计与测试	199
7.8.3	测试锁相环	199
7.9	NCO 核数控振荡器使用方法	200
7.10	使用 IP Core 设计 FIR 滤波器	202
7.11	8051 单片机 IP 核应用	204
7.12	DDS 实现原理与应用	206
7.12.1	DDS 实现原理	206
7.12.2	DDS 信号发生器设计	208
	习题	210
	实验与设计	210
7-1	查表式硬件运算器设计	210
7-2	简易正弦信号发生器设计	211
7-3	8 位数码显示频率计设计	212
7-4	简易逻辑分析仪设计	213

7-5	DDS 信号发生器设计	214
7-6	DDS 移相信号发生器设计	214
7-7	4×4 阵列键盘键信号检测电路设计	215
7-8	8051 单片机 IP 核 SOC 片上系统设计实验	217
7-9	VGA 简单图像显示控制模块设计	217
第 8 章	Verilog 有限状态机设计	219
8.1	Verilog HDL 状态机的一般形式	219
8.1.1	为什么要使用状态机	220
8.1.2	一般有限状态机的结构	221
8.1.3	状态机设计初始控制与表述	224
8.2	Moore 型有限状态机的设计	225
8.2.1	ADC 采样控制设计及多过程结构型状态机	226
8.2.2	序列检测器之状态机设计	230
8.3	Mealy 型有限状态机的设计	231
8.4	SystemVerilog 的枚举类型应用	234
8.5	状态机图形编辑设计方法	234
8.6	状态编码	237
8.6.1	直接输出型编码	237
8.6.2	宏定义命令语句'define	240
8.6.3	顺序编码	240
8.6.4	一位热码状态编码	241
8.6.5	状态编码设置	241
8.7	非法状态处理	243
8.7.1	程序直接导引法	243
8.7.2	状态编码监测法	244
8.7.3	借助 EDA 优化控制工具生成安全状态机	245
8.8	硬件数字技术排除毛刺	245
8.8.1	延时方式去毛刺	245
8.8.2	逻辑方式去毛刺	247
8.8.3	定时方式去毛刺	248
	习题	248
	实验与设计	249
8-1	序列检测器设计	249
8-2	并行 ADC 采样控制电路实现与硬件验证	250
8-3	数据采集模块和简易存储示波器设计	251
8-4	5 功能智能逻辑笔设计	252
8-5	比较器加 DAC 器件实现 ADC 转换功能电路设计	253
8-6	通用异步收发器 UART 设计	254
8-7	点阵型与字符型液晶显示器驱动控制电路设计	255



8-8	串行 ADC/DAC 采样或信号输出控制电路设计	256
8-9	数字温度传感器 DS18B20 测控电路设计	256
8-10	AM 幅度调制信号发生器设计	256
8-11	硬件消抖动电路设计	258
第 9 章	Verilog HDL 基本要素与语句	259
9.1	Verilog HDL 文字规则	259
9.2	Verilog HDL 数据类型	261
9.2.1	网线类型 (Net 型)	261
9.2.2	寄存器类型 (Register 型)	262
9.2.3	存储器类型	262
9.3	操作符	262
9.4	Verilog HDL 语句	263
9.4.1	initial 过程语句	264
9.4.2	forever 循环语句	265
9.4.3	编译指示语句	265
9.4.4	任务和函数语句	267
9.5	基于库元件的结构描述	269
	习题	271
	实验与设计	271
9-1	硬件乐曲演奏电路设计	271
9-2	直流电机综合测控系统设计	275
9-3	等精度频率/脉宽/占空比/相位多功能测试仪设计	277
9-4	正交幅度调制与解调系统实现	283
9-5	PC 机键盘经 UART 串口控制模型电子琴电路设计	284
9-6	基于 M9K RAM 型 LPM 移位寄存器设计	286
9-7	单片全数字型 DDS 函数信号发生器设计	286
9-8	PS2 键盘控制模型电子琴电路设计	287
9-9	乒乓球游戏电路设计	288
第 10 章	系统优化、时序分析和 Synplify 应用	289
10.1	资源优化	289
10.1.1	资源共享	290
10.1.2	逻辑优化	291
10.1.3	串行化	292
10.2	速度优化	293
10.2.1	流水线设计	293
10.2.2	寄存器配平	295
10.2.3	关键路径法	296
10.2.4	乒乓操作法	296

10.2.5	加法树法.....	297
10.3	优化设置与时序分析.....	297
10.3.1	Settings 设置.....	297
10.3.2	HDL 版本设置及 Analysis & Synthesis 功能.....	298
10.3.3	Analysis & Synthesis 的优化设置.....	298
10.3.4	适配器 Fitter 设置.....	298
10.3.5	SignalProbe 使用方法.....	299
10.3.6	增量布局布线控制设置.....	300
10.3.7	使用 Design Assistant 检查设计可靠性.....	301
10.3.8	时序设置与分析.....	301
10.3.9	查看时序分析结果.....	303
10.3.10	适配优化设置示例.....	304
10.3.11	LogicLock 优化技术.....	305
10.4	Chip Planner 应用.....	306
10.4.1	Chip Planner 应用实例.....	306
10.4.2	Chip Planner 功能说明.....	307
10.4.3	利用 Change Manager 检测底层逻辑.....	308
10.5	Synplify Pro 的应用及其与 Quartus II 接口.....	309
10.5.1	Synplify Pro 设计指南.....	310
10.5.2	Synplify Pro 与 Quartus II 的接口方法.....	312
	习题.....	313
	实验与设计.....	314
10-1	SPWM 脉宽调制控制系统设计.....	314
10-2	基于 DES 数据加密标准的加解密系统设计.....	317
10-3	采用流水线技术设计高速数字相关器.....	317
10-4	线性反馈移位寄存器设计.....	318
10-5	步进电机细分控制电路设计.....	319
10-6	基于 Verilog 表述的流水线乘法器设计.....	321
10-7	基于 CPLD 的 FPGA PS 模式编程配置控制电路设计.....	321
10-8	基于 FT245BM 的 USB 通信控制模块设计.....	323
10-9	数字彩色液晶显示控制电路设计.....	323
10-10	GPS 应用的通信电路设计.....	323
10-11	VGA 动画图像显示控制电路设计.....	324
10-12	状态机控制串/并转换 8 数码静态显示.....	324
10-13	SignalProbe/Synplify 应用等的综合实验.....	325
第 11 章	Verilog 仿真验证.....	326
11.1	Verilog 仿真方法与仿真流程.....	326
11.2	使用 ModelSim 进行仿真.....	329
11.3	系统任务、系统函数和预编译语句.....	334



11.3.1	系统任务、系统函数	334
11.3.2	预编译语句	339
11.4	基本元件与用户自定义元件 (UDP)	340
11.4.1	基本元件及其用法	340
11.4.2	用户自定义元件 (UDP)	344
11.5	延时模型	347
11.5.1	赋值延时	347
11.5.2	门延时	348
11.5.3	延时说明块	349
11.6	Verilog 其他仿真语句	349
11.6.1	initial 语句	349
11.6.2	fork-join 块语句	350
11.6.3	wait 语句	352
11.6.4	force、release 语句	352
11.6.5	deassign 语句	353
11.7	仿真激励信号的产生	353
11.8	Verilog Test Bench (测试基准)	355
11.9	Verilog 数字系统仿真	356
	习题	357
	实验与设计	357
11-1	在 ModelSim 上进行 4 位计数器仿真	357
11-2	在 ModelSim 上进行 16 位累加器设计仿真	358
第 12 章	SOPC 技术	359
12.1	Nios II 嵌入式 CPU 核	359
12.1.1	Nios II 处理器	359
12.1.2	Nios II 系统的优势	360
12.2	Nios II 设计流程及外围接口	362
12.2.1	Nios II 系统设计流程	362
12.2.2	Avalon 总线外设	363
12.2.3	DMA 内核	365
12.2.4	定制硬件指令	366
12.3	Nios II 系统设计流程	367
12.3.1	Nios II 硬件系统设计流程	367
12.3.2	Nios II 软件设计流程	371
12.4	Nios II 系统深入设计	376
12.4.1	用户自定义组件设计	376
12.4.2	用户自定义指令设计	377
12.4.3	IDE Flash 编程下载	378
12.5	SOPC 综合设计	380