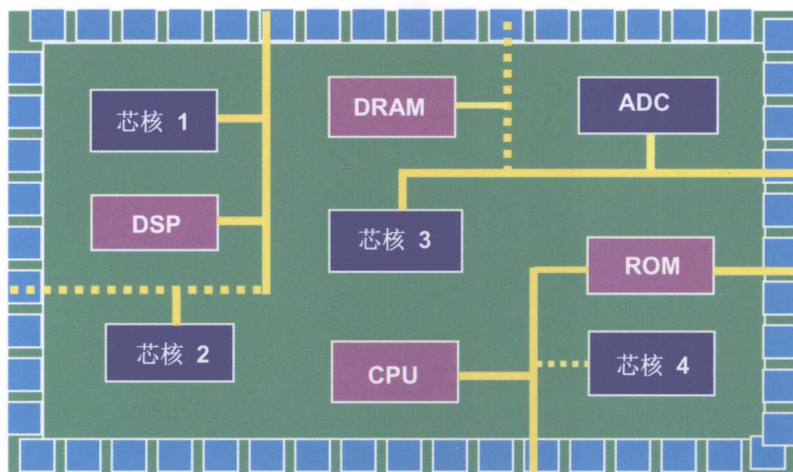
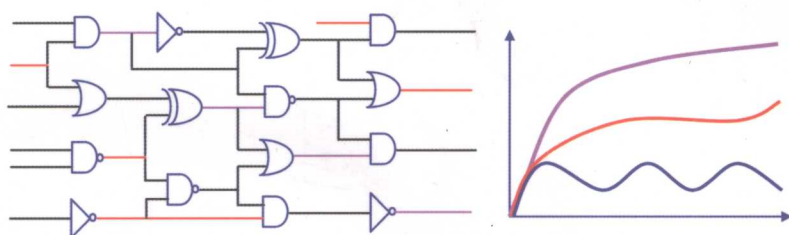


系统芯片 SoC 的设计与测试

潘中良 著



科学出版社
www.sciencep.com

系统芯片 SoC 的设计与测试

潘中良 著

科学出版社

北 京

内 容 简 介

系统芯片 SoC 能实现一个系统的功能,它是从整个系统的功能和性能出发,采用软硬结合的设计和验证方法,利用芯核复用及深亚微米技术,在一个芯片上实现复杂的功能。系统芯片具有速度快、集成度高、功耗低等特点。本书详细介绍了系统芯片 SoC 的设计与测试的关键技术和主要方法。全书共 15 章,内容包括:系统芯片的设计模式与流程、系统芯片的总线结构、芯核设计、软硬件协同设计、系统芯片的存储系统设计、系统芯片中模拟/混合信号的设计、系统芯片的低功耗设计、信号完整性、系统芯片的验证、系统芯片的可测性设计、测试调度与测试结构的优化设计、芯核的测试、系统芯片的物理设计、片上网络等。

本书可作为电子、通信、计算机、自动控制等学科高年级本科生和研究生的教材,也适合于从事电子信息、数字系统设计、测试和维护等相关专业的研究人员、工程技术人员学习参考。

图书在版编目(CIP)数据

系统芯片 SoC 的设计与测试/潘中良著. —北京:科学出版社, 2009

ISBN 978-7-03-025672-0

I. 系… II. 潘… III. 集成电路-芯片-设计 IV. TN402

中国版本图书馆 CIP 数据核字(2009)第 172650

责任编辑:余 丁 魏英杰 / 责任校对:朱光光

责任印制:赵 博 / 封面设计:耕 者

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

新 蕾 印 刷 厂 印刷

科学出版社发行 各地新华书店经销

*

2009 年 10 月第 一 版 开本: B5(720×1000)

2009 年 10 月第一次印刷 印张: 21

印数: 1—3 000 字数: 407 000

定价: 60.00 元

(如有印装质量问题,我社负责调换)

前 言

集成电路是信息技术及其设备赖以生存的基石,主要用于处理、存储和传送数字信息与模拟信息。近年来,集成电路设计技术得到了飞速发展,已经可以将一个完整的系统集成到一个单一的芯片中,即系统芯片或片上系统(system on a chip, SoC)。系统芯片是将原先由多个芯片完成的功能,集中到单芯片中完成。更具体地说,它是在单一硅芯片上实现信号采集、转换、存储、处理和 I/O 等功能,或者说在单一硅芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、CPU、DSP 等,实现了一个系统的功能。

系统芯片自 20 世纪 90 年代出现以来,受到了学术界与工业界的极大关注,它具有小型、轻量、多功能、低功耗、高可靠性和低成本等特点,在计算机、通信、工业控制、交通运输、消费类电子等领域的应用十分广泛。

系统芯片并不是各个芯片功能的简单叠加,而是从整个系统的功能和性能出发,用软硬结合的设计和验证方法,利用芯核复用及深亚微米技术,在一个芯片上实现复杂功能。系统芯片的出现给电路设计、测试、工艺集成、器件、结构,以及其他领域带来了一系列技术上的挑战,主要体现在设计复用、低功耗设计、软硬件协同设计、总线架构、可测性设计、设计验证、物理综合等方面。

系统芯片的设计主要涵盖设计复用技术、软硬件协同设计技术、纳米级电路设计技术。设计复用主要是芯核设计、基于芯核的系统设计、多芯核的系统级验证与接口综合等。软硬件协同设计主要是软硬件划分、硬件结构设计、基于硬件的软件结构生成、面向软件的多处理单元设计等。纳米级电路设计主要是时序综合及时延驱动的逻辑设计、低压低功耗设计等。

本书对系统芯片的设计与测试的关键技术与主要方法进行了论述,共分 15 章。各章内容简要介绍如下:

第 1 章说明数字集成电路的设计流程,介绍系统芯片的结构、系统芯片涉及的多种关键技术。

第 2 章论述系统芯片的设计流程。

第 3 章阐述系统芯片的总线结构,对几种典型的总线例如 AMBA 总线、Avalon 总线、CoreConnect 总线、Wishbone 总线和 OCP 总线等进行了介绍。

第 4 章论述芯核的设计方法,对芯核的设计流程、软核的设计、硬核的设计、芯核的技术标准、芯核的质量评估等进行了介绍。

第 5 章论述系统芯片的软硬件协同设计,说明了软硬件协同设计的过程、系

统级规范模型的建立、软硬件的划分方法与模型精炼等。

第 6 章介绍系统芯片的存储系统设计,对存储优化与管理、存储控制等进行了阐述。

第 7 章论述系统芯片中模拟/混合信号的设计方法,对混合信号系统芯片的设计流程、基于平台的混合信号电路设计、使用 SystemC 的混合信号行为模型等进行了讨论。

第 8 章论述系统芯片的低功耗设计,对低功耗设计的主要方法、低功耗分析与评估、系统芯片低功耗设计的总线编码等进行了阐述。

第 9 章论述信号完整性,讨论了传输线的反射、串扰、同步开关噪声等信号完整性问题,介绍了信号完整性的分析模型与工具,给出了针对信号完整性的电路设计流程以及对串扰的一种测试方法。

第 10 章论述系统芯片的验证方法,对芯核的验证和系统芯片的系统级验证进行了讨论。

第 11 章阐述系统芯片的可测性设计,说明了数字电路测试的基本原理与方法,论述了系统芯片的测试模型与测试存取机制的设计方法。

第 12 章介绍系统芯片的测试调度与测试结构的优化设计。

第 13 章论述芯核的测试,对软核的测试、微处理器芯核的测试、存储器芯核的测试等进行了讨论。

第 14 章论述系统芯片的物理设计,对系统芯片物理设计的特点、版图规划、布局和布线等进行了讨论,其中对考虑底层噪声的版图规划、引入缓冲器的互连驱动的版图规划、力矢量全局布局算法、考虑串扰的布线等进行了详细阐述。

第 15 章介绍了片上网络(network on chip, NoC)的设计方法,对片上网络的特点、拓扑结构、通信、设计流程等进行了阐述。

在本书的编写过程中,得到了陈翎老师以及洪少英、陈江江、刘豪、李志威、罗莹、余凤琼、叶小敏等研究生的支持与帮助,同时作者在本书中述及的一些研究工作也得到了广东省自然科学基金项目(No. 7005833)、国家自然科学基金项目(No. 60006002)、省部产学研项目(No. 090300339)等的资助。在此,一并表示衷心感谢。在作者的学习和科研工作中得到了电子科技大学的陈光禹教授和顾亚平教授、中山大学的张光昭教授、清华大学的陈景良教授等的关心、培养、支持与帮助,在此谨向他们致以最诚挚的谢意。

由于作者水平有限,书中不妥之处在所难免,敬请专家和读者批评指正。

作 者

2009 年 9 月于广州

目 录

前言

第 1 章 绪论	1
1.1 集成电路的设计流程	1
1.2 系统芯片的结构	3
1.3 系统芯片的关键技术	4
1.3.1 设计复用	5
1.3.2 低功耗设计	6
1.3.3 软硬件协同设计	6
1.3.4 总线架构	7
1.3.5 可测性设计	7
1.3.6 设计验证	8
1.3.7 物理综合	9
第 2 章 系统芯片的设计模式与流程	11
2.1 系统芯片的系统级设计	11
2.2 系统芯片的设计流程	12
2.3 系统芯片的设计方法学	15
第 3 章 系统芯片的总线结构	18
3.1 AMBA 总线	18
3.1.1 先进高性能总线	19
3.1.2 先进系统总线	21
3.1.3 先进外设总线	22
3.1.4 使用 AMBA 的系统芯片	24
3.2 Avalon 总线	24
3.2.1 Avalon 总线的特征	24
3.2.2 Avalon 信号	28
3.2.3 Avalon 的数据传输	29
3.3 CoreConnect 总线	31
3.4 Wishbone 总线	33
3.5 OCP 总线	35

第 4 章 芯核设计	37
4.1 芯核的特征与分类	37
4.2 芯核的设计流程	39
4.3 软核与硬核的设计	41
4.3.1 软核的设计	41
4.3.2 硬核的设计	43
4.4 芯核技术标准	45
4.4.1 VSIA 的 IP 技术标准	45
4.4.2 IP 交付时使用的文档标准/规范	46
4.4.3 IP 芯核可复用接口设计标准	49
4.4.4 IP 知识产权保护	50
4.5 芯核的质量评估	51
4.6 基于芯核的系统集成	54
第 5 章 软硬件协同设计	56
5.1 软硬件协同设计的过程	56
5.1.1 软硬件协同设计的流程	57
5.1.2 软硬件协同设计的关键技术	58
5.1.3 软硬件协同设计的分类	61
5.2 系统级规范模型	62
5.3 系统级多语言建模	63
5.4 软硬件划分	64
5.4.1 软硬件划分的基本模型	65
5.4.2 软硬件划分算法	66
5.5 软硬件划分的模型精炼	69
5.5.1 模型精炼的特征	70
5.5.2 实现模型	74
5.5.3 精炼的过程	77
第 6 章 系统芯片的存储系统设计	85
6.1 DRAM 和嵌入式存储器	86
6.1.1 DRAM 存储器	86
6.1.2 嵌入式存储器	87
6.2 存储优化与管理	89
6.2.1 重编序与重映射	90

6.2.2	降低存储器总线的数据变迁	90
6.2.3	减小数据所占用的存储空间	91
6.2.4	存储系统的动态功耗管理	91
6.3	存储控制	92
6.3.1	存储子系统的控制与调度	92
6.3.2	由 SDRAM 构成的存储系统结构	95
6.3.3	基于多种层次的存储控制	96
6.3.4	高效的存储调度方法	98
第 7 章	系统芯片中模拟/混合信号的设计	101
7.1	混合信号在系统芯片中的作用	101
7.2	混合信号系统芯片的设计流程	102
7.3	基于平台的混合信号电路设计	104
7.3.1	高性能 ADC 的优化设计	105
7.3.2	模拟平台	106
7.3.3	数字平台与混合信号平台	107
7.4	使用 SystemC 的混合信号行为模型	107
7.4.1	SystemC-AMS 的应用领域与要求	107
7.4.2	SystemC-AMS 层次模型的具体实现	109
7.4.3	模拟信号求解器层和用户层	111
7.5	SystemC-AMS 的设计与应用实例	112
第 8 章	系统芯片的低功耗设计	118
8.1	功耗的类型	118
8.2	低功耗设计方法	120
8.2.1	门级低功耗设计	120
8.2.2	寄存器传输级低功耗设计	122
8.2.3	算法级的低功耗设计	123
8.2.4	系统级的低功耗设计	125
8.2.5	版图级的低功耗设计	126
8.3	低功耗分析与评估	126
8.4	系统芯片低功耗设计的总线编码	128
8.4.1	基于汉明距离的总线翻转编码	128
8.4.2	基于权的总线翻转编码	131

第 9 章 信号完整性	134
9.1 传输线的反射	134
9.2 串扰	136
9.3 同步开关噪声	139
9.4 信号完整性的分析模型与工具	141
9.5 针对信号完整性的电路设计流程	143
9.6 串扰的测试	144
第 10 章 系统芯片的验证	147
10.1 电路的验证与仿真	147
10.2 芯核的验证	148
10.2.1 芯核的验证策略	148
10.2.2 芯核验证的测试平台	152
10.2.3 芯核时序的验证	153
10.2.4 芯核接口的验证	154
10.3 SoC 的系统级验证	155
10.3.1 硬件建模	157
10.3.2 协同验证与仿真	157
10.3.3 系统级时序验证	160
10.3.4 物理验证	161
第 11 章 系统芯片的可测性设计	163
11.1 电路测试的原理与方法	163
11.1.1 通路敏化法及相关的测试生成算法	164
11.1.2 基于神经网络的电路测试生成方法	166
11.1.3 基于二元判定图 BDD 的电路测试生成方法	176
11.1.4 逻辑函数的电路可测性设计	181
11.1.5 大规模集成电路与系统的可测性设计	188
11.2 系统芯片的测试模型	191
11.3 测试冲突	195
11.3.1 测试仪器的局限	196
11.3.2 测试冲突的分析	197
11.4 测试时的功耗	200
11.5 测试存取机制	204
11.5.1 系统芯片的测试数据传输	204

11.5.2 测试存取机制的设计	208
第 12 章 测试调度与测试结构的优化设计	211
12.1 测试调度	211
12.2 在测试矢量有固定的执行时间下的测试调度	214
12.3 在功耗约束下的测试调度	216
12.3.1 模型建立	218
12.3.2 在功耗约束下对等长测试的调度	220
12.3.3 在功耗约束下对不等长测试的调度	222
12.4 系统芯片的测试存取结构的设计	228
12.4.1 对测试总线进行芯核的最优分配	228
12.4.2 最优的测试总线带宽	233
12.4.3 系统芯片最优带宽划分的实例	236
12.4.4 测试总线的最优划分	240
第 13 章 芯核的测试	245
13.1 软核的测试	245
13.2 微处理器芯核的测试	246
13.2.1 微处理器芯核的故障特征	246
13.2.2 微处理器芯核的功能测试	247
13.2.3 微处理器芯核的内建自测试	249
13.3 存储器芯核的测试	250
13.3.1 存储器的故障模型	251
13.3.2 存储器的测试方法	252
13.3.3 存储器的内建自测试	253
第 14 章 系统芯片的物理设计	255
14.1 物理设计的步骤	255
14.2 系统芯片物理设计的特点	256
14.3 布图规划	257
14.3.1 布图规划中表示	258
14.3.2 展平式布图规划与多级布图规划	263
14.3.3 考虑底层噪声的布图规划	266
14.3.4 引入缓冲器的互连驱动的布图规划	270
14.4 力矢量全局布局算法	276
14.5 布线	281

14.5.1 基于热的三维集成电路布线	281
14.5.2 考虑串扰的布线	288
第 15 章 片上网络	302
15.1 片上网络的特点	302
15.1.1 常规系统芯片总线结构的不足	302
15.1.2 片上网络的特征	303
15.1.3 片上网络的组成	304
15.2 片上网络的拓扑结构	305
15.3 片上网络的通信	308
15.3.1 片上网络的通信协议	309
15.3.2 路由技术	309
15.4 片上网络的设计流程	311
参考文献	313
附录 名词缩写表	320

第 1 章 绪 论

集成电路主要用于处理、存储和传送数字信息与模拟信息。近年来,集成电路设计技术得到了飞速发展,已经可以将一个完整的系统集成到一个单一的芯片中,即系统芯片。本章将说明集成电路芯片的设计流程,阐述系统芯片的原理及其关键技术。

1.1 集成电路的设计流程

集成电路自问世以来便得到了迅速发展。1958 年,世界上第一块集成电路在美国德州仪器公司(TI)诞生,这块集成电路上只集成了 4 个晶体管。1962 年世界上出现了第一块集成电路正式商品。1970 年,1Kbit 的存储器问世,接着微处理器于 1971 年投入市场,从此宣告集成电路生产进入大规模集成电路时代。

集成电路具有体积小、重量轻、寿命长和可靠性高等优点,同时成本也相对低廉,便于进行大规模生产。集成电路大大地促进了电子设备的小型化,与采用单个电子管和晶体管相比,采用集成电路可以大大降低电子设备的功耗与故障发生率,使得复杂功能电子系统的设计和制造成为可能。自从集成电路发明以来,经历了小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)和甚大规模(ULSI)等发展过程。

集成电路设计是将系统、逻辑与性能的设计要求转化为具体的物理版图的过程,也是一个把产品从抽象的过程一步步具体化直至最终物理实现的过程。为了完成这一过程,人们提出了结构化和层次化的设计方法。结构化的设计方法是把复杂抽象的系统划分成一些可操作的模块,允许多个设计者同时进行设计,而且一些子模块的资源可以共享。层次化的设计方法是在不同的多个层次上对系统进行设计,它能使复杂的系统简化,并能在不同的设计层次上及时发现错误并加以纠正。目前,在实际中进行具体的集成电路设计时,主要是通过 EDA 软件,完成逻辑级描述和电路级描述,形成版图文件,根据版图文件制作掩膜版,在特定的工艺条件下加工制造,封装测试,最后形成集成电路芯片。集成电路芯片的设计流程如图 1.1 所示。

系统描述就是在最高层对芯片进行规划,包括芯片的功能、成本、功耗甚至尺寸大小等一系列指标,并确定选择什么样的工艺。功能设计是对系统的功能行为特性进行设计,常用的方法是时序图、子模块关系图和状态机等。通过逻辑设计

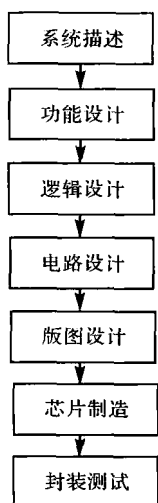


图 1.1 电路芯片的设计流程

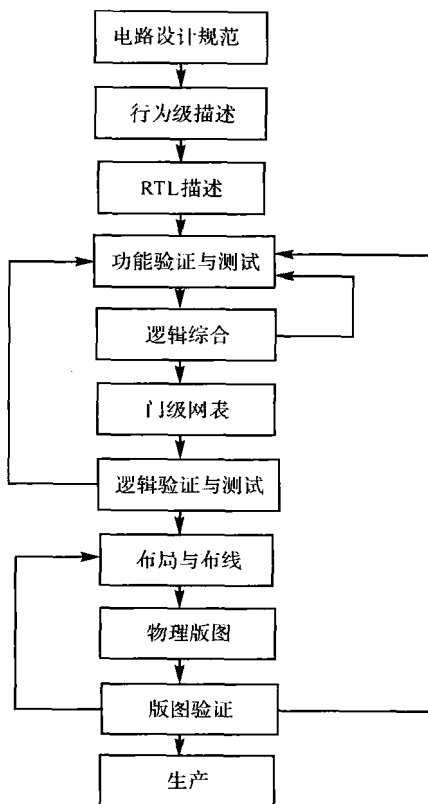


图 1.2 一种超大规模集成电路设计的流程

这一步将得到系统的逻辑结构,并且要反复模拟以验证其正确性。之后,需要对设计进行综合和优化。经过电路设计这一步,就可以把设计转化为晶体管级或电路级,通常用详细的电路图来表示。

版图设计是芯片设计中最费时的一步,它要把每个元件的电路表示转换成几何表示,同时元件间的网表也被转换为几何连线图形。这种电路的几何表示即为版图。版图设计要符合与制造工艺有关的设计规则要求,通常要进行物理设计规则检查、版图网表提取、电学规则检查、版图和原理图一致性比较等一系列检查,以确保版图设计的正确性。

芯片制造也称为流片,是指把经过验证的版图送到半导体厂家去做芯片,一般要经过氧化、光刻、掺杂、金属化等工艺过程。芯片的封装形式有多种,可以根据需要封装为贴片或其他形式,同时对芯片进行功能测试和结构测试,以确保芯片的性能满足要求。

与一般的集成电路芯片的设计流程类似,对功能上比较复杂的电路,例如超

大规模集成电路,它们的设计步骤更多,在物理实现时对工艺的要求高。在图 1.2 中,给出了一种超大规模集成电路的设计流程,在完成了行为级描述以后,通常需要进行向寄存器传输级(RTL)描述的转换,获得 RTL 描述。这里的主要原因在于现有的一些电子设计自动化工具是接受 RTL 级描述的 HDL 文件进行自动逻辑综合。转换后的 RTL 描述同样需要进行验证与仿真。在 RTL 描述中,设计者需要描述所设计电路中的数据流。从这步之后,设计过程是在计算机辅助设计(CAD)工具的帮助下完成的。

1.2 系统芯片的结构

随着集成电路技术进入新阶段,市场开始转向追求体积更小、成本更低、功耗更少的产品,因此出现了将多个甚至整个系统集成在一个芯片上的产品——系统芯片(system on a chip, SoC)。系统芯片将原先由多个芯片完成的功能,集中到单芯片中完成^[1,2]。更具体地说,它在单一硅芯片上实现信号采集、转换、存储、处理和 I/O 等功能,或者说在单一硅芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、MPU、MCU、DSP、MPEG 等,实现了一个系统的功能。

系统芯片并不是各个芯片功能的简单叠加,而是从整个系统的功能和性能出发,用软硬结合的设计和验证方法,利用芯核复用及深亚微米技术,在一个芯片上实现复杂功能^[3~5]。一个典型的 SoC 通常由以下部分组成:微处理器、存储器、提供数据路径的片上总线、定时和中断控制器、外部存储器控制器、通信控制器、通用 I/O 接口。另外,还可以包含视频解码器、UART(通用异步收发器)接口等。图 1.3 所示是 SoC 结构的一种例子。

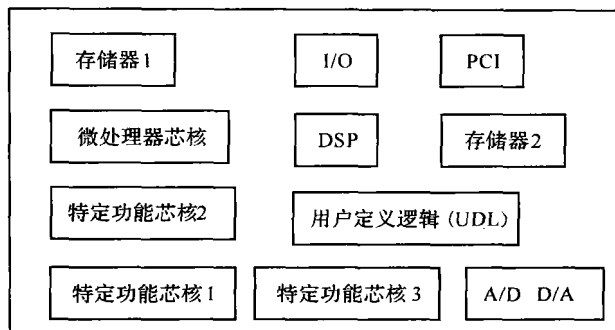


图 1.3 基于嵌入式芯核的系统芯片 SoC 结构

目前,SoC 具有系统功能强、工作速度高、体积小、成本低、功耗低等优点,在高端微处理器、GPS 控制器、GSM 手机、数码相机、数字电视、多媒体、视频游戏

机、无线/有线网络、工业控制、交通运输等领域有较强的市场竞争力,应用越来越广泛。

系统芯片是在单片上实现整个电子系统的集成,具有以下几个特点:

1. 规模大、结构复杂

系统芯片通常包括有数百万乃至上亿个元器件的设计规模,而且电路结构还包括 MPU、SRAM、DRAM、EPROM、ADC、DAC 以及其他模拟和射频电路。为了缩短投放市场的时间,要求设计起点比普通 ASIC 高,不能依靠基本逻辑、电路单元作为基础单元,而是采用被称为知识产权(intellectual property, IP)的更大的部件或模块,简称为 IP 或 IP 芯核。

2. 运行速度高、时序关系严密

系统芯片可具有高达数百兆的系统时钟频率且各模块内可能具有错综复杂的时序关系。这给设计带来许多问题,例如时序验证、低功耗设计以及信号完整性和电磁干扰、信号串扰等高频效应。

3. 对电路集成工艺要求高

系统芯片一般采用深亚微米工艺,在深亚微米时引线延迟和门延迟相比变得不可忽视,并成为主要因素。深亚微米工艺十分小的线间距和层间距,使得线间和层间的信号耦合作用增强,加之系统芯片复杂的时序关系,增加了电路中时序匹配的困难。

设计复用技术是系统芯片设计技术的重要组成部分,它是工艺技术走向深亚微米的产物,同时也是传统的基于元件或器件的设计技术的延伸。

在系统芯片的设计中,使用的基本部件是预先设计好的芯核,系统芯片由各种满足片上功能的嵌入式芯核组合而成。这些芯核主要包括:微处理器、大型存储器阵列、DSP、音频和视频控制器、图像处理器等。

系统芯片的设计方法主要涵盖以下技术:设计复用技术、软硬件协同设计技术、纳米级电路设计技术。设计复用技术包括 IP 芯核设计、基于 IP 的系统设计、多 IP 系统的验证与接口综合等。软硬件协同设计技术包括硬件结构设计、基于硬件的软件结构生成、软硬件划分、面向软件的多处理单元设计等。纳米级电路设计技术包括时序综合、时延驱动逻辑设计、低压低功耗设计等。

1.3 系统芯片的关键技术

系统芯片的出现给设计、测试、工艺集成、器件、结构及其他领域带来了一系列技术上的挑战^[6]。下面对系统芯片涉及的具有代表性的关键技术,例如设计复

用、低功耗设计、软硬件协同设计、总线架构、可测性设计、设计验证和物理综合等方面进行说明。

1.3.1 设计复用

系统芯片具有数百万门的规模,对其设计不能一切从头开始,要将设计建立在较高的层次上,更多地采用设计复用技术,只有这样,才能较快地完成设计,保证设计成功。设计复用技术是建立在 IP 芯核基础上的,它是将已经验证的各种超级宏单元电路模块制成芯核,方便设计时使用^[7]。芯核通常分为软核、固核和硬核。

软核是以可综合的 RTL 描述或通用库元件的网表形式提供的可重用的 IP 模块。软核的使用者要负责实际的实现和布图。它的优势是对工艺技术的适应性很强,应用新的加工工艺或改变芯片加工厂家的时候很少需要对软核进行改动。

固核也是可重用的 IP 模块,这种模块已经在拓扑结构上对性能和面积通过平面布图和布局进行了优化,可以在一定的工艺技术范围内使用,作为可综合的 RTL 代码或通用库元件的网表文件被提供,系统设计者可以根据特殊需要对固核的芯核模块进行改动。

硬核这种可重用的模块已经对性能、尺寸和功耗进行了优化,并对一个特定的工艺技术进行映射,作为完全布局和布线的网表或以规定的布图格式(如 GDS II 格式)被提供。在系统设计时,硬核只能在整个设计周期中被当成一个完整的库单元处理。

目前,设计复用方法在很大程度上主要是使用软核和固核,是将 RTL 级描述结合具体标准单元库,进行逻辑综合优化形成门级网表,再通过布局布线工具最终形成设计所需的硬核。这种软的 RTL 综合方法具有设计灵活性,可以结合具体应用适当修改描述,并重新验证,满足具体应用的要求。另外,随着工艺技术的发展,也可利用新的固核库重新综合优化、布局布线、重新验证,获得新工艺条件下的硬核。用这种方法实现设计复用比传统的模块设计方法的效率高得多。

建立在芯核基础上的系统芯片设计,使设计方法从电路设计转向系统设计,设计重心从今天的逻辑综合、门级布局布线、后模拟转向系统级模拟、软硬件联合仿真以及若干个芯核组合在一起的物理设计。迫使电子系统的设计向两极分化:一是转向系统,利用 IP 芯核设计高性能高复杂的专用系统或通用系统;二是在深亚微米工艺下进行芯核设计,步入物理层设计,使得所设计芯核的性能更好并且可预测。

实现基于复用的系统芯片设计方法,需要考虑的因素主要有复用性设计、可复用 IP 库、复用支撑结构等^[8]。复用性设计是基于复用的 SoC 设计方法学的基

础,基本目标是要确保 IP 芯核库中的芯核具备较高的可复用性,并且易于集成到芯片设计中。可复用 IP 库用于存储可复用性良好的 IP 资源,并通过辅助支撑结构推动系统芯片设计过程中的复用行为,是整个系统芯片设计环境中的重要组成部分。复用支撑结构则是为了推动设计方法学的快速发展而在某些非技术领域内投入的努力,例如建立复用项目规划等。

1.3.2 低功耗设计

随着系统芯片集成度的提高,电路功耗也会相应增加,所以必须采取相应措施降低功耗。系统芯片因为有百万门以上的集成度和在数百兆时钟频率下工作,将有数十瓦乃至上百瓦的功耗。巨大的功耗给使用、封装以及可靠性等方面都带来问题,因此降低功耗的设计是系统芯片设计的必然要求^[9,10]。低功耗已经成为与面积和性能同等重要的设计目标。芯片功耗主要由开关功耗、短路功耗和漏电流功耗等组成。降低功耗要从系统芯片的多层次立体角度,研究电路实现工艺、输入向量控制、多电压技术、功耗管理技术以及软件的低功耗利用技术等多方面综合解决。

例如,在系统设计方面,可以采用降低工作电压的方法。但太低的工作电压会影响系统的性能,一种可行的方法是采用空闲模式和低功耗模式,即在没有什么任务的情况下使系统处于等待状态或处于低电压与低时钟频率的低功耗模式。

在电路组态结构方面可以尽可能少的采用传统的互补式电路结构,因为互补电路结构每个门输入端具有一对 PMOS 和 NMOS 管,形成了较大的容性负载。CMOS 电路工作时,负载电容开关充放电的功耗占整个功耗的 70% 以上,因此深亚微米的电路结构多选择低负载电容的电路结构,使速度和功耗得到了较好的优化。

1.3.3 软硬件协同设计

系统芯片一般是既有硬件也有软件的一个完整系统。在对系统芯片进行设计时,需要使用软硬件协同设计的方法。这种设计方法强调软件和硬件设计开发的并行性和相互反馈,克服了传统方法中把软件和硬件分开设计带来的种种弊端,能协调软件和硬件之间的制约关系,达到系统高效工作的目的。使用软硬件协同设计具有如下优势:

① 提高了设计的抽象层次,拓展了设计的覆盖范围。

② 软硬件协同设计方法采用并行设计和协同设计的思想,提高了设计效率,缩短了设计周期。

③ 软硬件协同设计采用统一的设计工具和表示形式,可合理划分系统软硬件,分配系统功能,在性能、成本、功耗等方面进行权衡折中,从而得到更优化的