



高等院校电气工程及其自动化专业系列精品教材

TMS320F2812 DSP应用技术

徐科军 陈志辉 傅大丰 编著

72-43



科学出版社

www.sciencep.com

TN911.72-43
X742

高等院校电气工程及其自动化专业系列精品教材

TMS320F2812 DSP 应用技术

徐科军 陈志辉 傅大丰 编著

科学出版社

北京

TN911.72-43

X742

内 容 简 介

C2000 系列 DSP 是 TI 公司 TMS320 DSP 的三大系列之一,它既具有一般 DSP 芯片的高速运算和信号处理能力,又和单片机一样在片内集成了丰富的外围设备,所以,不仅适用于普通的数字信号处理,还适用于高性能数字控制系统。TMS320F2812 是 C2000 系列中性能优良且应用广泛的一种。本书以 TMS320F2812 为代表,具体介绍 TMS320F2812 的结构、寻址方式和指令系统、程序编写和调试、数字 I/O 模块、事件管理器模块、模数转换器、SPI 模块、SCI 模块、eCAN 控制器模块、数字信号处理算法和电动机数字控制。

本书可作为自动化、电气工程、计算机应用和仪器仪表等专业本科生和研究生的教材,也可供从事相关专业工作的科研和工程技术人员参考。

图书在版编目(CIP)数据

TMS320F2812 DSP 应用技术/徐科军,陈志辉,傅大丰编著. —北京:科学出版社,2010.2

(高等院校电气工程及其自动化专业系列精品教材)

ISBN 978-7-03-026513-5

I. ①T… II. ①徐…②陈…③傅… III. ①数字信号-信息处理系统-高等学校-教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2010)第 015150 号

责任编辑:余 江 潘继敏 / 责任校对:朱光光
责任印制:张克忠 / 封面设计:耕者设计工作室

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

铁 成 印 刷 厂 印刷

科学出版社发行 各地新华书店经销

*

2010 年 2 月第 一 版 开本:787×1092 1/16

2010 年 2 月第一次印刷 印张:19

印数:1—4 000 字数:450 000

定价:32.00 元

(如有印装质量问题,我社负责调换)

前 言

数字信号处理器(digital signal processor, DSP)是一种运算速度快、处理功能强且内存容量大的单片微处理器,广泛应用于控制系统、电气设备、信号处理、通信、互联网、仪器仪表和消费电子产品等方面。C2000 系列 DSP 是美国德州仪器公司(Texas Instruments Incorporation, TI 公司)TMS320 DSP 的三大系列之一,它既具有一般 DSP 芯片的高速信号处理和运算能力,又和单片机一样在片内集成了丰富的外围设备。

在 C2000 系列中, TI 公司首先推出的是以 C24x 为内核的 16 位定点 DSP, 典型的指标为: 40MIPS(每秒百万条指令), 16~64KB Flash, 10bit ADC, 典型的代表是 TMS320LF2407A。随着 DSP 芯片应用的不断普及和深入, 新的应用场合对它的性能提出了更高的要求。于是, TI 公司推出了以 C28x 为内核的 32 位定点 DSP, 一般用 TMS320C28x 来统称这一代芯片。目前这一代芯片分为两个子系列: TMS320X281x(X 可以取 F、C 和 R, x 可以取 0、1 和 2)和 TMS320F280x(x 可以取 1、6 和 8)。具体型号包括 TMS320F2811、TMS320F2812、TMS320C2810、TMS320C2811 和 TMS320C2812 等。TMS320F281x 表示含有 Flash 的器件, TMS320C281x 表示含有 ROM 的器件。该类芯片每秒可执行 1.5 亿次指令(150MIPS)、具有单周期 32 位 \times 32 位的乘和累加操作(MAC)功能。TMS320F281x 片内集成了 128K/64K \times 16 位的闪速存储器(Flash), 可方便地实现软件的升级。此外, 片内还集成了丰富的外围设备, 有采样频率达 12.5MSPS 的 12 位 16 路模/数转换器、面向电机控制的事件管理器以及可为主机、测试设备、显示器和其他组件提供接口的多种标准串口通信外围设备等。可见, 该类芯片既具备数字信号处理器卓越的数据处理能力, 又像单片机那样具有适于控制的片内外围设备及接口, 所以, 又被称为数字信号控制器(digital signal controller, DSC)。在这类芯片中, TMS320F280x 是根据一些用量较大的应用场合而专门设计的简化版, 以降低成本, 而 TMS320F2812 是这代芯片中的代表。所以, 本书以 TMS320F2812 DSP 为代表, 介绍其结构、寻址方式和指令系统、程序编写和调试、数字输入/输出模块、事件管理器模块、模数转换器模块、串行外围设备接口模块、串行通信接口模块、eCAN 控制器模块、数字信号处理算法和电机数字控制实例。全书共分 11 章, 具体内容如下:

第 1 章介绍 TMS320F2812 芯片的性能和结构、CPU 结构和寄存器、程序流、乘法操作、移位操作、CPU 中断与复位、流水线和存储器映射。

第 2 章介绍寻址方式和指令系统。

第 3 章介绍 DSP 软件开发流程、TI 的集成开发环境 CCS 以及 DSK2812 开发板。

第 4 章介绍数字 I/O 端口的工作模式、I/O 端口寄存器及其使用方法。

第 5 章介绍事件管理器的组成、原理、功能和应用。

第 6 章介绍 ADC 的特点、自动排序器工作原理、ADC 时钟的预标定、ADC 的各种寄存器、模数转换器改善精度的方法以及应用举例——传感器信号采集。

第 7 章介绍 SPI 模块的组成、操作、中断和控制寄存器以及应用举例。

第 8 章介绍 SCI 接口的模块组成、寄存器、硬件和软件设计,并给出一个编程实例。

第 9 章概述 CAN 总线,简介 CAN 协议,介绍 TMS320F2812 的 eCAN 控制器、eCAN 模块存储空间映射和 eCAN 模块的寄存器。

第 10 章介绍两种数字信号处理算法——基于 FFT 的频谱分析和 FIR 数字滤波,给出算法的基本原理、公式推导和源程序及注释。

第 11 章介绍 TMS320F2812 在直流电机、无刷直流电机和永磁同步电机控制系统的应用实例。

本书的第 1、2、5、6、7、10 章由合肥工业大学徐科军编写;第 3、4、9 章由南京航空航天大学傅大丰编写;第 8、11 章由南京航空航天大学陈志辉编写。南京航空航天大学孙祖勇、李金飞、陈冉、周楠、王娇艳、刘友伟、盛晓辉和卞林玉参加了第 3、4、8、9、11 章的录入和图表制作工作;合肥工业大学张瀚、陈智渊、杨双龙、朱永强、李叶、方敏、姜鹏、侯其立、李苗、周全和张然参加了第 1、2、5、6、7、10 章中部分章节初稿的编写或程序的编制。

由于 DSP 技术发展非常迅速,作者的水平有限,书中难免存在不妥之处,敬请广大读者批评指正。

作者

2009 年 10 月

目 录

前言

第 1 章 TMS320F2812 的结构	1
1.1 芯片性能和结构	1
1.2 CPU 结构与寄存器	11
1.3 程序流	26
1.4 乘法操作	27
1.5 移位操作	28
1.6 CPU 中断与复位	32
1.7 流水线	41
1.8 存储器映射	51
第 2 章 寻址方式和指令系统	55
2.1 寻址方式	55
2.2 C28x 汇编语言简介	64
第 3 章 程序编写和调试	65
3.1 软件开发流程	65
3.2 集成开发环境 CCS	67
3.3 TMS320F2812 开发板 DSK2812	77
第 4 章 数字 I/O 模块	85
4.1 概述	85
4.2 数字 I/O 端口工作模式	85
4.3 数字 I/O 端口寄存器	86
4.4 数字 I/O 端口应用举例	96
第 5 章 事件管理器模块	99
5.1 概述	99
5.2 通用定时器	101
5.3 全比较单元	114
5.4 PWM 电路	116
5.5 PWM 波形产生	118
5.6 捕获单元	123
5.7 正交编码器脉冲电路	126
5.8 事件管理器中断	128
5.9 事件管理器的寄存器	130

5.10 应用举例——频率测量	133
第 6 章 模数转换器(ADC)	136
6.1 概述	136
6.2 自动排序器工作原理	138
6.3 ADC 时钟的预标定	143
6.4 ADC 供电模式和上电顺序	144
6.5 ADC 寄存器	145
6.6 应用举例——传感器信号采集	156
第 7 章 SPI 模块	160
7.1 增强型 SPI 模块简介	160
7.2 SPI 模块操作	164
7.3 SPI 中断	166
7.4 SPI 控制寄存器	170
7.5 应用举例——EEPROM 存储器读写	177
第 8 章 SCI 模块	182
8.1 SCI 结构	182
8.2 SCI 寄存器	194
8.3 应用举例——串行通信	206
第 9 章 eCAN 控制器模块	211
9.1 eCAN 控制器概述	211
9.2 eCAN 控制器模块寄存器	217
9.3 eCAN 模块的配置	236
9.4 应用举例——eCAN 通信自测试	246
第 10 章 数字信号处理算法	252
10.1 基于 FFT 的频谱分析	252
10.2 FIR 数字滤波	258
第 11 章 电动机数字控制	266
11.1 直流电动机	266
11.2 无刷直流电动机	270
11.3 永磁同步电动机	284
参考文献	296

第 1 章 TMS320F2812 的结构

DSP 的特点是处理速度快,这与它的 CPU 内核结构和指令流程等密切相关。本章介绍 TMS320F2812 芯片的性能和结构、CPU 结构和寄存器、程序流、乘法操作、CPU 中断与复位、流水线和存储器映射。

1.1 芯片性能和结构

本节介绍 TMS320F281x 系列芯片的性能、特点和结构,并给出该系列芯片的引脚分布和引脚功能。

1.1.1 TMS320F281x 系列芯片的性能

TMS320F281x(以下简称为 F281x)系列芯片的主要性能如下:

(1) 高性能静态 CMOS 技术。

① 150MHz(6.67ns 时钟周期)。

② 低功耗设计(核心电压为 1.8V@135MHz,1.9V@150MHz,I/O 接口核心电压为 3.3V)。

③ Flash 编程电压为 3.3V。

(2) 高性能 CPU。

① 16 位×16 位和 32 位×32 位的乘和累加操作。

② 双 16 位×16 位的乘和累加单元(MAC)。

③ 哈佛总线结构。

④ 强大的操作能力。

⑤ 迅速的中断响应和处理能力。

⑥ 统一的存储器编程模式。

⑦ 可达 4M 字的线性程序/数据地址。

⑧ 代码效率高(用 C/C++ 或汇编语言)。

⑨ 与 TMS320F24x/LF240x 处理器的源代码兼容。

(3) 片上存储器。

① 多达 128K×16 位 Flash 存储器(4 个 8K×16 位和 6 个 16K×16 位的扇区)。

② 1K×16 位的 OPT 型只读存储器。

③ L0 和 L1:两个 4K×16 位的单口随机存储器(SARAM)。

④ H0:一块 8K×16 位 SARAM。

⑤ M0 和 M1:两块 1K×16 位 SARAM。

(4) 引导 ROM(4K×16 位)。

① 带有软件的引导模式。

② 标准的数学表。

(5) 外部接口(仅 F2812 有)。

① 容量高达 1.5M 的存储器。

② 可编程等待状态。

③ 可编程读/写选通计数器。

④ 四个独立的片选端。

(6) 时钟和系统控制。

① 支持动态的锁相环倍率调整。

② 片上振荡器。

③ 看门狗定时器模块。

(7) 三个外部中断。

(8) 外部中断扩展(PIE)模块。

可支持 45 个外部中断。

(9) 三个 32 位 CPU 定时器。

(10) 128 位密钥。

① 保护 Flash/OTP 和 L0/L1 SARAM。

② 防止 ROM 中的程序被解密。

(11) 电动机控制外围设备。

① 两个事件管理器(EVA、EVB)。

② 与 240xA 器件兼容。

(12) 串行接口外围设备。

① 串行外围设备接口(SPI)。

② 两个串行通信接口(SCI),标准的 UART。

③ 增强型局域网络控制器(eCAN)。

④ 多通道缓冲串口(McBSP)。

(13) 12 位 ADC,16 通道。

① 两个 8 通道的输入多路转换器。

② 两个采样保持器。

③ 单个/双路同步采样。

④ 高速通道转换速率:80ns/12.5MSPS。

(14) 最多有 56 个可编程通用输入输出(GPIO)引脚。

(15) 高的仿真性能。

① 分析和设置断点的功能。

② 实时的硬件调试功能。

(16) 开发工具。

① ANSI C/C++ 编译器/汇编器/连接器。

② 支持 TMS320 * 24x/20x 指令。

③ 代码编辑集成开发环境。

④ DSP BIOS。

⑤ JTAG 扫描控制器(TI 或者第三方)。

⑥ 评估板。

⑦ 广泛的第三方数字电动机控制支持。

(17) 低功耗模式和节能模式。

① 支持空闲模式、等待模式和挂起模式。

② 独立的停止外围设备的时钟。

(18) 封装形式。

① 带外部接口的 179 引脚球形触点 BGA 封装(GHH,ZHH)(F2812)。

② 带外部接口的 176 引脚低剖面四方扁平 LQFP 封装(PGF)(F2812)。

③ 不带外部接口的 128 LQFP 封装(PBK)(F2810、F2811)。

(19) 工作温度范围。

① A: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

② S/Q: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 。

1.1.2 F281x 系列芯片的结构

F281x 功能框图如图 1-1-1 所示。

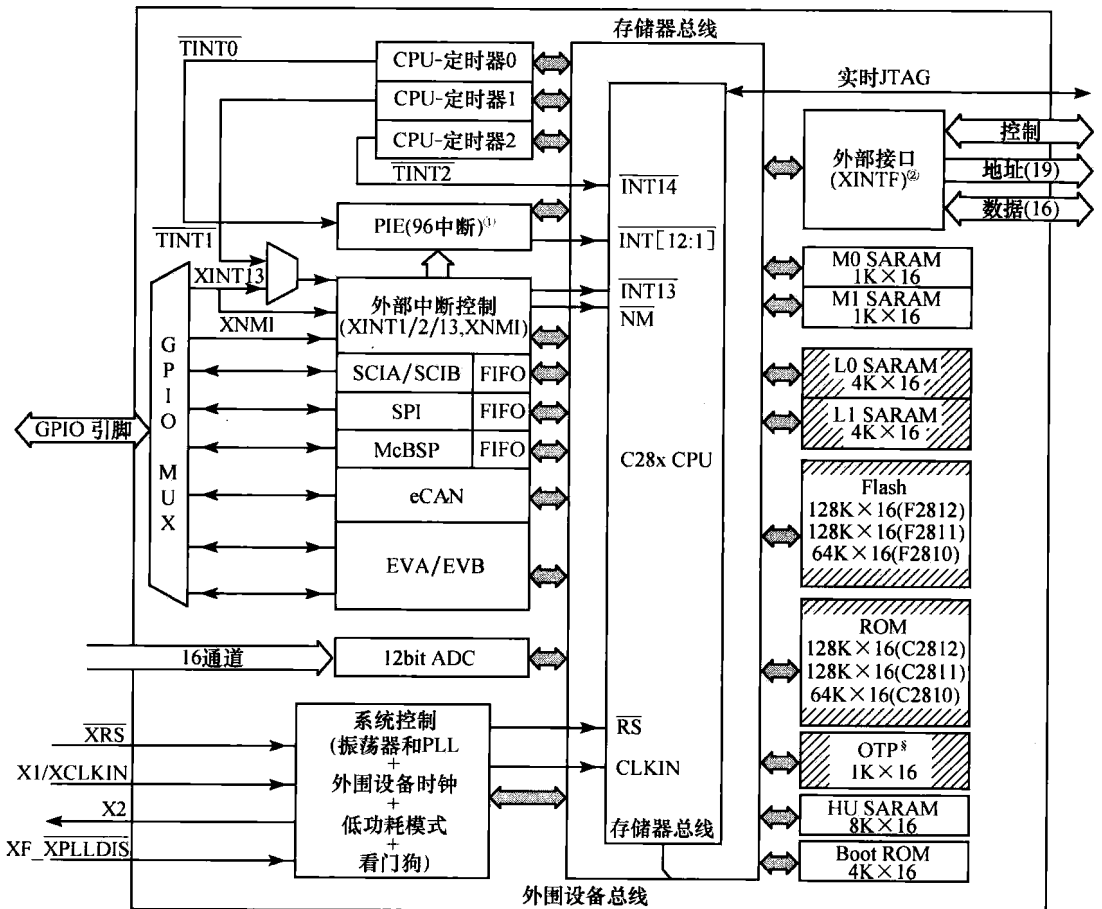


图 1-1-1 F281x 功能框图

//////表示代码保护模块。注:①器件上提供 96 个中断,45 个可用;②XINTF 在 F2810 上不可用。

1.1.3 引脚分布

图 1-1-2 为 176 引脚 PGF 低剖面四方扁平封装(LQFP)的引脚分布。表 1-1-1 给出了每个引脚的功能。

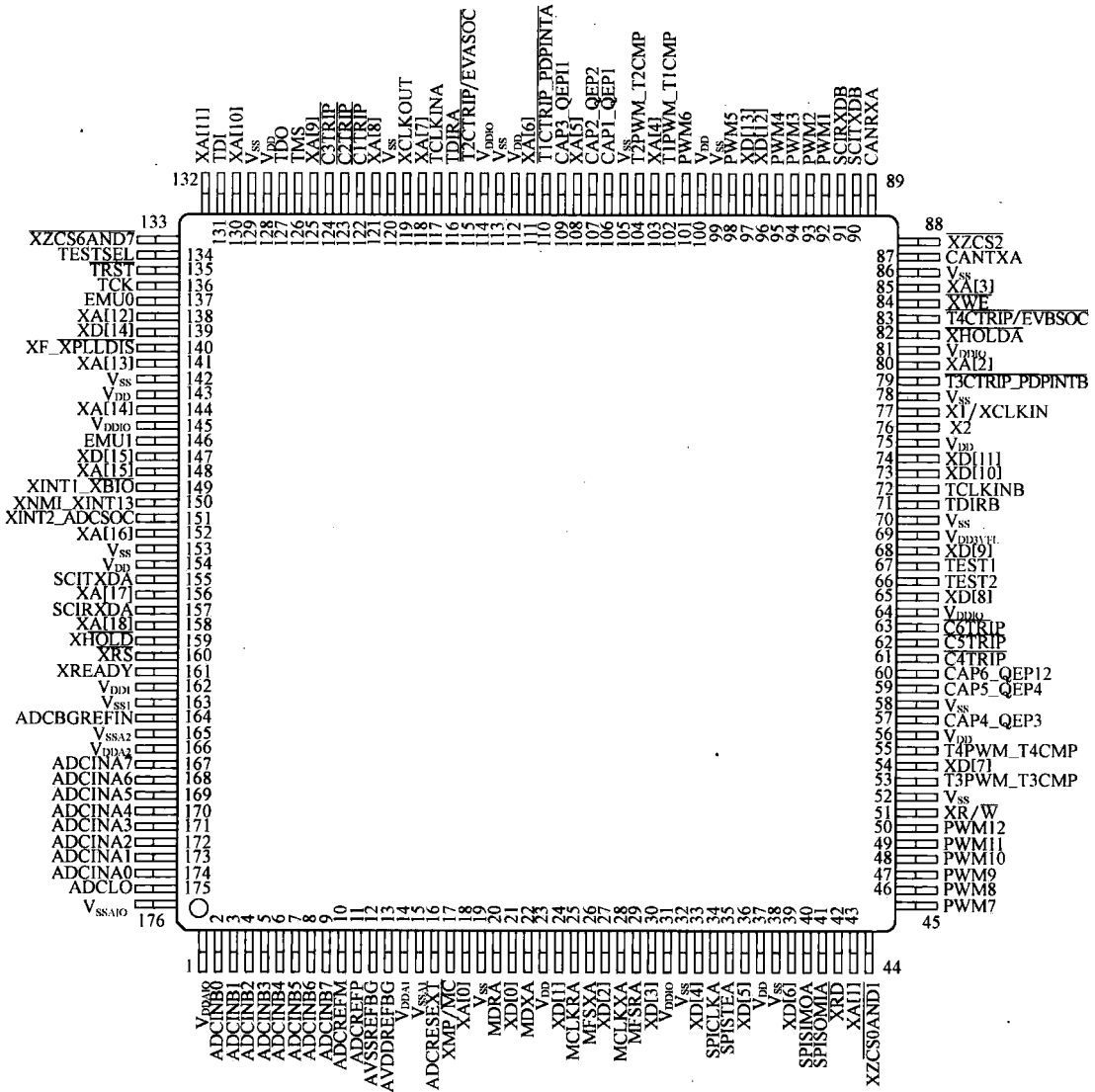


图 1-1-2 F2812 176 引脚 PGF LQFP(顶视图)

1.1.4 信号说明

表 1-1-1 规定了 F281x 和 C281x 器件的信号。所有的数字输入与 TTL 兼容,所有的输出是 3.3V 的 CMOS 电平,不能接受 5V 输入,内部使用一个上拉或者下拉电流为 100 μ A (或者 20 μ A)的上拉/下拉电阻。

表 1-1-1 信号说明†

表(a)

名称	引脚编号			I/O/Z‡	PU/PD§	描述
	179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
XINTF 信号(只适用于 F2812)						
XA[18]	D7	158	—	O/Z	—	19 位 XINTF 地址总线
XA[17]	B7	156	—	O/Z	—	
XA[16]	A8	152	—	O/Z	—	
XA[15]	B9	148	—	O/Z	—	
XA[14]	A10	144	—	O/Z	—	
XA[13]	E10	141	—	O/Z	—	
XA[12]	C11	138	—	O/Z	—	
XA[11]	A14	132	—	O/Z	—	
XA[10]	C12	130	—	O/Z	—	
XA[9]	D14	125	—	O/Z	—	
XA[8]	E12	121	—	O/Z	—	
XA[7]	F12	118	—	O/Z	—	
XA[6]	G14	111	—	O/Z	—	
XA[5]	H13	108	—	O/Z	—	
XA[4]	J12	103	—	O/Z	—	
XA[3]	M11	85	—	O/Z	—	
XA[2]	N10	80	—	O/Z	—	
XA[1]	M2	43	—	O/Z	—	
XA[0]	G5	18	—	O/Z	—	
XD[15]	A9	147	—	I/O/Z	PU	16 位 XINTF 数据总线
XD[14]	B11	139	—	I/O/Z	PU	
XD[13]	J10	97	—	I/O/Z	PU	
XD[12]	L14	96	—	I/O/Z	PU	
XD[11]	N9	74	—	I/O/Z	PU	
XD[10]	L9	73	—	I/O/Z	PU	
XD[9]	M8	68	—	I/O/Z	PU	
XD[8]	P7	65	—	I/O/Z	PU	
XD[7]	L5	54	—	I/O/Z	PU	
XD[6]	L3	39	—	I/O/Z	PU	
XD[5]	J5	36	—	I/O/Z	PU	
XD[4]	K3	33	—	I/O/Z	PU	
XD[3]	J3	30	—	I/O/Z	PU	
XD[2]	H5	27	—	I/O/Z	PU	
XD[1]	H3	24	—	I/O/Z	PU	
XD[0]	G3	21	—	I/O/Z	PU	

†除了 TDO、XCLKOUT、XF、XINTF、EMU0 和 EMU1 引脚驱动能力是 8mA 以外,所有引脚的输出缓冲器的驱动能力的典型值是 4mA。

‡ I:输入;O:输出;Z:高阻态。

§ PU:引脚有内部上拉;PD:引脚有内部下拉。

表(b)

名称	引脚编号			I/O/Z	PU/PD	说明
	179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
XINTF 信号(仅 F2812)						
XMP/ $\overline{\text{MC}}$	F1	17	—	I	PU	微处理器/微计算机模式选择,可在两者之间切换。为高电平时,外部接口上的区域 7 有效;为低电平时,区域 7 无效,取而代之为使用片内的 boot ROM 功能。复位时,该信号被锁存在 XINTCNF2 寄存器中,可通过软件修改这位。复位时该引脚的状态被忽略
$\overline{\text{XHOLD}}$	E7	159	—	I	PU	外部保持请求信号。当它为低电平时,请求 XINTF 释放外部总线,并把所有的总线与选通端置为高阻态。当对总线操作完成且不存在等待的操作时,XINTF 释放总线
$\overline{\text{XHOLDA}}$	K10	82	—	O/Z	—	外部保持确认信号。当 XINTF 响应 $\overline{\text{XHOLD}}$ 的请求时,它呈现低电平。所有的 XINTF 总线和选通端呈现高阻态, $\overline{\text{XHOLD}}$ 和它同时发出。当它有效(低)时,外部器件只能使用外部总线
$\overline{\text{XZCS0AND1}}$	P1	44	—	O/Z	—	XINTF 的区域 0 和区域 1 的片选。当访问 XINTF 区域 0 或区域 1 时有效(低)
$\overline{\text{XZCS2}}$	P13	88	—	O/Z	—	XINTF 的区域 2 的片选。当访问 XINTF 区域 2 时有效(低)
$\overline{\text{XZCS6AND7}}$	B13	133	—	O/Z	—	XINTF 的区域 6 和区域 7 的片选。当访问 XINTF 区域 6 和区域 7 时有效(低)
$\overline{\text{XWE}}$	N11	84	—	O/Z	—	写使能。有效时为低电平。写选通信号以每个区域为基础,由 XTIMINGx 寄存器的前一周期、当前周期和后一周给定
$\overline{\text{XRE}}$	M3	42	—	O/Z	—	读使能。低电平读选通。读选通信号以每个区域为基础,由 XTIMINGx 寄存器的前一周期、当前周期和后一周给定。注意: $\overline{\text{XWE}}$ 和 $\overline{\text{XRE}}$ 是互斥信号
XR/W	N4	51	—	O/Z	—	读/写选通。通常为高电平。当为低电平时,表示处于写周期;当为高电平时,表示处于读周期
XREADY	B6	161	—	I	PU	准备信号。当被置 1 时,表示外围设备已为访问做好准备。XREADY 可被设置为同步或异步输入。详见时序图
JTAG 和其他信号						
X1/XCLKIN	K9	77	58	I		振荡器输入-输出到内部振荡器。该引脚也可用来接受外部时钟。C28x 能够用外部时钟源工作,条件是要在该引脚上提供适当的驱动电平。注意,该引脚是为 1.8V (或 1.9V)内核提供数字电源(V_{DD}),非 3.3V 的 I/O 电源(V_{DDIO})。用一个箝位二极管去箝位时钟信号,以保证它的逻辑高电平不超过 V_{DD} (1.8V 或 1.9V)或者使用一个 1.8V 的振荡器
X2	M9	76	57	O		振荡器输出

续表

名称	引脚编号			I/O/Z	PU/PD	说明
	179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
XCLKOUT	F11	119	87	O	—	源于 SYSCLKOUT 的输出时钟,用于片外等待状态的产生或者是通用时钟源。XCLKOUT 的频率可以与 SY-SCLKOUT 相等,或者是它的 1/2、1/4。复位时 XCLK-OUT=SYSCLKOUT/4。通过设置 XINTCNF2 寄存器的位 3(CLKOFF)为 1,可以关闭 XCLKOUT 信号
TESTSEL	A13	134	97	I	PD	测试引脚,为 TI 保留,必须接地
$\overline{\text{XRS}}$	D6	160	113	I/O	PU	器件复位(输入)和看门狗复位(输出)。器件复位, $\overline{\text{XRS}}$ 使器件终止运行。PC 将指向 0x3FFFC0 地址。当 $\overline{\text{XRS}}$ 为高电平时,程序从 PC 所指的位置开始运行。当看门狗产生复位时,DSP 将该引脚驱动为低电平,在看门狗复位期间,低电平将持续 512 个 XCLKIN 周期。该引脚的输出缓冲器是一个带有内部上拉(典型值为 100 μ A)的开漏缓冲器,推荐该引脚由一个开漏设备去驱动
TEST1	M7	67	51	I/O	—	测试引脚,为 TI 保留,必须悬空
TEST2	N7	66	50	I/O	—	测试引脚,为 TI 保留,必须悬空

JTAG

$\overline{\text{TRST}}$	B12	135	98	I	PD	有内部上拉的 JTAG 测试复位。当它为高电平时,给出器件操作扫描系统控制。若信号悬空或者为低电平,器件以功能模式操作,测试信号被忽略。 注意:在 $\overline{\text{TRST}}$ 上不能用上拉电阻,它内部有下拉器件。在低噪声环境中, $\overline{\text{TRST}}$ 可以悬空。在强噪声环境中,需要使用附加的下拉电阻,该电阻值根据调试器设计的驱动能力而定。一般 2.2k Ω 即能提供足够的保护。因为这种应用特性,所以,调试器和应用目标板都有合适且有效的操作
TCK	A12	136	99	I	PU	JTAG 测试时钟,带有内部上拉功能
TMS	D13	126	92	I	PU	JTAG 测试模式选择端,有内部上拉功能,在 TCK 的上升沿,TAP 控制器计数连续的控制输入
TDI	C13	131	96	I	PU	带上拉功能的 JTAG 测试数据输入端。在 TCK 的上升沿,TDI 被计时到选择寄存器(指令和数据)中
TDO	D12	127	93	O/Z	—	JTAG 扫描输出,测试数据输出。在 TCK 的下降沿将选择寄存器(指令和数据)的内容从 TDO 移出
EMU0	D11	137	100	I/O/Z	PU	仿真器引脚 0。当 $\overline{\text{TRST}}$ 为高电平时,此引脚作为中断输入或来自仿真系统,被定义为通过 JTAG 扫描的输入/输出
EMU1	C9	146	105	I/O/Z	PU	仿真器引脚 1。当 $\overline{\text{TRST}}$ 为高电平时,此引脚作为中断输入或来自仿真系统,被定义为通过 JTAG 扫描的输入/输出

ADC 模拟输入信号

ADCINA7	B5	167	119	I		采样/保持 A 的 8 通道模拟输入。在器件没上电之前不被驱动
ADCINA6	D5	168	120	I		
ADCINA5	E5	169	121	I		
ADCINA4	A4	170	122	I		
ADCINA3	B4	171	123	I		
ADCINA2	C4	172	124	I		
ADCINA1	D4	173	125	I		
ADCINA0	A3	174	126	I		

续表

名称	引脚编号			I/O/Z	PU/PD	说明
	179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
ADCINB7	F5	9	9	I		采样/保持 B 的 8 通道模拟输入。在器件没上电之前不被驱动
ADCINB6	D1	8	8	I		
ADCINB5	D2	7	7	I		
ADCINB4	D3	6	6	I		
ADCINB3	C1	5	5	I		
ADCINB2	B1	4	4	I		
ADCINB1	C3	3	3	I		
ADCINB0	C2	2	2	I		
ADCREFP	E2	11	11	I/O		ADC 参考电压输出 (2V)。需要在该引脚上接一个低 ESR (50mΩ~1.5Ω) 10μF 的陶瓷旁路电容,另一端接地
ADCREFM	E4	10	10	I/O		ADC 参考电压输出 (1V)。需要在该引脚上接一个低 ESR (50mΩ~1.5Ω) 10μF 的陶瓷旁路电容,另一端接地
ADCRE- SEXT	F2	16	16	O		ADC 外部偏置电阻 (24.9kΩ)
ADCBG- REFIN	E6	164	116	I		测试引脚,为 TI 保留,必须悬空
AVSSR- EFBG	E3	12	12	I		ADC 模拟地
AVDDR- EFBG	E1	13	13	I		ADC 电源 (3.3V)
ADCLO	B3	175	127	I		公共低侧模拟输入,连接到模拟地
V _{SSA1}	F3	15	15	I		ADC 模拟地
V _{SSA2}	C5	165	117	I		ADC 模拟地
V _{DDA1}	F4	14	14	I		ADC 模拟电源 (3.3V)
V _{DDA2}	A5	166	118	I		ADC 模拟电源 (3.3V)
V _{SS1}	C6	163	115	I		ADC 数字地
V _{DD1}	A6	162	114	I		ADC 数字地
V _{DDA10}	B2	1	1			
V _{SSA10}	A2	176	128			模拟 I/O 地
电源引脚						
V _{DD}	H1	23	20			1.8V 或者 1.9V 核心电源引脚
V _{DD}	L1	37	29			
V _{DD}	P5	56	42			
V _{DD}	P9	75	56			
V _{DD}	P12	—	63			
V _{DD}	K12	100	74			
V _{DD}	G12	112	82			
V _{DD}	C14	128	94			
V _{DD}	B10	143	102			
V _{DD}	C8	154	110			

续表

名称	引脚编号			I/O/Z	PU/PD	说明
	179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
V _{SS}	G4	19	17			核心和数字 I/O 电源地
V _{SS}	K1	32	26			
V _{SS}	L2	38	30			
V _{SS}	P4	52	39			
V _{SS}	K6	58	—			
V _{SS}	P8	70	53			
V _{SS}	M10	78	59			
V _{SS}	L11	86	62			
V _{SS}	K13	99	73			
V _{SS}	J14	105	—			
V _{SS}	G13	113	—			
V _{SS}	E14	120	88			
V _{SS}	B14	129	95			
V _{SS}	D10	142	—			
V _{SS}	C10	—	103			
V _{SS}	B8	153	109			
V _{DDIO}	J4	31	25			3.3V I/O 数字电源引脚
V _{DDIO}	L7	64	49			
V _{DDIO}	L10	81	—			
V _{DDIO}	N14	—	—			
V _{DDIO}	G11	114	83			
V _{DDIO}	E9	145	104			
V _{DDSVFL}	N8	69	52			3.3V Flash 核心电源引脚。这些引脚应该在系统上电顺序满足后一直连接到 3.3V。该引脚可以视为 ROM 单元的 V _{DDIO} 引脚

表(c)

GPIO	外围设备信号	引脚编号			I/O/Z	PU/PD	说明
		179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
GPIO 或外围设备信号							
GPIOA 或 EVA 信号							
GPIOA0	PWM1(O)	M12	92	68	I/O/Z	PU	GPIO 或 PWM 输出引脚 1
GPIOA1	PWM2(O)	M14	93	69	I/O/Z	PU	GPIO 或 PWM 输出引脚 2
GPIOA2	PWM3(O)	L12	94	70	I/O/Z	PU	GPIO 或 PWM 输出引脚 3
GPIOA3	PWM4(O)	L13	95	71	I/O/Z	PU	GPIO 或 PWM 输出引脚 4
GPIOA4	PWM5(O)	K11	98	72	I/O/Z	PU	GPIO 或 PWM 输出引脚 5
GPIOA5	PWM6(O)	K14	101	75	I/O/Z	PU	GPIO 或 PWM 输出引脚 6
GPIOA6	T1PWM_T1CMP(I)	J11	102	76	I/O/Z	PU	GPIO 或定时器 1 输出
GPIOA7	T2PWM_T2CMP(I)	J13	104	77	I/O/Z	PU	GPIO 或定时器 2 输出

续表

GPIO	外围设备信号	引脚编号			I/O/Z	PU/PD	说明
		179 引脚 GHH	176 引脚 PGF	128 引脚 PBK			
GPIOA8	CAP1_QEP1(I)	H10	106	78	I/O/Z	PU	GPIO 或捕获输入 1
GPIOA9	CAP2_QEP2(I)	H11	107	79	I/O/Z	PU	GPIO 或捕获输入 2
GPIOA10	CAP3_QEP1(I)	H12	109	80	I/O/Z	PU	GPIO 或捕获输入 3
GPIOA11	TDIRA(I)	F14	116	85	I/O/Z	PU	GPIO 或定时器方向选择
GPIOA12	TCLKINA(I)	F13	117	86	I/O/Z	PU	GPIO 或定时器时钟输入
GPIOA13	C1TRIP(I)	E13	122	89	I/O/Z	PU	GPIO 或比较器 1 输出
GPIOA14	C2TRIP(I)	E11	123	90	I/O/Z	PU	GPIO 或比较器 2 输出
GPIOA15	C3TRIP(I)	F10	124	91	I/O/Z	PU	GPIO 或比较器 3 输出
GPIOB 或 EVB 信号							
GPIOB0	PWM7(O)	N2	45	33	I/O/Z	PU	GPIO 或 PWM 输出引脚 7
GPIOB1	PWM8(O)	P2	46	34	I/O/Z	PU	GPIO 或 PWM 输出引脚 8
GPIOB2	PWM9(O)	N3	47	35	I/O/Z	PU	GPIO 或 PWM 输出引脚 9
GPIOB3	PWM10(O)	P3	48	36	I/O/Z	PU	GPIO 或 PWM 输出引脚 10
GPIOB4	PWM11(O)	L4	49	37	I/O/Z	PU	GPIO 或 PWM 输出引脚 11
GPIOB5	PWM12(O)	M4	50	38	I/O/Z	PU	GPIO 或 PWM 输出引脚 12
GPIOB6	T3PWM_T3CMP(I)	K5	53	40	I/O/Z	PU	GPIO 或定时器 3 输出
GPIOB7	T4PWM_T4CMP(I)	N5	55	41	I/O/Z	PU	GPIO 或定时器 4 输出
GPIOB8	CAP4_QEP3(I)	M5	57	43	I/O/Z	PU	GPIO 或捕获输入 4
GPIOB9	CAP5_QEP4(I)	M6	59	44	I/O/Z	PU	GPIO 或捕获输入 5
GPIOB10	CAP6_QEP2(I)	P6	60	45	I/O/Z	PU	GPIO 或捕获输入 6
GPIOB11	TDIRB(I)	L8	71	54	I/O/Z	PU	GPIO 或定时器方向
GPIOB12	TCLKINB(I)	K8	72	55	I/O/Z	PU	GPIO 或定时器时钟输入
GPIOB13	C4TRIP(I)	N6	61	46	I/O/Z	PU	GPIO 或比较器 4 输出
GPIOB14	C5TRIP(I)	L6	62	47	I/O/Z	PU	GPIO 或比较器 5 输出
GPIOB15	C6TRIP(I)	K7	63	48	I/O/Z	PU	GPIO 或比较器 6 输出
GPIOD 或 EVA 信号							
GPIOD0	T1CTRIP_PDPINTA(I)	H14	110	81	I/O/Z	PU	定时器 1 比较器输出
GPIOD1	T2CTRIP/EVASOC(I)	G10	115	84	I/O/Z	PU	定时器 2 比较器输出或外部启动 EVA 的 ADC 转换
GPIOD 或 EVB 信号							
GPIOD5	T3CTRIP_PDPINTB(I)	P10	79	60	I/O/Z	PU	定时器 3 比较器输出
GPIOD6	T4CTRIP/EVB SOC(I)	P11	83	61	I/O/Z	PU	定时器 4 比较器输出或外部启动 EVB 的 ADC 转换
GPIOE 或 INTERRUPT 信号							
GPIOE0	XINT1_XBIO(I)	D9	149	106	I/O/Z	—	GPIO 或 XINT1 或 XBIO 输入
GPIOE1	XINT2_ADCSOC(I)	D8	151	108	I/O/Z	—	GPIO 或 XINT2 或 ADC 转换启动
GPIOE2	XNMI_XINT13(I)	E8	150	107	I/O/Z	PU	GPIO 或 XNMI 或 XINT13
GPIOF 或 SPI 信号							
GPIOF0	SPISIMOA(O)	M1	40	31	I/O/Z	—	GPIO 或 SPI 从入主出
GPIOF1	SPISOMIA(I)	N1	41	32	I/O/Z	—	GPIO 或 SPI 从出主入