

■ 聚焦 EDA

基于 Quartus II 的 FPGA/CPLD 设计与实践

陈忠平 高金定 高见芳 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

聚焦 EDA

基于 Quartus II 的 FPGA/CPLD 设计与实践

陈忠平 高金定 高见芳 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书从实验、实践、实用的角度出发,通过丰富的范例详细讲述基于 Quartus II 9.0 软件进行 FPGA/CPLD 应用产品的开发和应用。全书共 6 章,主要讲述了编程基础知识、简单逻辑门电路的设计、常用组合逻辑门电路的设计、时序电路的设计,以及实际系统的应用及开发过程。本书是结合作者丰富的教学与实践经验编写而成的,语言简洁、结构清晰,内容由浅入深。书中的范例具有很强的实用性,并且均通过了软、硬件调试与仿真验证。

本书适合从事 FPGA/CPLD 研发的技术人员阅读,也可作为高等学校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

基于 Quartus II 的 FPGA/CPLD 设计与实践/陈忠平,高金定,高见芳编著. —北京:电子工业出版社,2010.4
(聚焦 EDA)

ISBN 978-7-121-10537-1

I. 基… II. ①陈… ②高… ③高… III. 可编程逻辑器件—系统设计 IV. TP332.1

中国版本图书馆 CIP 数据核字(2010)第 046956 号

策划编辑:张 剑(zhang@phei.com.cn)

责任编辑:张 剑

印 刷:北京市顺义兴华印刷厂

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:20.5 字数:525 千字

印 次:2010 年 4 月第 1 次印刷

印 数:4 000 册 定价:39.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

在当今数字化和网络化的信息技术革命大潮中,电子技术获得了飞速发展,现代电子产品已渗透到了社会的各个领域。现代电子产品的性能进一步得到提高,功能越来越强,集成化、智能化程度越来越高,更新换代的节奏越来越快,开发风险也越来越大。EDA (Electronic Design Automation) 技术的出现,使电子系统设计工程师能够在一块通用的芯片上通过编写程序的方式来改变或定义芯片的硬件功能,从而设计出具有不同功能的产品,这样可减少开发周期,降低硬件开发成本,减轻工程师的劳动强度。

EDA 技术主要包括大规模可编程逻辑器件、硬件描述语言、软件开发工具等内容。目前,应用最为广泛的大规模可编程逻辑器件是复杂可编程逻辑器件 CPLD (Complex Programmable Logic Devices) 和现场可编程逻辑门阵列 FPGA (Field Programmable Gate Array), 硬件描述语言主要有 VHDL、Verilog HDL、ABLE、AHDL、System Verilog 和 System C 等,主流的 EDA 软件开发工具主要有 MAX+PLUS II、Quartus II、ispDesignExpERT、Foundation Series、ISE/ISE-WebPACK Series 等。

本书使用 VHDL 作为硬件描述语言,以 Altera 公司的 Quartus II 9.0 软件作为 EDA 软件工具,讲述了 FPGA/CPLD 硬件系统的程序设计方法和开发技巧。

为使初学者能迅速入门,提高对电子系统设计的兴趣与爱好,并能在短期内掌握电子系统设计的研发要领,作者在编写过程中注重题材的取舍,使本书具有以下 4 个特点。

- **由浅入深,循序渐进** 本书在内容编排上采用由浅入深、由易到难的原则,基础知识与大量实例相结合,边讲边练
- **软硬结合,波形仿真** 沿用传统 FPGA/CPLD 学习与开发经验,通过 Quartus II 9.0 软件编写 VHDL 程序代码,然后进行波形的时序分析及仿真,并通过分析波形来验证设计效果。这种方法在一定程度上节省了初学者的学习成本,提高了读者学习的积极性
- **VHDL 语言与原理图输入设计并存** EDA 技术主要是建立在传统的数字电子技术基础上,FPGA/CPLD 系统设计可采用硬件描述语言的文本输入(如 VHDL 语言)或图形输入(如原理图)两种方法来书写其功能。对于大部分 FPGA/CPLD 的初学者来说,一般都具有一定的数字电子技术基础。若直接采用硬件描述语言描述 FPGA/CPLD 系统功能,可能会接收不了这些新技术、新知识,或者不能很好地理解 FPGA/CPLD 系统设计与数字电子技术之间的内在联系。因此,本书采用了 VHDL 语言与原理图输入设计并存的方式,使读者能够很快地掌握 EDA 技术,并运用数字电子技术相关知识进行 FPGA/CPLD 系统设计
- **淡化理论,注重实用** 基本原理、基本实例一直是学习和掌握 FPGA/CPLD 的基本要求。本书侧重于实际应用,因此很少讲解相关理论知识,避免了知识重复性

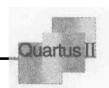
本书由陈忠平、高金定和高见芳编著。参加本书编写的还有湖南工程职业技术学院李锐敏和龙晓庆，湖南涉外经济学院侯玉宝和廖亦凡等。全书由湖南工程职业技术学院陈建忠教授主审。在编写过程中，还得到了湖南航天局刘琼，湖南三一重工股份有限公司王汉其，湖南工程职业技术学院周少华、龚亮和许睿等的大力支持及帮助，在此向他们表示衷心的感谢。在本书编写过程中，参考了相关领域专家、学者的著作和文献，在此也向他们表示真诚的谢意。

由于作者知识水平和经验的局限性，书中难免存在缺点和错误，敬请广大读者给予批评指正。

编 著 者

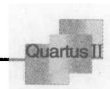
目 录

第 1 章 编程基础知识	1
1.1 常用编程工具	1
1.2 Quartus II 的使用	3
1.3 FPGA 和 CPLD 器件	20
第 2 章 简单逻辑门电路的设计	23
2.1 基本逻辑门电路	23
2.1.1 与门电路	23
2.1.2 或门电路	25
2.1.3 非门电路	28
2.2 组合逻辑门电路	31
2.2.1 与非门电路	31
2.2.2 或非门电路	34
2.2.3 与或非门电路	36
2.2.4 异或门电路	40
2.2.5 同或门电路	42
2.3 三态门和总线缓冲器	45
2.3.1 三态门电路	46
2.3.2 单向总线缓冲器	48
2.3.3 双向总线缓冲器	50
第 3 章 常用组合逻辑门电路的设计	55
3.1 编码器	55
3.1.1 普通编码器	55
3.1.2 优先编码器	58
3.2 译码器	70
3.2.1 二进制译码器	70
3.2.2 编码转换译码器	80
3.2.3 数字显示译码器	84
3.3 数值比较器	86
3.4 数据分配器	91
3.5 数据选择器	96
3.6 加法器	104
3.6.1 半加器	104
3.6.2 全加器	106
3.6.3 4 位加法器	109
3.6.4 8 位加法器	111



3.7 奇偶校验器	113
第 4 章 时序电路的设计	117
4.1 触发器	117
4.1.1 RS 触发器	117
4.1.2 D 触发器	119
4.1.3 JK 触发器	124
4.1.4 T 触发器	126
4.2 锁存器和寄存器	129
4.2.1 锁存器	129
4.2.2 带公共时钟和复位的寄存器	131
4.2.3 带三态门输出的寄存器	134
4.3 移位寄存器	136
4.3.1 串入—并出移位寄存器	136
4.3.2 串入—串出移位寄存器	139
4.3.3 并入—串出移位寄存器	141
4.3.4 右移移位寄存器	144
4.3.5 双向移位寄存器	146
4.3.6 循环移位寄存器	150
4.4 计数器	152
4.4.1 同步计数器	153
4.4.2 异步计数器	162
4.4.3 可逆计数器	174
4.5 存储器	176
4.5.1 ROM 只读存储器	176
4.5.2 RAM 随机存储器	183
4.5.3 FIFO 存储器	189
第 5 章 FPGA/CPLD 的设计与应用	195
5.1 彩灯控制器的设计	195
5.1.1 系统的设计要求	195
5.1.2 系统的设计实现	195
5.1.3 系统仿真	197
5.2 花样灯控制器的设计	198
5.2.1 系统的设计要求	198
5.2.2 系统的设计实现	198
5.2.3 系统仿真	202
5.3 交通灯控制器的设计	203
5.3.1 系统的设计要求	203
5.3.2 系统的设计实现	204
5.3.3 系统仿真	208
5.4 数字秒表的设计	210
5.4.1 系统的设计要求	210

5.4.2 系统的设计实现	210
5.4.3 系统仿真	215
5.5 数字钟的设计	218
5.5.1 系统的设计要求	218
5.5.2 系统的设计实现	218
5.5.3 系统仿真	224
5.6 四组抢答器的设计	226
5.6.1 系统的设计要求	226
5.6.2 系统的设计实现	227
5.6.3 系统仿真	237
5.7 多功能信号发生器的设计	240
5.7.1 系统的设计要求	240
5.7.2 系统的设计实现	240
5.7.3 系统仿真	252
5.8 数字电压表的设计	256
5.8.1 系统的设计要求	256
5.8.2 ADC0809 的功能描述	256
5.8.3 系统的设计实现	258
5.8.4 系统仿真	265
5.9 出租车计费器的设计	267
5.9.1 系统的设计要求	267
5.9.2 系统的设计实现	267
5.9.3 系统仿真	279
第 6 章 FPGA/CPLD 的人机界面控制	283
6.1 矩阵键盘扫描及显示电路的设计	283
6.1.1 系统的设计要求	283
6.1.2 矩阵键盘电路的基础知识	283
6.1.3 系统的设计实现	284
6.1.4 系统仿真	288
6.2 PS/2 键盘接口电路的设计	290
6.2.1 系统的设计要求	290
6.2.2 PS/2 键盘的基础知识	290
6.2.3 系统的设计实现	293
6.2.4 系统仿真	297
6.3 LED 动态扫描电路的设计	298
6.3.1 系统的设计要求	298
6.3.2 LED 扫描电路工作原理	298
6.3.3 系统的设计实现	300
6.3.4 系统仿真	302
6.4 LED 点阵显示控制电路的设计	304
6.4.1 系统的设计要求	304



6.4.2	LED 点阵显示控制电路工作原理	304
6.4.3	系统的设计实现	306
6.4.4	系统仿真	309
6.5	VGA 彩条信号发生器电路的设计	310
6.5.1	系统的设计要求	310
6.5.2	VGA 彩条发生器电路的相关知识	311
6.5.3	系统的设计实现	313
6.5.4	系统仿真	317

第 1 章 编程基础知识

EDA (Electronic Design Automation) 即电子设计自动化, 是以微电子技术为物理层面, 现代电子设计为灵魂, 计算机软件技术为手段, 最终形成集成电子系统或专用集成电路芯片 ASIC (Application Specific Integrated Circuit) 为目的的一门新兴技术。

现代电子设计技术的核心是 EDA 技术。EDA 技术就是依靠功能强大的电子计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 (如 VHDL) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、优化和仿真, 直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC 芯片中, 实现既定的电子电路设计功能。

1.1 常用编程工具

EDA 工具在 EDA 技术应用中占有重要的位置, EDA 的核心是利用计算机完成电子设计的全程自动化, 因此基于计算机环境下的 EDA 工具软件是必不可少的。

由于 EDA 的整个流程涉及不同的技术环节, 每个环节中必须有对应的软件包或专用 EDA 工具独立处理。EDA 工具大致分为 5 个模块, 即设计输入编辑器、综合器、仿真器、适配器和编程器。当然这种分类也不是绝对的, 现在也有集成的 EDA 开发环境, 如 MAX+PLUS II、Quartus II 等。

1. 设计输入编辑器

通常专业的 EDA 工具供应商提供相应的设计输入工具, 这些工具一般与该公司的其他电路设计软件整合, 如 Innovada 的 eProduct Designer 中的原理图输入管理工具 DxDesigner, 既可作为 PCB 设计的原理图输入, 又可作为 IC 设计、模拟仿真和 FPGA 设计的原理图输入环境。比较常见的还有 Cadence 的 Orcad 中的 Capture 工具等。这类工具一般都设计成通用型的原理图输入工具。

除此之外, 各个可编程逻辑器件厂商也提供 EDA 开发工具, 在这些 EDA 开发工具中都含有设计输入编辑器, 如 Xilinx 公司的 Foundation、Altera 公司的 MAX+PLUS II、Quartus II 等。

一般的设计输入编辑器都支持图形输入和 HDL 文本输入。图形输入通常包括原理图输入、状态图输入和波形图输入 3 种常用方法。原理图输入方式沿用传统的数字系统设计方式, 即根据设计电路的功能和控制条件, 画出设计的原理图、状态图或波形图, 然后在设计输入编辑器的支持下, 将这些图形输入到计算机中, 形成图形文件。

图形输入方式形象直观, 且不需要掌握硬件描述语言, 便于初学或教学演示。但图形输入存在没有标准化, 图形文件兼容性差, 以及不便于电路模块的移植和再利用等缺点。

HDL 文本输入方式与传统的计算机软件语言编辑输入基本一致, 在设计输入编辑器的支持下, 使用某种硬件描述语言 HDL 对设计电路进行描述, 形成 HDL 源程序。HDL 包括 VHDL、Verilog HDL 等硬件描述语言。HDL 文本输入方式的输入实现比图形输入简单, 用普通的文本编辑器即可完成。如果要求 HDL 输入时有语法色彩提示, 可用带语法提示功能的通用文本编辑器, 如 UltraEdit、Vim、Xemacs 等。当然 EDA 工具中提供的 HDL 编辑器会更好用些, 如 Aldec 的 Active HDL 的 HDL 编辑器。



有的 EDA 设计输入工具把图形设计与 HDL 文本设计相结合, 如在提供 HDL 文本编辑器的同时提供状态机编辑器, 用户可用图形(状态图)来描述状态机, 最后生成 HDL 文本输出, 如 Visual HDL、Mentor 公司的 FPGA Advantage (含 HDL Designer Series)、Acuive HDL 中的 Acuive State 等。尤其是 HDL Designer Series 中的各种输入编辑器, 可以采用原理图、状态图、表格图等输入方式, 并将它们转换成 HDL 文本表达方式, 很好地解决了通用性与易用性之间的矛盾。

2. 综合器

硬件描述语言诞生的初衷是用于电路逻辑的建模和仿真, 但直到 Synopsys 推出了 HDL 综合器后, HDL 才直接用于电路的设计。

HDL 综合器是一种将硬件描述语言转换成硬件电路的重要工具软件, 常用的、性能较好的 FPGA/CPLD 的 HDL 综合器有以下 3 种:

- Synopsys 公司的 FPGA Compiler、FPGA Express 综合器
- Synplicity 公司的 Synplify Pro 综合器
- Mentor 子公司 Exemplar Logic 的 Leonardo Spectrum 综合器

Synopsys 公司为 FPGA/CPLD 推出的 FPGA Compiler、FPGA Express 综合器的差别不大, 综合器中增加了一些用户自定义类型, 如 STD_LOGIC 等, 后被纳入 IEEE 标准。FPGA Compiler 综合器中带有原理图生成浏览器, 可以将综合出的网络表用原理图的方式画出来, 便于验证设计; 它还附有强大的延时分析器, 可以对关键路径进行单独分析。

Synplicity 公司的 Synplify Pro 综合器除有原理图生成器、延时分析器外, 还带有一个 FSM Compiler (有限状态机编译器), 可以从提交的 VHDL 或 Verilog HDL 设计文本中提出存在的有限状态机设计模块, 并用状态图的方式显示出来, 用表格来说明状态的转移条件及输出。

Mentor 子公司 Exemplar Logic 的 Leonardo Spectrum 综合器, 可同时用于 FPGA/CPLD 和 ASIC 设计两类工程目标。

当然也有应用于 ASIC 设计的 HDL 综合器, 如 Synopsys 公司的 Design Compiler、Synplicity 公司的 Synplify ASIC、Cadence 的 Synergy 等。

在用 EDA 技术进行电路设计时, 综合器完成电路化简、算法优化和硬件结构细化等操作。HDL 综合器将可综合的 VHDL 或 Verilog HDL 语言转换成硬件电路时, 一般需要经过以下两个步骤。

(1) 对 VHDL 或 Verilog HDL 进行分析处理, 并将其转换成相应的电路结构或模块, 此时不需要考虑实际器件是如何实现的, 即完全与硬件无关, 这个过程是一个通用电路原理图形成的过程。

(2) 对应实际实现的目标器件的结构进行优化, 并使之满足各种约束条件, 以及优化关键路径等。

HDL 综合器的输出文件一般是网络表文件, 如 EDIF 格式 (Electronic Design Interchange Format), 文件扩展名为 .edf, 这是一种用于设计数据交换的交流的工业标准文件格式的文件, 或者是直接用硬件描述语言 VHDL 或 Verilog HDL 表达的标准格式的网络表文件, 或者是对应 FPGA/CPLD 器件厂商的网络表文件, 如 Xilinx 的 XNF 网络表文件。

HDL 综合器是 EDA 设计流程中的一个独立的设计步骤, 它往往被其他 EDA 环境调用, 从而完成整个设计流程。它的调用方式一般有两种: 一种是前台模式, 在被调用时, 显示的是最常见的窗口界面; 另一种是后台模式 (或称为控制台模式), 被调用时不出现图形

界面, 仅在后台运行。

3. 仿真器

在 EDA 技术中, 仿真器的地位十分重要。行为模型的表达, 电子系统的建模, 逻辑电路的验证, 以及门级系统的测试, 每一步都离不开仿真器的模拟检测。在 EDA 发展的初期, 快速地进行电路逻辑仿真是当时的核心问题, 即使在现在, 各个环节的仿真仍然是整个 EDA 设计流程中最重要、最耗时的一个步骤。因此, 仿真器的仿真速度、准确性和易用性成为衡量仿真器的重要指标。

根据仿真器对设计语言的处理方式不同, 可分为编译型仿真器和解释型仿真器两种。编译型仿真器的仿真速度较快, 但需要预处理, 因此不便即时修改; 解释型仿真器的仿真速度一般, 但可随时修改仿真环境和条件。

根据仿真器处理的硬件描述语言不同, 可分为 VHDL 仿真器、Verilog 仿真器、Mixed HDL 仿真器 (混合 HDL 仿真器, 可同时处理 VHDL 与 Verilog HDL) 和其他 HDL 仿真器 (针对其他 HDL 语言的仿真) 等。

几乎各个 EDA 厂商都提供基于 VHDL 或 Verilog HDL 的仿真器。常用的仿真器有 Model Technology 公司的 ModelSim, Cadence 的 Verilog-XL 和 NC-Sim, Aldec 的 Active HDL, Synopsys 的 VCS 等。

4. 适配器

适配, 即结构综合。适配器又称为布局布线器, 其任务是完成在目标系统器件上的布局布线。适配通常都由可编程器件厂商提供的专用软件来完成, 这些软件可以单独存在, 或嵌入在集成 EDA 开发环境中。例如, Lattice 公司在其 ispEXPERT 开发系统嵌有自己的适配器, 但同时提供性能良好、使用方便的专用适配器 ispEXPERT Compiler; 而 Altera 公司的 EDA 集成开发环境 MAX+PLUS II、Quartus II 中都含有嵌入的适配器 (Fitter); Xilinx 的 Foundation 和 ISE 中也同样含有自己的适配器。

适配器最后输出的是各厂商自己定义的下载文件, 下载到目标器件后即可实现电路设计。

5. 编程器

编程器又称为下载器或程序固化器, 它是将设计下载到对应的实际器件, 实现硬件设计。下载软件一般都由可编程逻辑器件的厂商提供, 或嵌入到 EDA 开发平台中。

1.2 Quartus II 的使用

Quartus II 软件包是 Altera 公司专有知识产权的开发软件, 适用于大规模逻辑电路设计。其界面友好, 集成化程度高, 易学、易用, 深受业界人士好评。Quartus II 软件的设计流程概括为设计输入、设计编译、设计仿真和设计下载等过程。该软件支持多种编辑输入法, 包括图形编辑输入法, VHDL、Verilog HDL 和 AHDL 的文本编辑输入法, 符号编辑输入法, 以及内存编辑输入法。

与 MAX+PLUS II 相比, Quartus II 设计软件增加了网络编辑功能, 提升了调试能力, 解决了潜在的设计延迟, 同时其直观易用的接口, 深受数字系统设计者的青睐。

Quartus II 开发系统具有以下主要特点。

- Quartus II 可以产生并识别 EDIF 网络表文件、VHDL 网络表文件和 Verilog HDL 网络表文件, 为第三方 EDA 工具提供了方便的接口

- Quartus II 支持一个工作组环境下的设计要求, 包括支持基于 Internet 的协作设计, 与 Cadence、Exemplar Logic、Mentor Graphics、Synopsys 和 Synplicity 等 EDA 供应商的开发工具相兼容
- Quartus II 作为一种设计环境, 除支持 Altera 的 APEX20KE、APEX20KC、APEX II、ARM-based Excalibur 嵌入处理方案、Mercury、Stratix、FLEX10KE 和 ACEX1K 外, 还支持 MAX3000A 和 MAX7000 系列乘积项器件
- Quartus II 增加了一个新的快速适配编译选项, 可保留最佳性能的设置, 加快了编译过程, 可缩短 50% 的编译时间, 对设计性能的影响最小

Quartus II 软件的版本更新较快, 本书以 Quartus II 9.0 为例讲述其在 FPGA/CPLD 中的设计与应用。Quartus II 9.0 新增特性如下所述。

- Quartus II 9.0 现支持 Arria II GX FPGA 和 Stratix IV GT FPGA, 其中 Arria II GX FPGA 带有使用方便的高性价比 3.75Gb/s 收发器; Stratix IV GT FPGA 集成了 11.3Gb/s 收发器的 FPGA
- 新的 SSN 分析器: 提示设计人员在引脚分配期间可能出现的同时开关噪声 (SSN), 更快速地实现 PCB 设计, 提高信号完整性
- 增强 SOPC Builder 工具: SOPC Builder 的数据表发生器简化了硬件工程师和软件工程师之间的信息传递, Quartus II 软件进一步提高了效能优势。此外, SOPC Builder 增强了 GUI, 大型系统显示更加清晰
- 亚稳态分析: 提供工具来自识别可能出现的亚稳态电路问题, 自动报告平均故障间隔时间 (MTBF)。这些功能都集成在 TimeQuest 静态时序分析工具中
- 增强引脚规划器: 引脚规划器提供新的时钟网络查看功能, 帮助设计人员更好地管理时钟资源, 提高效能和性能

1. 项目的创建与打开

Quartus II 软件安装好后, 在桌面上双击  图标, 或执行菜单命令“开始”→“程序”→“Altera”→“Quartus II 9.0 (32-Bit)”→“ Quartus II 9.0 (32-Bit)”, 打开如图 1-1 所示的界面。单击此界面的“Create a New Project”按钮, 可创建一个新的项目; 单击“Open Existing Project”按钮可打开一个已创建的项目; 单击“Open Interactive Tutorial”按钮可打开交互式指南, 进入 Quartus II 的使用指南。

如果单击“”按钮, 可关闭此界面进入 Quartus II 的主界面窗口, 如图 1-2 所示。

1) 项目的创建 创建新的项目时, 可按以下步骤进行操作:

(1) 在图 1-1 中, 单击“Create a New Project”按钮, 或在图 1-2 中执行菜单命令“File”→“New Project Wizard...” (注意, 不要把“New”误认为“New Project Wizard...”), 弹出如图 1-3 所示的新建项目向导对话框。在此对话框中, 可以了解到在这个过程中即将要完成的工作任务, 主要包括: ①指定项目的存放目录、项目的名称和顶层实体的名称; ②指定项目设计的文件; ③指定该设计的 Altera 器件系列; ④指定用于该项目的其他 EDA 工具; ⑤项目信息报告。

(2) 在新建项目向导对话框中单击“Next>”按钮, 进入图 1-4 所示的建立新设计项目对话框。此对话框中的第 1 栏用于指定项目所在的工作库文件夹; 第 2 栏用于指定项目名, 项目名可以取任何名字, 也可以直接用顶层文件的实体名作为项目名 (建议使用); 第 3 栏用于指定顶层文件的实体名。本例中项目的路径为 F:\BOOK\EDA\zhang_1\ EX_2TO1, 文件夹和项目名与顶层文件的实体名同为“EX_2TO1”。

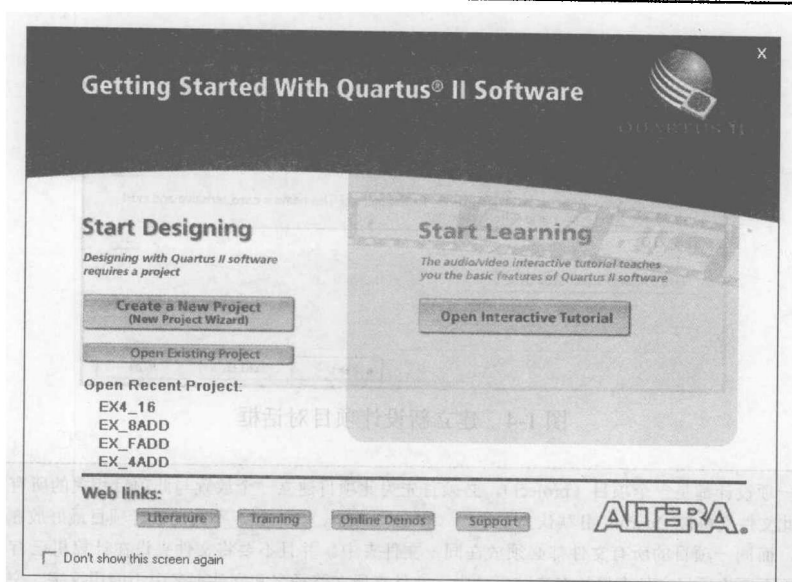


图 1-1 Quartus II 9.0 软件启动界面

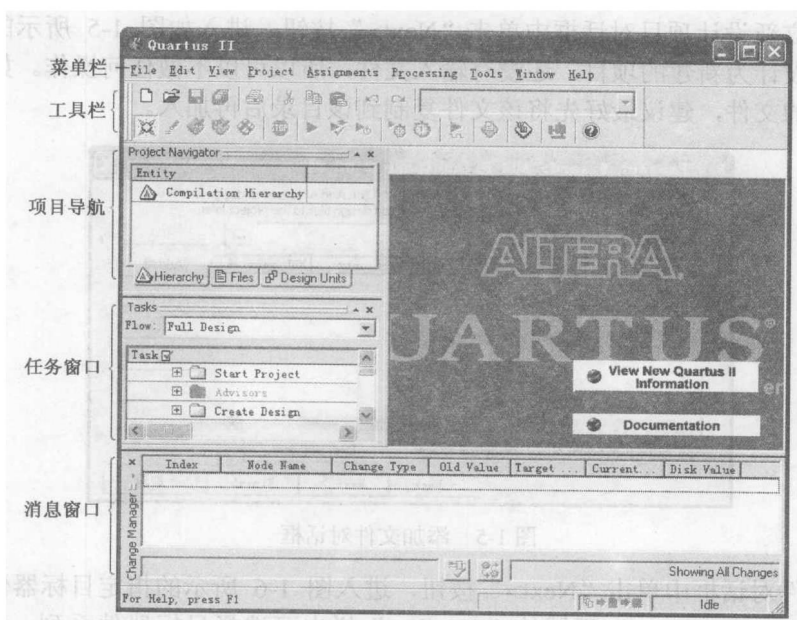


图 1-2 Quartus II 9.0 主界面窗口

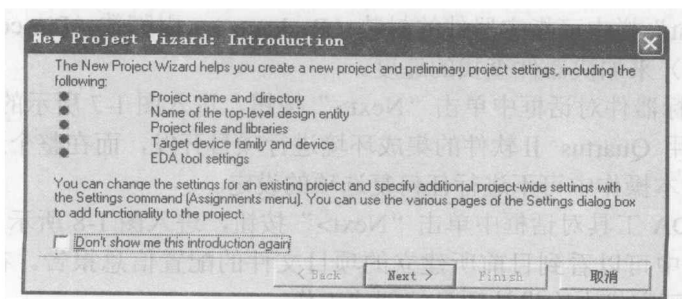


图 1-3 新建项目向导对话框

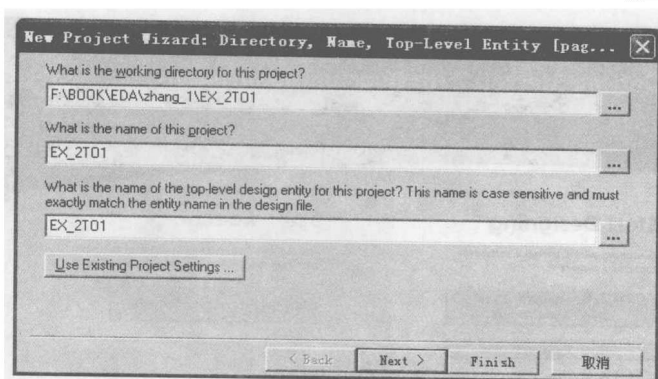


图 1-4 建立新设计项目对话框

注意：任何一项设计都是一个项目（project），必须首先为此项目建立一个放置与此项目相关的所有文件的文件夹，此文件夹将被 Quartus II 默认为工作库（Work Library）。一般，不同的设计项目最好放在不同的文件夹中，而同一项目的所有文件都必须放在同一文件夹中。并且不要将文件夹设在计算机已有的安装目录中，更不要将项目文件直接放在安装目录中。文件夹所在路径名和文件夹名中不能用汉字、空格或括号，但可用下画线_，且最好不以数字开头。

（3）在建立新设计项目对话框中单击“Next>”按钮，进入如图 1-5 所示的添加文件对话框。由于本设计为新建的项目，还没有输入文件，所以可以不做任何操作。如果已经有文件或调用以前的文件，建议最好先将该文件复制到该目录后再加入。

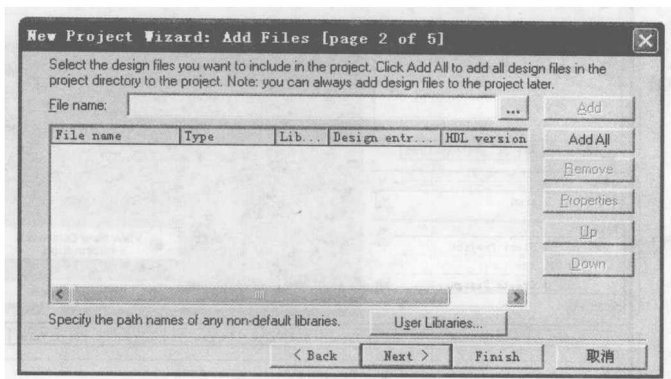


图 1-5 添加文件对话框

在添加文件对话框中单击“Next>”按钮，进入图 1-6 所示的指定目标器件对话框。在此对话框的“Device family”区域的“Family:”栏中可选择目标器件系列；在“Available devices:”栏中可选择器件型号，在此选择器件型号为“EPF10K10LC84-4”；在“Show in 'Available device' list”栏中可指定器件的封装（Package:）、引脚数（Pin count:）和器件速度等级（Speed grade:）来加快器件查找的速度。

（4）在指定目标器件对话框中单击“Next>”按钮，进入图 1-7 所示的指定 EDA 工具对话框。如果只是利用 Quartus II 软件的集成环境进行项目开发，而在整个过程中不使用其他 EDA 开发工具，在本操作中可不进行任何复选项的设定。

（5）在指定 EDA 工具对话框中单击“Next>”按钮，进入图 1-8 所示的项目信息报告对话框。在此对话框中可以看到目前所建立的项目文件的配置信息报告。在此对话框中单击“Finish”按钮，即可完成本次设计项目的创建工作。

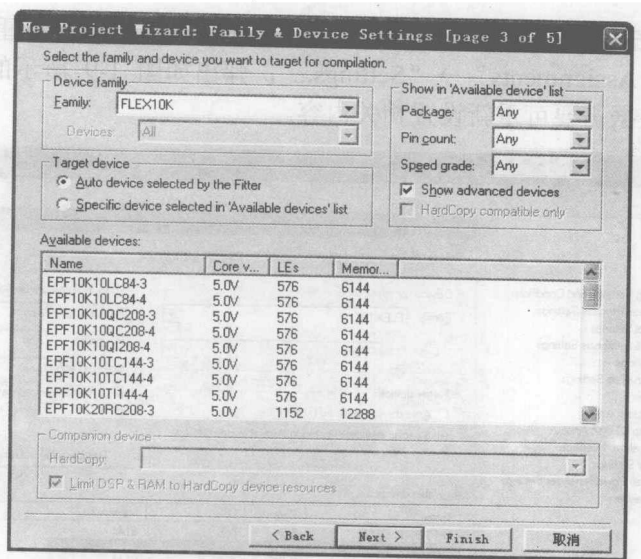


图 1-6 指定目标器件对话框

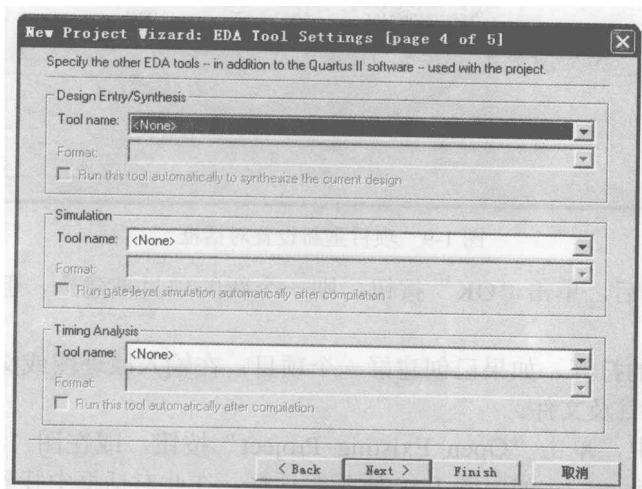


图 1-7 指定 EDA 工具对话框

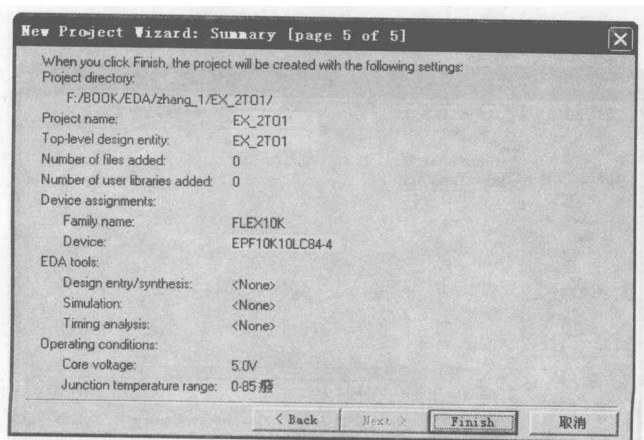


图 1-8 项目信息报告对话框

(6) 项目建立完成后, 还可以根据设计中的实际情况对项目进行重新设置, 其操作方法是执行菜单命令“Assignments”→“Settings...”, 弹出如图 1-9 所示的项目重新设置对话框, 在此对话框中根据需要可重新设置相关内容。

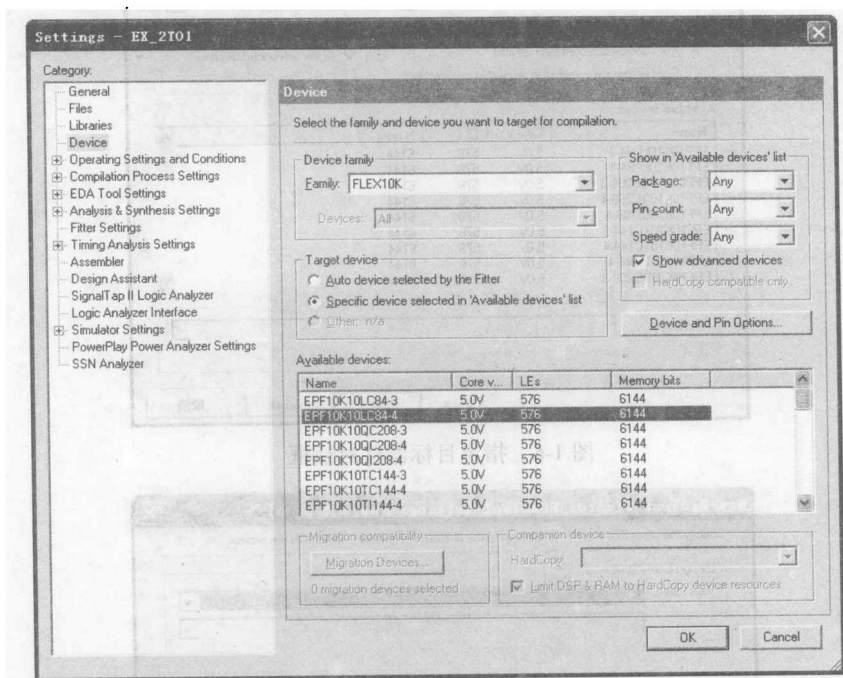


图 1-9 项目重新设置对话框

重新设置好内容后, 单击“OK”按钮, 则一个新的项目被建立, 但该项目还没有任何的文件信息。

2) 项目与文件的打开 如果已创建好一个项目, 在输入原理图或文本文件时, 可通过下述两个步骤打开项目及文件。

(1) 在图 1-1 中, 单击“Open Existing Project”按钮, 或在图 1-2 中执行菜单命令“File”→“Open Project...”, 弹出图 1-10 所示对话框。在此对话框中找到已创建的项目所在路径及项目名(此对话框中的项目名为“EX_8SINGLE_TRI”), 然后再单击“打开”按钮, 即可打开项目。

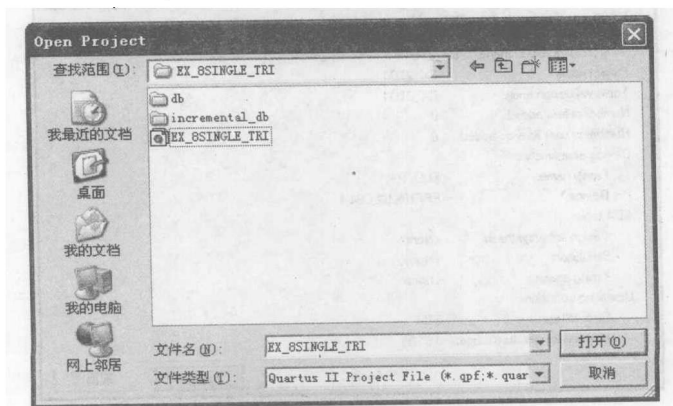


图 1-10 打开项目对话框