

普通高校本科计算机专业 **特色** 教材精选

现代数字电路 与逻辑设计

高广任 编著

<http://www.tup.com.cn>

清华大学出版社



普通高校本科计算机专业**特色**教材精选

现代数字电路 与逻辑设计

高广任 编著

清华大学出版社
北京

内 容 简 介

本书是一本数字电路的教学用书,共9章和一个附录,除绪论部分外,每章均配有较多的习题。书中主要论述了逻辑代数、逻辑门电路的构成及其工作原理、组合逻辑电路及逻辑设计、计算机中十进制整数的加减法运算原理、集成式双稳态触发器定量化的静态分析与部分设计、时序逻辑电路概述、一阶钟控式时序电路的完整统一逻辑设计与分析方法、数模转换器与模数转换器。在集成式双稳态触发器与钟控式一阶时序电路的相应章节中,论述了各种触发器的完整输出方程、约束方程及驱动激励表的求解问题,给出了钟控式一阶同步式时序电路和钟控式一阶异步式时序电路的统一设计方法和统一分析方法。

本书可作为高等院校计算机、控制、通信、电子等专业的教学用书,也可作为有关科技人员深入学习数字逻辑的自学教程。

版权所有,翻印必究。举报电话:010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

本书防伪标签采用特殊防伪技术,用户可通过在图案表面涂抹清水,图案消失,水干后图案复现;或将表面膜揭下,放在白纸上用彩笔涂抹,图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

现代数字电路与逻辑设计/高广任编著. —北京:清华大学出版社,2005.9

(普通高校本科计算机专业特色教材精选)

ISBN 7-302-11317-3

I. 现… II. 高… III. 数字电路—逻辑设计—高等学校—教材 IV. TN79

中国版本图书馆CIP数据核字(2005)第074700号

出 版 者: 清华大学出版社

<http://www.tup.com.cn>

社 总 机: 010-62770175

地 址: 北京清华大学学研大厦

邮 编: 100084

客 户 服 务: 010-62776969

组稿编辑: 焦 虹

文稿编辑: 王冰飞

印 装 者: 北京嘉实印刷有限公司

发 行 者: 新华书店总店北京发行所

开 本: 185×260 印 张: 22 字 数: 516 千字

版 次: 2005年9月第1版 2005年9月第1次印刷

书 号: ISBN 7-302-11317-3/TN·262

印 数: 1~5000

定 价: 28.00 元

编审委员会

主任：蒋宗礼

副主任：李仲麟 何炎祥

委员：（排名不分先后）

王向东 宁 洪 朱庆生 吴功宜 吴 跃

张 虹 张 钢 张为群 余雪丽 陈志国

武 波 孟祥旭 孟小峰 胡金初 姚放吾

原福永 黄刘生 廖明宏 薛永生

秘书长：王听讲

出版说明

INTRODUCTION

在我国高等教育逐步实现大众化后，越来越多的高等学校将会面向国民经济发展的第一线，为行业、企业培养各级各类高级应用型专门人才。为此，教育部已经启动了“高等学校教学质量和教学改革工程”，强调要以信息技术为手段，深化教学改革和人才培养模式改革。如何根据社会的实际需要，根据各行各业的具体人才需求，培养具有特色显著的人才，是我们共同面临的重大问题。具体地说，培养具有一定专业特色和特定能力强的计算机专业应用型人才是计算机教育要解决的问题。

为了适应 21 世纪人才培养的需要，培养具有特色的计算机人才，急需一批适合各种人才培养特点的计算机专业教材。目前，一些高校在计算机专业教学和教材改革方面已经做了大量工作，许多教师在计算机专业教学和科研方面已经积累了许多宝贵经验。将他们的教研成果转化为教材的形式，向全国其他学校推广，对于深化我国高等学校的教学改革是一件十分有意义的事。

清华大学出版社在经过大量调查研究的基础上，决定组织出版一套“普通高校本科计算机专业特色教材精选”。本套教材是针对当前高等教育改革的新形势，以社会对人才的需求为导向，主要以培养应用型计算机人才为目标，立足课程改革和教材创新，广泛吸纳全国各地的高等院校计算机优秀教师参与编写，从中精选出版确实反映计算机专业教学方向的特色教材，供普通高等院校计算机专业学生使用。

本套教材具有以下特点：

1. 编写目的明确

本套教材是在深入研究各地各学校办学特色的基础上，面向普通高校的计算机专业学生编写的。学生通过本套教材，主要学习计算机科学与技术专业的基本理论和基本知识，接受利用计算机解决实际问题的基本训练，培养研究和开发计算机系统，特别是应用系统的基本能力。

2. 理论知识与实践训练相结合

根据计算学科的三个学科形态及其关系,本套教材力求突出学科的理论与实践紧密结合的特征,结合实例讲解理论,使理论来源于实践,又进一步指导实践。学生通过实践深化对理论的理解,更重要的是使学生学会理论方法的实际运用。在编写教材时突出实用性,并做到通俗易懂,易教易学,使学生不仅知其然,知其所以然,还要会其如何然。

3. 注意培养学生的动手能力

每种教材都增加了能力训练部分的内容,学生通过学习和练习,能比较熟练地应用计算机知识解决实际问题。既注重培养学生分析问题的能力,也注重培养学生解决问题的能力,以适应新经济时代对人才的需要,满足就业要求。

4. 注重教材的立体化配套

大多数教材都将陆续配套教师用课件、习题及其解答提示,学生上机实验指导等辅助教学资源,有些教材还提供能用于网上下载的文件,以方便教学。

由于各地区各学校的培养目标、教学要求和办学特色均有所不同,所以对特色教学的理解也不尽一致,我们恳切希望大家在使用教材的过程中,及时地给我们提出批评和改进意见,以便我们做好教材的修订改版工作,使其日趋完善。

我们相信经过大家的共同努力,这套教材一定能成为特色鲜明、质量上乘的优秀教材。同时,我们也希望通过本套教材的编写出版,为“高等学校教学质量和教学改革工程”作出贡献。

清华大学出版社

目 录

CONTENTS

第 0 章	绪论	1
第 1 章	逻辑代数	7
1.1	逻辑变量与逻辑函数	7
1.1.1	逻辑变量与 3 种基本逻辑函数	7
1.1.2	一般逻辑函数的定义与真值表	8
1.2	逻辑代数的基本公式与逻辑方程概述	10
1.2.1	逻辑函数的对偶函数和反演函数	10
1.2.2	逻辑代数的基本公式	12
1.2.3	几个主要公式的代数法证明	13
1.2.4	更一般的狄摩根定律及用途	13
1.2.5	简单逻辑方程的真值表法求解	14
1.3	逻辑代数中的几个重要规则	14
1.3.1	代入规则	14
1.3.2	分解规则	15
1.3.3	对偶规则	15
1.3.4	反演规则	16
1.4	最简逻辑函数式与代数法化简	16
1.4.1	最简逻辑函数式	16
1.4.2	代数法化简逻辑函数	17
1.5	最小项函数与最大项函数及其有关定理	18
1.5.1	最小项函数与最小项型与或式	18
1.5.2	最大项函数与最大项型或与式	19
1.5.3	最小项与最大项的有关定理	21
1.5.4	函数展为最小项型与或式和最大项型或与式的方法	22
1.6	逻辑函数的卡诺图法表示与最小项、最大项相邻组	22
1.6.1	卡诺图的构造方法	22

1.6.2	逻辑函数的卡诺图法表示	24
1.6.3	最小项、最大项相邻组概念及其在卡诺图上的分布	26
1.6.4	在卡诺图上合并最小项与最大项相邻组	28
1.7	正则逻辑函数的卡诺图法化简	29
1.7.1	逻辑函数卡诺图法化简的流程图	30
1.7.2	划分相邻组的规则	30
1.7.3	正则逻辑函数的卡诺图法化简	32
1.8	奇异逻辑函数的卡诺图法化简	34
1.8.1	奇异逻辑函数的真值表法给出	34
1.8.2	奇异逻辑函数的数学式法给出	36
1.8.3	正则最小项、最大项和奇异最小项、最大项概念	38
1.8.4	奇异函数最小项型与或式、最大项型或与式及函数的卡诺图	39
1.8.5	奇异逻辑函数的卡诺图法化简	41
	习题	43
第2章	逻辑门电路的构成及其工作原理	53
2.1	二极管的开关特性	53
2.2	三极管的静态特性及其等效电路	55
2.2.1	晶体三极管的静态特性和静态工作点	55
2.2.2	晶体三极管处于截止态、放大态、饱和态的条件	57
2.3	逻辑电路	59
2.3.1	逻辑电路概述	59
2.3.2	分立式二极管与门、或门、与或门逻辑电路	60
2.3.3	分立式三极管非门逻辑电路	63
2.3.4	分立式与非门、或非门、异或门、同或门逻辑电路	63
2.3.5	逻辑电路的逻辑类型	65
2.4	集成式 TTL 型与非门逻辑电路及其工作原理	66
2.4.1	TTL 型与非门逻辑电路	66
2.4.2	TTL 型与非门逻辑电路的负载能力	69
2.5	集成式 TTL 型集电极开路的与非门及其工作原理	70
2.5.1	TTL 型集电极开路的与非门及其工作原理	70
2.5.2	多个集电极开路与非门输出端的并联操作及其逻辑功能	72
2.6	集成式三态输出的 TTL 型与非门及其应用	72
2.6.1	三态输出的 TTL 型与非门	72
2.6.2	三态输出的 TTL 型其他门电路	73
2.7	集成式 MOS 型三极管的开关特性	73
2.7.1	集成式 MOS 型三极管及其分类	73
2.7.2	N 沟道增强型 MOS 三极管的结构及工作原理	74

2.7.3	P 沟道增强型 MOS 三极管的结构及工作原理	75
2.8	集成式 CMOS 型逻辑门电路	76
2.8.1	集成式 CMOS 型逻辑门电路及其分类	76
2.8.2	集成式 CMOS 型非门电路	76
2.8.3	集成式 CMOS 型与非门电路	77
2.8.4	集成式 CMOS 型或非门电路	78
习题	79
第 3 章	组合逻辑电路及逻辑设计	83
3.1	组合逻辑电路概述	83
3.1.1	组合逻辑电路的定义及分类	83
3.1.2	组合逻辑电路的学习内容	85
3.1.3	组合逻辑电路分析的一般步骤	86
3.1.4	组合逻辑电路设计的一般步骤	86
3.2	编码器及其逻辑设计	87
3.2.1	编码器概述	87
3.2.2	一位八进制整数的编码器及其设计	87
3.2.3	一位八进制整数的优先权编码器及其设计	89
3.2.4	8421BCD 编码的一位十进制整数的编码器及其设计	90
3.2.5	8421BCD 编码的一位十进制整数优先权编码器及其设计	91
3.3	译码器及其逻辑设计	92
3.3.1	译码器概述	92
3.3.2	二进制数编码的一位八进制的译码器及其设计	92
3.3.3	8421BCD 编码的一位十进制译码器及其设计	94
3.4	显示译码器及其逻辑设计	96
3.4.1	显示译码器概述	96
3.4.2	显示译码器的逻辑设计	98
3.5	数据选择器及其逻辑设计	101
3.5.1	逻辑函数的最小项或展式	101
3.5.2	八选一的数据选择器	101
3.6	数据分配器及其逻辑设计	102
3.6.1	数据分配器概述	102
3.6.2	8 路数据分配器的逻辑设计	103
3.7	用数据选择器和译码器构成组合逻辑电路	104
3.7.1	用数据选择器构成组合逻辑电路的一般方法	104
3.7.2	用数据选择器构成组合逻辑电路举例	104
3.7.3	用译码器构成组合逻辑电路举例	106
3.8	数据比较器及其逻辑设计	107

3.8.1	数据比较器概述	107
3.8.2	两个一位二进制整数比较器的逻辑设计	107
3.8.3	两个4位二进制整数比较器的逻辑设计	108
习题	109
第4章	计算机中十进制整数的加减法运算原理	113
4.1	带符号十进制整数在机内的原码、反码和补码表示方法	113
4.1.1	带符号 n 位二进制整数的取值范围	113
4.1.2	带符号 n 位二进制整数的原码	113
4.1.3	带符号 n 位二进制整数的反码	114
4.1.4	带符号二进制整数的补码	115
4.1.5	二进制代码的求补变换	116
4.1.6	二进制代码的变补变换	116
4.1.7	$[X]_{原}$ 、 $[X]_{反}$ 、 $[X]_{补}$ 、 $[-X]_{补}$ 之间的关系	117
4.1.8	小范围带符号十进制整数在计算机内的表示方法	118
4.2	带符号十进制整数在机内的二进制加减法运算	118
4.2.1	概述	118
4.2.2	$[X]_{补}$ 与 $[Y]_{补}$ 的加法运算	120
4.2.3	$[X]_{补}$ 与 $[Y]_{补}$ 的减法运算	122
4.3	不带符号十进制整数在机内的二进制加减法运算	125
4.3.1	概述	125
4.3.2	不带符号十进制整数在机内的二进制加法运算	126
4.3.3	不带符号十进制整数在机内的二进制减法运算	127
4.4	全加减器与二元函数发生器	129
4.4.1	多位二进制整数加法运算的过程	129
4.4.2	全加器概念及其逻辑设计	130
4.4.3	加法运算与减法运算的规则	132
4.4.4	全减器概念及其逻辑设计	134
4.4.5	全加减器	134
4.4.6	二元函数发生器及其逻辑电路	135
习题	136
第5章	集成式双稳态触发器	139
5.1	双稳态触发器概述	139
5.1.1	双稳态触发器的基本特点	139
5.1.2	双稳态触发器的分类及其具体电路的组成方式	141
5.1.3	触发器课题的研究内容	143
5.2	非钟控式基本 R-S 触发器及其静态分析	143

5.2.1	逻辑电路及其状态方程组	144
5.2.2	初始态预置和正常工作时的工作原理分析	145
5.2.3	逻辑功能表、输出方程和激励表	146
5.3	非钟控式触发器的类型、组成、逻辑设计和静态分析	150
5.3.1	非钟控式 R-S 触发器的组成、逻辑设计与静态分析	150
5.3.2	非钟控式 D 触发器的组成、逻辑设计与静态分析	155
5.3.3	非钟控式 J-K 触发器的组成、逻辑设计与静态分析	159
5.3.4	非钟控式 T 触发器的组成、逻辑设计与静态分析	164
5.3.5	关于非钟控式触发器的几点说明	168
5.4	钟控式电位型 R-S 触发器及其静态分析	170
5.4.1	钟控式电位型 R-S 触发器的逻辑电路和状态方程组	170
5.4.2	工作原理分析	171
5.4.3	逻辑功能表、输出方程与约束方程	172
5.4.4	驱动激励表	174
5.5	由钟控式电位型 R-S 触发器构成的交叉反馈式触发器	176
5.5.1	钟控式电位型交叉反馈式触发器的逻辑电路与状态方程组	176
5.5.2	工作原理分析	177
5.6	钟控式维阻型正跳变 D 触发器及其静态分析	177
5.6.1	逻辑电路及有关说明	178
5.6.2	状态方程组和初始态预置分析	179
5.6.3	正常工作时的工作原理分析	180
5.6.4	逻辑功能表、输出方程与驱动激励表	182
5.7	钟控式主从型负跳变 R-S 触发器及其静态分析	186
5.7.1	钟控式主从型 R-S 触发器的逻辑电路及其状态方程组	186
5.7.2	初始态预置分析与正常工作时分析	188
5.7.3	输出方程、约束方程与驱动激励表	188
5.8	钟控式主从型负跳变 J-K 触发器及其静态分析	193
5.8.1	钟控式主从型负跳变 J-K 触发器的逻辑电路	193
5.8.2	钟控式主从型 J-K 触发器的输出方程与约束方程	194
5.8.3	钟控式主从型 J-K 触发器的驱动激励表	195
5.9	集成电路钟控式跳变型触发器之间的相互转换	197
5.9.1	触发器相互转换的关系图	197
5.9.2	钟控式跳变型触发器正常工作时的输出方程和驱动激励表	198
5.9.3	同种钟控式跳变型触发器之间相互转换求解的流程图	199
5.9.4	钟控式维阻型正跳变触发器之间的转换	200
5.9.5	钟控式主从型负跳变触发器之间的转换	202
	习题	202

第 6 章 时序逻辑电路概述	207
6.1 时序逻辑电路的分类、定义及其输入信号的各种设置情况	208
6.1.1 时序逻辑电路的分类	208
6.1.2 钟控式时序电路的组成及定义	208
6.1.3 几个基本概念	210
6.1.4 钟控式时序电路及存储网络、输出网络输入信号的设置情况	211
6.2 时序逻辑电路功能的给定方法	213
6.2.1 存储网络状态转移功能的给定方法	214
6.2.2 输出网络功能的给定方法	218
6.2.3 进位网络功能的给定方法	222
6.3 钟控式时序逻辑电路分析和设计的一般步骤	223
6.3.1 钟控式时序逻辑电路分析的一般步骤	223
6.3.2 钟控式时序逻辑电路设计的一般步骤	224
习题.....	225
第 7 章 一阶钟控式时序电路	227
7.1 钟控式存储网络的类型及一阶钟控式存储网络的逻辑设计	227
7.1.1 钟控式存储网络的组成及有关概念	227
7.1.2 钟控式存储网络的类型	231
7.1.3 一阶钟控式不带支链直线型存储网络设计举例	231
7.1.4 一阶钟控式带支链直线型存储网络设计举例	236
7.1.5 一阶钟控式不带支链单环型存储网络设计举例.....	239
7.1.6 一阶钟控式带支链单环型存储网络设计举例	242
7.1.7 几点说明	245
7.2 钟控式计数器概述	245
7.2.1 计数器的定义、分类及一般组成框图	245
7.2.2 计数器设计问题的提法及其一般设计步骤	247
7.2.3 钟控式跳变型触发器组的选定	247
7.2.4 计数状态转移表的类型	248
7.3 二进制数编码的一位 2^k 进制计数器的逻辑设计	249
7.3.1 驱动函数的设计	250
7.3.2 激励函数的设计	252
7.3.3 初始态非钟控式预置函数设计	255
7.3.4 进位函数的设计	256
7.3.5 计数器的设计方程组与相应的逻辑电路	258
7.4 8421 编码的钟控式一位十进制计数器的逻辑设计	259
7.4.1 驱动函数的设计	260
7.4.2 同步驱动条件下激励函数的求解	262

7.4.3	异步驱动条件下激励函数的求解	264
7.4.4	计数器的初始态预置函数设计	265
7.4.5	计数器的进位函数设计	265
7.4.6	计数器的设计方程组及其逻辑电路	266
7.4.7	关于一位十进制计数器设计的几点说明	267
7.5	钟控式跳变型一位 N 进制计数器的工作原理分析	267
7.5.1	计数器工作原理分析的流程图	268
7.5.2	各种钟控式跳变型触发器的输出功能表	268
7.5.3	驱动激励表法分析同步式计数器工作原理举例	270
7.5.4	驱动激励表法分析异步式计数器工作原理举例	271
7.5.5	输出方程法分析钟控式计数器工作原理举例	273
7.6	初始态预置错误时的分析和自启动型计数器的逻辑设计	276
7.6.1	计数器初始态预置错误时的工作原理分析	276
7.6.2	自启动型钟控式一位 N 进制计数器的逻辑设计举例	278
7.7	组合式计数器及其逻辑设计	280
7.7.1	组合式计数器概念	280
7.7.2	组合式 N 进制计数器设计的一般步骤	281
7.7.3	组合式计数器的级数和计数值的计算式	281
7.7.4	几种常用小进制数计数器的设计	282
7.7.5	组合式 N 进制计数器设计举例	287
7.7.6	关于组合式计数器的几点说明	289
7.8	钟控式信号序列发生器及其逻辑设计	289
7.8.1	信号序列发生器的定义、分类及一般组成框图	289
7.8.2	钟控式信号序列发生器逻辑设计的一般步骤	290
7.8.3	不带过渡码单变量信号序列发生器设计举例	291
7.8.4	带过渡码单变量信号序列发生器设计举例	295
7.8.5	不带过渡码多变量信号序列发生器设计举例	298
	习题	302
第 8 章 数模转换器与模数转换器		311
8.1	概述	311
8.1.1	用计算机控制模拟量系统的组成框图	311
8.1.2	数模转换器与模数转换器的主要技术指标	311
8.1.3	数模转换器的分类	312
8.1.4	模数转换器的分类	312
8.2	T 型电阻式的数模转换器	312
8.2.1	4 位 T 型电阻式数模转换器的电路图与工作原理	313
8.2.2	N 位 T 型电阻式数模转换器的电路图与工作原理	314

8.2.3 T型电阻式数模转换器的转换速度	315
8.3 逐次逼近式模数转换器	315
8.3.1 逐次逼近式模数转换器的组成框图	315
8.3.2 逐次逼近式模数转换器工作原理的一般说明	316
8.3.3 3位逐次逼近式模数转换器的电路图及工作原理	317
8.3.4 3位逐次逼近式模数转换器的设计	319
8.3.5 n 位逐次逼近式寄存器的设计方程组与逻辑电路	323
习题	323
附录 A 钟控式同步计数器的两种设计方法与比较	325
参考文献	333

第 0 章

绪 论

CHAPTER

数字电路或数字逻辑的一些基本概念和理论,如卡诺图、霍夫曼式时序逻辑电路组成框图、莫尔型时序电路、米利型时序电路、状态化简及其编码等,均是 20 世纪 50 年代初期或中期提出的。

这一时期数字集成电路的生产刚刚起步,因而有些概念和理论不可能全部通过实践进行验证,因此其中的不足之处或弊端也很难被发现,甚至传统的人云亦云保留至今。

下面依次说明目前国内外有关数字电路或数字逻辑的书中还坚持和保留的不正确的或不完全正确的观点和内容,同时给出作者在本书中所做的更新处理。

1. 时序逻辑电路的一般结构

(1) 目前部分书中坚持的观点

目前国内外有关数字电路或数字逻辑的书,时序逻辑电路的一般结构均用如图 0-1 所示的霍夫曼式组成框图来给出。其中,存储网络指的是所含的触发器组;组合网络指的是除触发器组外的所有组合逻辑电路。

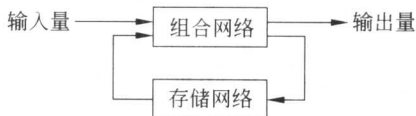


图 0-1 时序逻辑电路的霍夫曼式组成框图

(2) 作者在本书中的更新处理

图 0-1 所示的霍夫曼式组成框图实际上是在讨论一种特殊的钟控式时序电路(即钟控式串行加法器)的组成时得出的结论,该组成框图的文字叙述如下:

- 时序逻辑电路的一般组成 = 存储网络 + 所含的全部组合逻辑电路;
- 存储网络与所含的全部组合逻辑电路具有图 0-1 给出的连接关系。

显然,这种由特殊到一般的推理模式和看待时序电路组成的方法,是肤浅和原始的,其正确性有待进一步研究。

实际上有很多钟控式时序电路的组成是不应当这样看待的。

实践表明,霍夫曼式时序电路的组成框图既不能完整地指导分析时序电路的工作原理,也不能完整地指导设计时序电路。

通过大量的分析和研究,作者发现任何钟控式时序电路的组成均应用图 0-2 给出才合适。

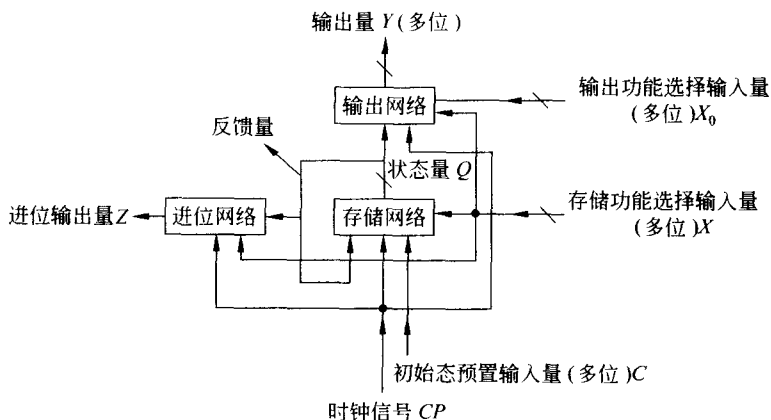


图 0-2 钟控式(跳变型)时序电路的一般组成框图

其中,输出网络、进位网络是组合逻辑电路;存储网络(或称状态存储转移网络)是带反馈输入的时序电路,该存储网络本身的组成框图如图 0-3 所示。

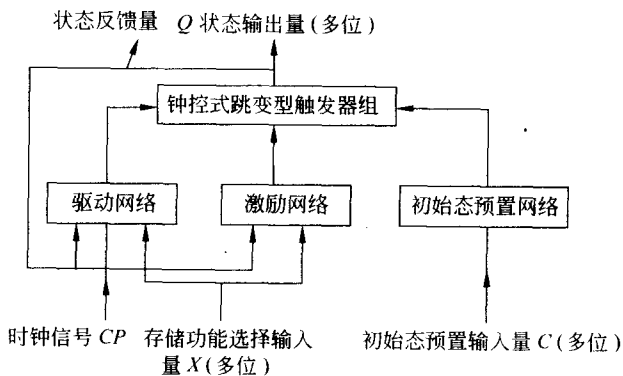


图 0-3 存储网络本身的组成框图

其中,驱动网络、激励网络、初始态预置网络都是组合逻辑电路。

在设计任何一种钟控式时序电路时,设计其中的存储网络(状态转移网络)是最关键的任务,存储网络的状态转移图多种多样(直线型、环形等),最复杂的是一个任意的有向图。

如果钟控式时序电路的一般组成框图还未搞清楚,那么对该种电路就无法进行完整的分析和设计,所以正确认识和掌握钟控式时序电路的一般组成框图是非常重要的。

注意:

钟控式跳变型触发器组在有的书中也称做记忆电路(见《数字逻辑及数字集成电路

(第2版)》167页,王尔乾等,清华大学出版社),但记忆电路不是这里作者所说的存储网络。

2. 钟控式触发器

(1) 目前部分书中坚持的观点

目前国内外有关数字电路或数字逻辑的书中,在讨论钟控式触发器时,均不正面考虑时钟信号 CP 的直接影响,甚至不将 CP 信号看做是电路的输入量,具体存在的问题如下:

① 对各种钟控式触发器的工作原理进行分析时,将初始态预置分析和正常工作分析分开进行,而不是一条龙式的下来,因而不可能获得相应钟控式触发器的完整逻辑功能表。

② 各种钟控式触发器的输出量 Q ,相对于各输入量(包括时钟信号)的完整逻辑表达式(也称做该触发器的输出方程)及各输入量取值的约束方程如何推导,缺乏论述。

③ 在推导各种钟控式触发器的驱动激励表时,假定相应的时钟信号已发生了相应的有效跳变或取得了相应的电位值,因而这样推导出的驱动激励表是不完整的。

④ 考虑组成各种钟控式触发器的门电路的延时效应时,相应钟控式触发器动态分析的一般方法如何进行,缺乏论述。

⑤ 各种钟控式触发器的逻辑电路是怎样设计出来的,缺乏论述。(数字逻辑设计课中当然应讨论此课题,为什么当前的数字逻辑书中不讨论,因为此课题有一定的难度,其完整的设计方法还未搞出来。)

(2) 作者在本书中的更新处理

将时钟信号 CP 看做是相应电路的输入量。具体更新处理如下:

① 对各种钟控式触发器的工作原理进行分析时,将初始态预置分析和正常工作分析一条龙地连续式进行,进而能获得相应钟控式触发器的完整逻辑功能表。

② 由于通过①的处理,能获得相应钟控式触发器的完整逻辑功能表,因而才可利用逻辑代数的卡诺图法,推得各种钟控式触发器的输出量 Q 相对于各输入量(包括时钟信号)的完整逻辑表达式(也称做该触发器的输出方程)及各输入量取值的约束方程。

例如,目前国内外出版的一些数字逻辑书中(包括译著)给出的钟控式主从型 J-K 触发器的输出方程均为:

$$Q^{(n+1)} = \bar{K} Q^{(n)} + J \bar{Q}^{(n)}$$

该种钟控式主从型 J-K 触发器的输出方程在本书中给出的完整形式应为:

$$Q^{(n+1)} = \bar{S}_0 + R_0 \{ CP^{(n)} \overline{CP^{(n+1)}} K Q^{(n)} + CP^{(n)} \overline{CP^{(n+1)}} J \bar{Q}^{(n)} \} \quad (0-1)$$

当该触发器正常工作时,即要求 $S_0 = R_0 = 1$,此时的输出方程如下:

$$Q^{(n+1)} = \overline{CP^{(n)} \overline{CP^{(n+1)}}} K Q^{(n)} + CP^{(n)} \overline{CP^{(n+1)}} J \bar{Q}^{(n)} \quad (0-2)$$

当该触发器正常工作且 CP 又发生负跳变时,即要求 $S_0 = R_0 = 1, CP^{(n)} CP^{(n+1)} = 10$,此时的输出方程如下:

$$Q^{(n+1)} = \bar{K} Q^{(n)} + J \bar{Q}^{(n)} \quad (0-3)$$

③ 在求解各种钟控式触发器正常工作时的驱动激励表时,不假定时钟信号已发生了相应的有效跳变或取得了相应的电位值,即根据该触发器正常工作时的输出方程进行推导,因而可获得相应钟控式触发器的完整驱动激励表,使用此表才能较方便和顺利地设计