

Nios® 软核心嵌入式处理器设计大赛

优秀作品精选

○ 傅丰林 主编

Nios[®]软核心嵌入式处理器 设计大赛优秀作品精选

傅丰林 主编

西安电子科技大学出版社

2005

内 容 简 介

2004 年 ALTERA 公司在亚太地区举办了 Nios 软核心嵌入式处理器设计大赛, 中国、印度等国家和地区的大学生组成 200 多支代表队参加了竞赛。大学生们利用 ALTERA 公司提供的 Nios 软核心嵌入式处理器进行设计, 实现某些功能。本书挑选了这次竞赛获奖作品中的 31 篇优秀作品出版, 其中中国有 20 篇(大陆地区 15 篇, 台湾地区 5 篇), 印度有 11 篇。作品内容涉及通信、导航、图像处理、智能控制和仪器仪表等学科领域。

本书内容新颖、知识面宽, 可作为电子信息类专业教师和学生学习 SOPC 的参考书。

Altera is a trademark and service mark of Altera Corporation in the United States and other countries. Altera products are the intellectual property of Altera Corporation and are protected by copyright laws and one or more U.S. and foreign patents and patent applications.

Refer to the Altera websit (www.altera.com) for the most recent documentation or information.

图书在版编目 (CIP) 数据

Nios[®]软核心嵌入式处理器设计大赛优秀作品精选 / 傅丰林主编.

—西安: 西安电子科技大学出版社, 2005.3

ISBN 7-5606-1496-5

I. N... II. 傅... III. 微处理器 - 系统设计 IV. TP332

中国版本图书馆 CIP 数据核字 (2005) 第 010912 号

策 划 臧延新 陈宇光

责任编辑 张晓燕 臧延新

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com>

E-mail: xdupfbx@pub.xaonline.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2005 年 3 月第 1 版 2005 年 3 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 16.5

字 数 386 千字

印 数 1~4 000 册

定 价 30.00 元

ISBN 7 - 5606 - 1496-5/TN · 0297

XDUP 1767001 - 1

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

Preface

When Altera introduced the Nios® soft-core processor to the world in June 2000, it rapidly gained popularity in a wide range of commercial applications. From fish finders and engine testers powered by Altera's low-cost Cyclone™ FPGAs, to video image processing and advanced communications systems leveraging high-performance Stratix® FPGAs, users worldwide—academics and professionals alike—have discovered the advantages of using this processor. Combined with Altera's FPGAs and software tools, Nios processors give engineers the power to execute complex processing designs quickly and easily.

"From concept to system in minutes" is our guiding principle for the Nios user's experience. With that goal in mind, we've made the implementation of Nios embedded processors one of the simplest tasks for designers when creating intricate systems on a programmable chip (SOPC). Designers can tailor the processors for the exact peripherals, memory, and interface features required, and add their own proprietary functions for a unique competitive advantage. Additionally, a soft-core implementation allows for easy software and design upgrades: the processor never becomes obsolete. Unlike hard implementations of a processor in an FPGA, a soft-core implementation gives designers complete flexibility in choosing performance characteristics and the number of processors used.

The Nios community is growing rapidly, with more than 13,000 Nios development kits shipped to date. Each kit includes everything needed to get a system up and running, including Altera's SOPC Builder system development tool that automates the integration of system components while improving performance. Using SOPC Builder, designers can focus on higher, system-level requirements (instead of mundane, manual tasks) and speed designs to completion. Thousands of designers around the world, just like you, use the Nios embedded processor for its ease-of-use and flexibility, making it the most popular soft-core processor in the industry.

Picking only 31 of the entries was quite a challenge! The 31 winning Nios designs in this book further demonstrate the unending variety of ways that Nios processors enhance design implementation. When students and professionals are given the tools and flexibility they need to implement their creativity, groundbreaking ideas and designs follow.

Congratulations to all the Nios Design Contest winners and their professors. Keep the fires of innovation burning!

Jordan S. Plofsky
Senior Vice President, Marketing
Altera Corporation

序

由教育部高等教育司与信息产业部人事司共同举办的全国大学生电子设计竞赛，自1994年开始至今已成功举办了六次，从最初的3个赛区、44所高校、660位学生参赛，到2003年已经发展到24个赛区、426所高校、9117位学生参赛，其影响力日益扩大，受到大学生们的热烈响应。

为了弥补非竞赛年同学没有参加竞赛的机会，推动专业课程的建设与教学改革，2002年举办了嵌入式系统专题竞赛。2004年全国和赛区又分别开展结合电子信息类专业内容的各类专题竞赛，逐步形成了两个层面的电子设计竞赛。两年一次的大赛是基础型的，围绕设计并实现一个小系统来加强基本知识、基本概念的理解，有利于基本技能、综合能力、创新能力的培养和提高。因此，凡设有电子线路、电子技术、微机原理及其应用等课程的大专院校在校学生都可以参加。专题竞赛属于提高型的，要求学生综合运用基础和专业知识、硬件和软件能力，在不熟悉的先进开发平台上设计并实现一个应用系统。竞赛推动了专业课程和实验室的建设以及教育模式的转变，促进了新技术与高校教学的结合。

通过十年来的竞赛实践表明，开展这项活动对大学生的创新意识、实践能力的提高和综合素质的培养非常有利，它对学生的影响是积极和长远的。竞赛推动了教学改革，教学改革的深入又将竞赛推至更广泛的参与和更高的层次。

微电子和计算机技术的进步，使得将一个复杂系统集成在单芯片上(SOC)成为可能，并使这项技术处于高速发展的阶段。利用现代化的开发工具，运用IP内核，在一个可编程的芯片上设计并实现一个系统(SOPC)是高效、快速的SOC解决方案之一。

2004年ALTERA公司在亚太地区举办了Nios软核心嵌入式处理器设计大赛，参赛的有中国、印度等国家和地区的200多支代表队。竞赛要求大学生在较短的时间内学习有关的软、硬件知识，熟悉开发平台，自由命题，设计并完成自己的作品。竞赛的全过程就是学习知识、克服困难、提高能力和接受考验的过程。大多数学生都实现并调试完成了样机，取得了优异的成绩。本作品选集将这些成果展示出来，取长补短，供大家共同交流学习。

在此，我代表全国大学生电子设计竞赛组委会和专家组向ALTERA公司表示衷心的感谢，感谢你们为大学生聪明才智的发挥提供了一个良好的舞台，感谢你们支持这一竞赛，为高等学校电子信息类专业课程体系与教学内容的改革、专业课程教学模式的转变提供了有益的启示。

沈伯弘

全国大学生电子设计竞赛
组委会副主任兼专家组组长

北京大学教授

2005年1月10日

前 言

随着微电子技术的发展,促使集成电路向高速、高集成度、低功耗的系统集成方向发展, SOPC(System On a Programmable Chip, 片上可编程系统)是现代电子技术和电子系统设计的汇聚点和发展方向。它将传统的 EDA 技术、计算机系统、嵌入式系统、数字信号处理技术、数字通信系统以及自动控制系统等技术融为一体,在结构上凝为一片。

SOPC 综合了 SOC 和 PLD、FPGA 各自的优点,集成了硬核或软核 CPU、OSP、存储器、外围 I/O 及可编程逻辑,用户可以利用 SOPC 平台自行设计高速、高性能的 DSP 处理器或特定功能的 CPU 处理器,从而使电子系统设计进入一个全新的模式。

目前半导体技术和网络技术正处于转型阶段,需要系统级芯片的支持。应该指出, SOPC 的理论和技術已成为高等学校电子信息类专业本科生和研究生需要掌握的重要内容。美国 ALTERA 公司一直处于 SOPC 领域的前沿和领先地位。拥有超过 12 000 套的开发套件交付用户, Nios[®]嵌入式处理器现已成为软核嵌入式处理器的标准。基于 Nios 处理器的系统是专为 ALTERA[®]的可编程逻辑和可编程单芯片系统(SOPC)而设计的解决方案。用户使用 ALTERA 的 SOPC Builder 系统开发工具创建基于 Nios 处理器的系统,将获得最好的设计灵活性和易用性。

ALTERA 公司 2004 年与中国陕西省教育厅联合举办了“2004 年陕西省大学生电子设计竞赛——ALTERA 杯 EDA/SOPC 专题竞赛”,有 50 支代表队参加竞赛。同时, ALTERA 公司还在中国大陆其他省份、中国台湾地区以及印度等国家和地区举办 Nios 软核心嵌入式处理器设计大赛,共 200 多支代表队参赛,形成了 ALTERA 公司在亚太地区举办 SOPC 专题竞赛的格局。这一竞赛对培养学生创新精神和实践能力具有很大的促进作用。本书挑选了这次竞赛获奖作品中的 31 篇优秀作品出版,其中中国有 20 篇(大陆地区 15 篇,台湾地区 5 篇),印度有 11 篇,目的在于促进交流和学习,推动电子信息类专业的教学改革。

傅丰林

2005 年 1 月 27 日

目 录

数字电视 DVB 码流监控系统(一等奖)	
(西安电子科技大学) 刘鹏、申申、王玺钧	1
基于 μ Clinux 的 IP 电话(二等奖)	
(复旦大学) 邱卫东、湛勇辉、卢德良	11
基于 Nios 的汽车流量统计仪	
(重庆大学) 郭磊民、谢天助、甘平	18
基于 Nios 的掌纹鉴别系统	
(北京交通大学) 刘陆陆、高文韬、罗斌	28
基于 Nios 的信号产生与处理系统	
(西安邮电学院) 张伟、杜鑫森、侯娟	36
商品条形码 GPRS 信息查询终端	
(解放军理工大学) 郑晨	45
16 路电话计费器	
(解放军理工大学) 魏毅	50
服务器集群控制器	
(北京工业大学) 李磊、宋洋、崔岩	55
基于 Nios 嵌入式微处理器的仿人灵巧手系统	
(哈尔滨工业大学) 魏然	62
基于 Nios 软核的便携式数字示波器	
(电子科技大学) 廖晓鹏、郭志勇、唐路	72
Nios 智能机器人	
(四川大学) 冯进华、张志亮、贺孟	85
基于 Nios 软核处理器的无中心共线电话系统设计	
(北京交通大学) 石黎、高同海、张长喜	91
小区智能报警系统	
(西安交通大学) 倪海蛟、蒋宗敏、苏鑫	98
智能家居系统	
(西北大学) 张超雷、余兆安、胡汉周	108
基于 SOPC 的程控用户交换机设计	
(西安理工大学) 郭保伟、张华、赵蓓	118
关节型机器人片上可编程系统的研制(一等奖)	
(南台科技大学) 许哲志、蔡明宏	128
手持式低频段频谱分析仪的设计(二等奖)	
(亚东技术学院) 林奕辰	142
使用直接扩频多任务技术的 RFID 系统	
(国立高雄应用科技大学) 卢南彰、廖予中	147
具有远端监控功能的数字语音广播系统	
(南台科技大学) 林允中、朱明华	153

三相感应电动机变频控制	(亚东技术学院) 吴奕颀、吴宗宪、陈信杰	163
用于人脸识别的鲁棒实时生物特征识别系统(一等奖)	(Indian Institute of Technology Madras) A.Pavan Kumar	177
针对 Nios 的基于 CORDIC 的反正切 IP 设计(二等奖)	(CEDT, Indian Institute of Science) Paramananda Jena、Rakesh Oza	183
使用 Nios SOC 开发包的 JPEG 编码器/解码器实现	(National Institute of Technology) K.V.Vivek、V.Packiaraj、Gajula Venu	187
Nios 的 RSA 加密解密 IP	(CEDT, Indian Institute of Science) Ajit Oke、Pankaj Sharma	197
基于波速形成器的 WCDMA 上行接收机的 Nios 实现	(Madras Institute of Technology) Karthikeyan K、Ulagalandha Perumal D、Viswanathan B	202
基于 Nios 处理器的智能继电器实现	(Indian Institute of Technology) Motupalli Kapil、Harsh Singh、Siddhath Swarnakar	208
GPS 接收机设计	(College of Engineering, Guindy, Anna University) R.Naveen、S.Saran Kumar、L.Sriram	217
基于 Nios 处理器的计算子弹速率系统的设计、开发和炮架性能分析	(Priyadarshini College of Engineering and Architecture) Vibha Nakshane、J.N.Vairagade	223
专用仿真引擎应用	(College of Engineering, Guindy, Anna University) Andronicus S R、Anton Rino B、Gokulakrishnan M	227
自动交通工具导航系统的广泛应用	(MS Ramaiah School of Advanced Studies) Debashies Pradhan、Syed Musthafa Ali、Magendra	231
基于 ALTERA Nios 处理器的信道编码器	(BMS College of Engineering) Ramesha.R、Sunil Kumar.V	243
附录		
Nios [®] II 软核嵌入式处理器简介		245

数字电视 DVB 码流监控系统

(一等奖)

西安电子科技大学

参赛队员：刘鹏、申申、王玺钧

指导教师：李兵兵

一、系统概述

在应用逐渐广泛的数字电视系统中，监控数字电视服务正成为一种越来越迫切的需要。没有合适的监测仪器，是没有办法诊断或隔离数字化设备的。通常只有当电视屏幕上的图像消失时，我们才知道数字信号系统出了问题。几乎没有任何线索可以用来找到问题的所在或者原因。码流分析仪在这种情况下应运而生。现在在数字电视系统的前端，通过监控了解 DVB 信号和服务的状况从而及时采取措施比通过观众的反映而采取措施要主动和及时得多。因此，传送流的测试设备可使技术人员分析码流的内部情况，它们将在决定未来服务质量和客户满意度方面扮演更重要的角色。

传统的码流分析仪都是基于 PC 硬件平台的，价格昂贵，操作不便。便携式工控机也存在设备体积较大和硬件成本昂贵，功能受限于 PC 硬件和操作系统平台稳定性等问题。即使是市场上已有的手持式测试仪，虽有较好的移动性，但是也无法满足低成本和实时监控的要求。我们所提出的“DVB 码流监控系统”正是在充分考虑性能和价格的前提下提出的。

“DVB 码流监控系统”基于 MPEG-2 ISO/IEC 13818-1{SYSTEM}标准和 DVB ETSI TR 101 290 {Measurement Guidelines}标准，包括码流采集、码流分析、码流检错和信息显示等功能。本系统对数字电视 TS 数据流进行采集，并实时检测和分析 TS 流与相关标准的一致性，显示相关信息，同时实现 ASI 与 SPI 两种不同接口的转换。

“DVB 码流监控系统”采用软、硬件结合的方式，硬件基于 FPGA，完成码流缓存和接口转换，在嵌入式软核 Nios 上运行程序，完成 DMA 传送、按键控制、LCD 显示以及应用程序对码流的分析与检错。

“DVB 码流监控系统”价格低廉，操作方便，与传统码流分析仪相比，具有较高的性价比。

二、功能说明

本系统具有码流分析与检错两大功能,并且同时具备两种工作模式,即实时分析与检错、离线分析与检错。此外,还实现了 ASI 与 SPI 两种接口的相互转换。

实时码流分析与检错是对动态接收到的 TS 流进行实时分析与检错,提取码流基本信息,并对是否符合 DVB-C 标准作出报告;离线码流分析与检错首先由用户任意选择截取一段 TS 流暂存于 SDRAM 上,然后仅对 SDRAM 进行访问,实现离线分析与检错。

1. 码流分析功能

- 码流的结构显示:显示码流中的 PSI 信息和节目的组成。
- 根据 DVB 的 ETR290 标准进行错误检查:对 ETR290 所提及的前两级码流错误进行检查并统计显示,主要检查同步丢失、同步字节错、PAT 错、连续计数错、PMT 错、PID 错、传输错、CRC 校验错、CAT 错等。
- 主要统计参数提取(如码率):对各种信息和每个节目的码率进行统计。
- 根据 ETS300 468 和 EN50083-9 标准对 PSI 表参数及内容进行分析。
- 详细语法和语意分析:对码流结构和组成进行详细分析;对传输码流分组(TS 包)的结构和组成进行详细分析。

2. 码流检错功能

本系统能够实现两个优先级的检错。

■ 第一优先级检错:

sync-loss: 同步字节丢失。

sync-byte-error: 同步字节出错。

PAT-error: PAT 出错。

continuity-count-error: 连续计数错误。

PMT-error: PMT 出错。

PID-error: PID 出错。

■ 第二优先级检错:

transport-error: 传输错误。

CRC-error: CRC 校验错。

PCR-error: PCR 出错。

PCR-accuracy-error: PCR 精度出错。

PTS-error: PTS 出错。

CAT-error: CAT 出错。

3. 接口转换功能

本系统具备两个 DVB 标准接口:ASI 接口和 SPI 接口。通过按键选择,可实现 SPI 入 SPI 出、SPI 入 ASI 出、ASI 入 ASI 出三种组合。接口转换功能依靠 FPGA 硬件逻辑实现。

三、性能参数

- 实现了 DVB 码流分析仪的全部功能,即提取码流信息,包括 PSI(PAT、PMT、CAT、

NIT)、PES(Video、Audio)、PID、码率等重要信息。

- 实现了 DVB 码流的两级检错——第一优先级与第二优先级检错, 未实现第三优先级检错。

- 实现了实时与离线两种工作模式。

- 实现了接口转换功能。

通过在 PC 平台上的模拟发现, 无论是实时还是离线工作模式, 都具有很高的工作精度。以下给出某一检测码流的实时分析与检错结果及性能。

(1) 码流分析:

<total packets>5103199 (79.1% of 6454792)

<PSI><PAT>2063 (78.4% of 2633)

<PMT>2055 (78.1% of 2632)

<CAT>0

<PES><video>4946792 (79.1% of 6257242)

<audio>0

<PCR>8594 (78.3% of 10965)

<other PID><NULL>7033 (99.9% of 7037)

<reserve>1758 (100% of 1758)

<other>145158 (78.4% of 185248)

<transport rate>rate=9.345552Mbps

(2) 码流检错:

Basic total_error_amount:8774 (75.6% of 11611)

PAT:767 (70.3% of 1091)

PMT:742 (68.5% of 1083)

CAT:0

Detail PCR:7265 (77% of 9437)

<1.3.1>0.5s_error: 767 (70.3% of 1091)

<1.5.1>0.5s_error: 742 (68.5% of 1083)

<2.3>40ms_error:7265 (77% of 9437)

error ratio

error_ratio=total_error_amount / total_packet_amount

error_ratio=8774/5103199=1.72‰ (real time)

error_ratio=11611/6454792=1.80‰ (PC)

四、系统构成

本系统的构成如图 1 所示。

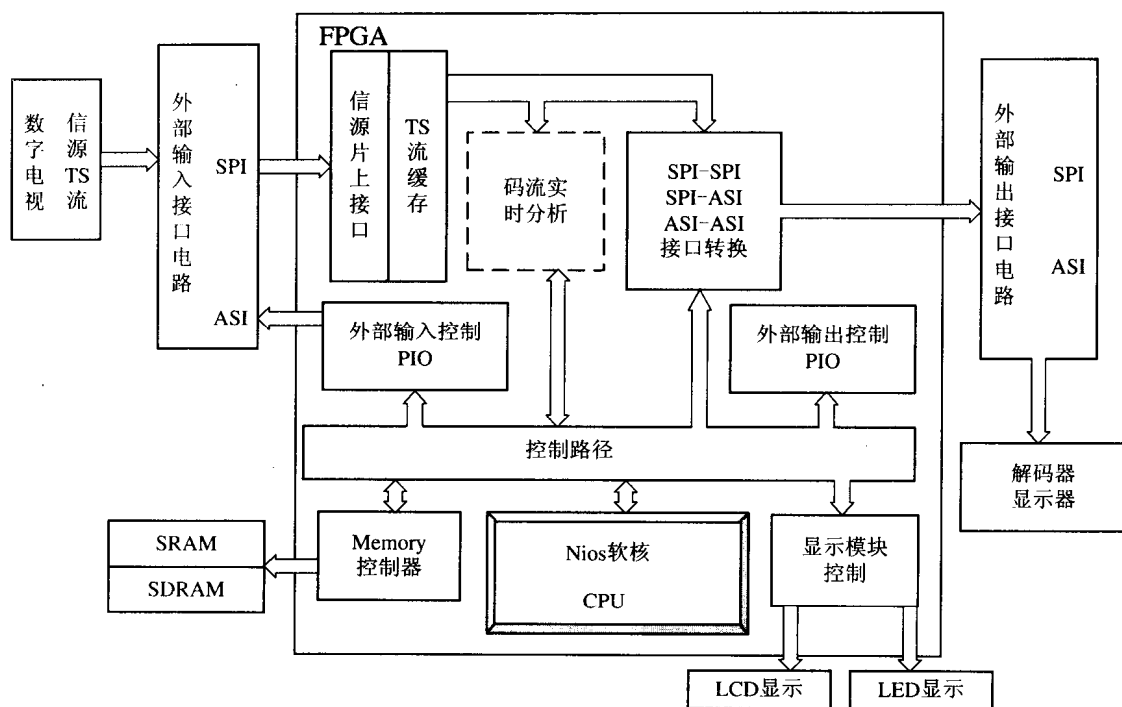


图1 系统的构成

五、设计描述

设计描述分硬件和软件两个模块。硬件是码流分析的基础，主要完成高速数据的获取和发送；软件是码流分析的灵魂，是智能分析的实现者。整个设计围绕软、硬件两部分进行。硬件设计主要设计了一块外部扩展板，完成 SPI、ASI 接口设计及其相互转换，并实现了 LVDS 与 TTL 电平的转换；软件设计主要实现码流分析与检错两大功能，且支持实时与离线两种工作模式。此外，按照作品的功能要求设计了所需要的 PIO 口和 SDRAM 控制器。

整个系统通过 Nios 处理器控制，SOPC Builder 负责添加各种外设、逻辑模块，并分配地址空间、中断优先级，极大地简化了系统设计。

1. 硬件模块

硬件模块由外部输入/输出接口模块、信源片上接口、TS 流缓存、接口转换等部分组成。

1) 外部输入/输出接口模块

● SPI 接口

从 DB25 BNC 头输入的 SPI 接口数据是 LVDS 电平，而此开发板所用器件 APEX20K200E 不支持 LVDS 电平，因此我们外加电路板上使用 DS90C032、DS90C031 分别进行 LVDS→TTL、TTL→LVDS 电平转换。

● ASI 部分

我们选用美国 CYPRESS 公司的端到端通信接收处理芯片来实现 DVB-ASI 接收和发送的解码、编码过程。

在 DVB 标准中明确地规定了 DVB-ASI 接收系统的解码规则。它包括时钟同步规则、恢复字节对齐规则、串/并转换规则、8B/10B 解码规则。DVB-ASI 接收系统接收到的串行输入比特流包括 MPEG2 传送数据流和特殊控制字符 K28.5。接收部分我们使用 CY7B933 来实现。

在输出端我们利用 CY7B923, 主要完成 8B/10B 编码、K28.5 同步字插入以及 TTL-PECL 电平转换, 然后经过 1:1 的隔离变压器及 BNC 头接入电缆。

我们在外部开发板上使用 PE65508 完成了信号的耦合和 1:1 的隔离变压。

为了进行不同接口输入/输出的选择, 我们使用了 74F245 作为不同切换间的使能选择。

2) 信源片上接口和 TS 流缓存

由于 SPI 接口和 ASI 接口的输入速率与系统时钟的差别, 在片上使用 FIFO 作为数据缓存和速率适配。

对于 SPI 数据输入, 将 DATA 和 CLOCK 信号直接连接到 FIFO 的输入端。

对于 ASI 数据输入, 利用 CY7B933 能够完成 DVB-ASI 接收系统的解码处理的全部过程, 也就是能够完成 DVB2ASI 的数据编码层的全部处理, 同时, CY7B933 的 I/O 信号可用于与异步 FIFO 和时钟 FIFO 的无缝接口。要对 K28.5 空字符进行删除处理。

删除填充字节 K28.5 是一个非常关键的问题。当接收到的不是 MPEG2 TS 数据而是 K28.5 空字符时, 可以使用一个外部 FIFO 与 CY7B9332400 进行无缝接口。通过 RDY 和 SC/D 来控制 FIFO 的写使能操作, 这样就通过 FIFO 滤掉了插入的空字符 K28.5。FIFO 写使能信号的波形如图 2 所示。

FIFO 使能: $WRITE = RDY \wedge SC/D$

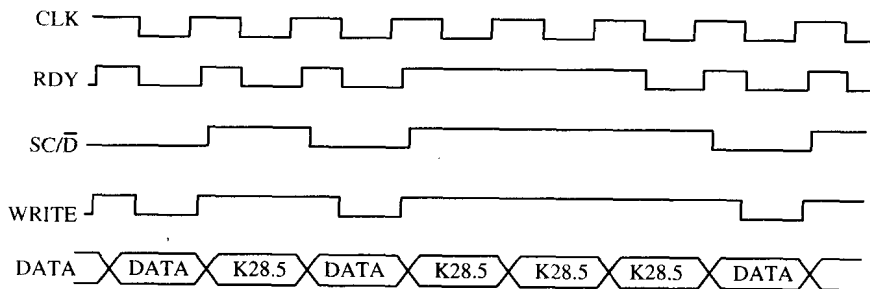


图 2 FIFO 写使能信号的波形图

我们将 FIFO 设为自定义的逻辑, 将写数据线和写使能线设置在 Nios CPU 外部, 将 FIFO 的读数据线、读时钟和读使能线分别与 Nios CPU 的读数据、系统时钟和读允许相连, 这样 FIFO 就很方便地挂接在了 Nios CPU 总线上, 从而很方便地从 FIFO 读端口获得数据流。具体数据流的方案将在软件模块中介绍。

3) 接口转换

接口转换主要是 SPI-ASI 的转换, 如图 3 所示。其实现方法是: 得到 SPI 接口定义的 DATA、PSYNC、DVALID 和 CLOCK 并行信号; 丢弃 PSYNC 和 DVALID 信号, 将 DATA 和 CLOCK 信号直接连接到 FIFO 的输入端。外部逻辑控制着 FIFO 的读, 从 FIFO 读出的数据送给 CY7B923 芯片。外部逻辑还控制着 CY7B923 进行编码转换, 并以 270 Mb/s 的速率输出串行数据。FIFO 的写入时钟即为 TS 流的字节时钟 CLOCK (小于 13.5 MHz), 而读出时钟为固定值 27 MHz。很显然, 读出速度远大于写入速度, 因此 FIFO 会下溢。根据 FIFO

的下溢标志来控制 CY7B923 插入同步字 K28.5, 采用不同的 FIFO 读逻辑。FIFO、FIFO 的读写控制逻辑和 CY7B923 的控制逻辑均由 FPGA 实现。

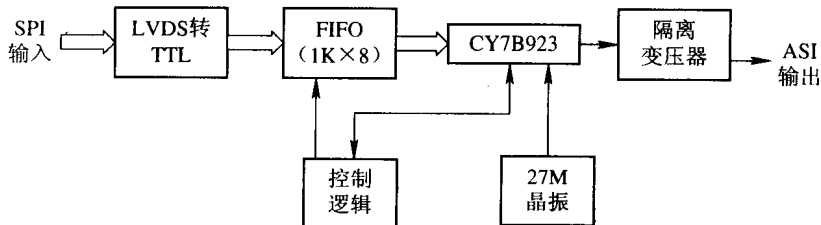


图3 SPI 转换为 ASI 的实现

2. 软件模块

1) 码流基本信息

● TS 流的语法结构

传送流分组长度为 188 个字节, 由分组首部(header)及有效负载(payload)组成。

分组首部(header)以固定的 8 位字段——同步字节 0x47 开始, 同步字节后面是几个重要的标志:

- transport_error_indicator —— 传送错误指示;
- payload_unit_start_indicator —— 有效负载起始指示;
- transport_priority —— 传送优先级指示;
- PID —— 分组标号;
- transport_scrambling_control —— 有效负载加密控制;
- adaptation_field_control —— 调整字段控制;
- continuity_counter —— 连续计数器。

有效负载(payload)可以带有原始流分组(PES)数据, 或者带有程序特殊信息(PSI)表, 或者带有私用数据。

● 原始流分组(PES)

原始流分组给出了原始流的类型, 由 stream_id 指示, 可以是视频、音频及其他类型信息(如私用信息)。为了传送的安全可靠, 原始流分组可以被加密, 加密模式由 PES_scrambling_control 指示。

● 程序特殊信息(PSI)

传送流中可以含有多道程序, 每道程序又由多个原始流组成, 每个原始流用惟一的 PID 标识。这些信息都在程序特殊信息(PSI)中进行了描述, 程序特殊信息不允许加密。

● 调整字段(adaptation_field)

调整字段含有程序参考时钟 PCR 等重要信息, 通过提取 PCR 可以求得码率(transport_rate)。调整字段可有可无, 由 adaptation_field_control 来控制。调整字段长度可变, 由 adaptation_field_length 决定。

2) 错误类型

● 第一优先级

sync-loss: 同步字节丢失(1.1)。

连续两个同步字节出错, 即为同步字节丢失。

sync-byte-error: 同步字节出错(1.2)。

同步字节不等于 0x47。

PAT-error: PAT 出错(1.3)。

PAT-error 有三种类型:

- ① 相临两个 PAT 分组的时间间隔>0.5 s(1.3.1)。
- ② table_id 不等于 0x00(1.3.2)。
- ③ 传送加密控制位(transport_scrambling_control)不等于 00(1.3.3)。

continuity-count-error: 连续计数错误(1.4)。

具有相同 PID 的分组的 continuity_counter 应该连续, 除非满足不连续条件。

PMT-error: PMT 出错(1.5)。

PMT-error 有三种类型:

- ①相临两个 PMT 分组的时间间隔>0.5s(1.5.1)。
- ②table_id 不等于 0x02(1.5.2)。
- ③传送加密控制位(transport_scrambling_control)不等于 00(1.5.3)。

PID-error: PDI 出错(1.6)。

在用户指定的周期内, PID 没有出现。

● 第二优先级

transport-error: 传输错误(2.1)。

传输错误指示位为真(transport_error_indicator=1)时, 出错。

CRC-error: CRC 校验错(2.2)。

32 位 CRC 校验码出错。

PCR-error: PCR 出错(2.3)。

相临 PCR 间隔超过 40 ms。

PCR-accuracy-error: PCR 精度出错(2.4)。

PTS-error: PTS 出错(2.5)。

CAT-error: CAT 出错(2.6)。

Table_id 不等于 0x01。

3) 基本信息提取

码流以字符类型存储, 对码流按字节操作, 通过与、或等位运算可以获取任意字节信息, 再通过移位运算提取多字节信息, 如 PID, 从而实现了 PSI、PES 及码率等基本信息的提取。

4) 检错的具体实现

1.1: 提取相临分组的同步字节, 若均不等于 0x47, 即位同步丢失。

1.2: 提取分组的同步字节, 若不等于 0x47, 即位同步字节出错。

1.3.2, 1.5.2, 2.6: 指针指向 table_id 所在的字节, 查看该字节是否与相应分组相适应。

2.1: 指针指向分组首部第二个字节, 将该字节与 0x80 相与, 再右移位 7 位, 即得 transport_error_indicator 值。

1.3.3, 1.5.3: 指针指向分组首部第 4 个字节, 将该字节与 0xC0 相与, 可得 transport

_scrambling_control 字段。

1.3.1, 1.5.1, 2.3: 在码率(transport_rate)已知时, 很容易求得两个分组的时间间隔, 再与规定的最大间隔比较, 判断是否出错。

2.2: CRC 校验检错。

5) 软件的实现流程

软件的实现流程如图 4 所示。

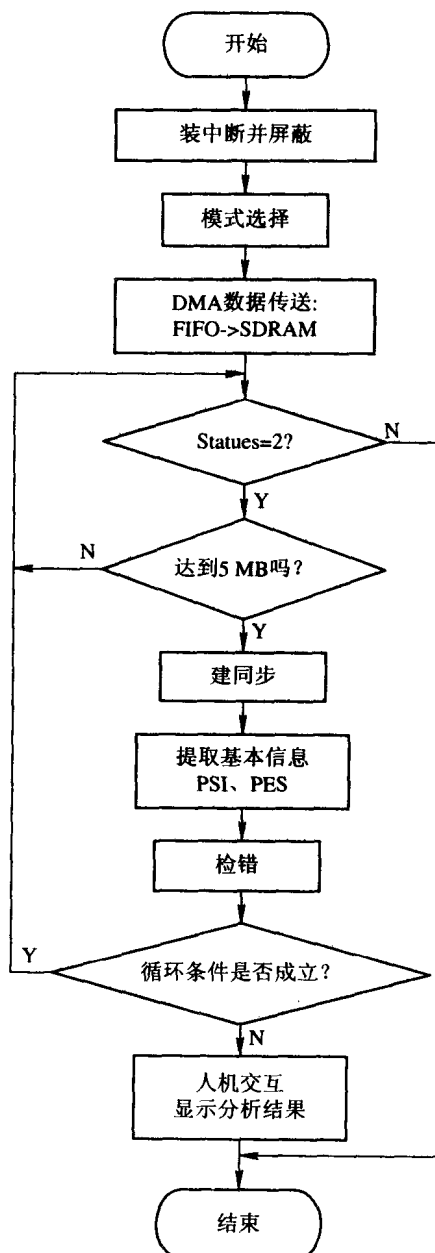


图 4 软件实现流程

六、系统特点

国外码流分析仪的研究工作开展比较早,在 MPEG-2 标准制定的同时,就有码流分析仪问世,惠普、WG、RS 和泰克等公司都推出了各自的码流分析仪。这几家公司的产品各有特点,而其核心都是基于 PC 硬件平台的。虽然这些产品性能较稳定,但产品价格均比较昂贵,操作不便。随着应用范围和规模的扩大,在一个应用场合下,可能会需要对较多的测试点进行长时间的实时码流分析、监控、系统信息采集和报警管理工作,昂贵的基于 PC 的测试设备显然无法满足这种要求。

为了解决这一问题,国内外主要生产厂商都转向并选择在便携式工控机上开发码流分析仪。虽然便携式工控机没有复杂的外设连线,但是也存在设备体积较大和硬件成本昂贵,功能受限于 PC 硬件和操作系统平台稳定性等问题。另外,市场上还有一种手持式的测试仪,有较好的移动性,但是也无法满足以较低的成本完成实时监控的要求。我们提出以通用的 FPGA 为基础、基于嵌入式硬件平台的设计方法,该模块具有很好的性价比,可以在现实生产中广泛采用。

本系统实现对 TS 码流定时采集、分析,以及基本信息和错误信息的保存和显示,满足了一般场合下基于 MPEG2-DVB 标准的码流监控。

在整个系统的设计中,设计前期较好地软、硬件模块进行了划分,使得两个部分可以并行工作,分别测试。我们使用了 Nios 中已有的针对开发板器件的 IP 核,并根据所用的 SDRAM 自定义了 Nios 中的 SDRAM 控制器。Nios 中提供的自定义逻辑器件方便地帮助我们将来 FIFO 与总线挂接、访问,用作 DMA 的从设备。利用 SOPC 的设计思想,整个系统可以在单芯片上设计,整个设计基于嵌入式软核 Nios,从而大大简化了设计方法,降低了生产成本。

七、总结

两个月的竞赛,是一个对 SOPC 开发、学习和应用的过程,是对 Nios 嵌入式设计逐渐熟悉的过程。我们作为此开发设计技术的使用者,对这项技术也有了更加深刻的认识。

(1) 清晰良好的设计环境。在两个月的时间完成开发软、硬件基础的学习,进行系统设计、实现及验证,这对我们是一场挑战。包含在 Quartus II 开发工具中的 SOPC Builder 提供了一种基于表格的录入系统,以及配套的完整的软件开发包,非常方便地满足了我们短期目标的实现,大大减化了我们学习的进程。

(2) 软件、硬件协同设计和验证。软、硬件并行设计是嵌入式系统设计的一项关键任务。在设计过程中的主要问题是软、硬件设计的同步与集成。系统的周密设计,软、硬件的合理划分, SOPC Builder 使我们能相对独立地进行软、硬件的实现,各自独立的功能验证也缩短了开发周期。

(3) 方便的外设设计。SOPC Builder 系统组件库中所列出的每一个组件,都提供一个以一些表格来描述该组件的文件,以及另一个用来描述接口信号及数据传输要求的文件。根据这些信息, SOPC Builder 自动生成一个包含所有译码逻辑、仲裁逻辑、中断控制、等待状态控制以及用于连接处理器与外设的数据通道匹配逻辑的网络。SOPC Builder 库组件可