



北京市高等教育精品教材立项项目

清华大学信息科学技术学院教材——信息与通信工程系列

逻辑设计与数字系统 (下册)

Logic Design and
Digital Systems(II)

刘宝琴 罗嵘 王德生 编著

Liu Baoqin Luo Rong Wang Desheng

清华大学出版社

清华大学信息科学技术学院教材——信息与通信工程系列

逻辑设计与数字系统 (下册)

Logic Design and Digital Systems(II)

刘宝琴 罗嵘 王德生 编著

Liu Baoqin Luo Rong Wang Desheng

清华大学出版社

北 京

内 容 简 介

本书分为上、下两册,共 18 章。上册包括第 1~10 章,主要内容有:数制与编码、逻辑代数、集成电路、组合逻辑电路的分析与设计、锁存器和触发器、常见的时序逻辑电路、同步时序逻辑电路与脉冲型异步时序电路的分析与设计、存储器和可编程逻辑器件,以及面向综合的 VHDL 设计描述。下册包括第 11~18 章,主要内容有:电位型异步时序逻辑电路的分析与设计、运算电路、数字系统设计基础、特殊存储器、可测性设计、逻辑仿真、面向仿真的 VHDL 设计描述,以及数模转换器和模数转换器。

本书体系合理、物理概念准确、理论联系实际、阐述清楚,便于自学。上册主要面向本科生,适合用做高等院校电子工程、计算机技术、自动控制和微电子器件等学科的专业技术基础课教材。下册可作为本科生高年级和硕士研究生的选修教材,申请“信息与通信工程学科”和“电子科学与技术学科”硕士学位同等学力人员的复习材料,以及相关专业工程技术人员参考书。

版权所有,翻印必究。举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

逻辑设计与数字系统(下册)/刘宝琴,罗嵘,王德生编著. 北京:清华大学出版社,2005.6

(北京市高等教育精品教材立项项目, 清华大学信息科学技术学院教材——信息与通信工程系列)

ISBN 7-302-10690-8

I. 逻辑… II. ①刘… ②罗… ③王… III. 数字系统—逻辑设计—高等学校—教材 IV. TP302.2

中国版本图书馆 CIP 数据核字 (2005) 第 022898 号

出 版 者: 清华大学出版社 地 址: 北京清华大学学研大厦

http://www.tup.com.cn 邮 编: 100084

社总机: 010-62770175 客户服务: 010-62776969

组稿编辑：邹开颜

文稿编辑：赵从棉

印 刷 者：北京市昌平环球印刷厂

装 订 者: 北京国马印刷厂

发 行 者：新华书店总店北京发行所

开 本: 185 × 230 印张: 19.5 字数: 414 千字

版次: 2005 年 6 月第 1 版 2005 年 6 月第 1 次印刷

书 号: ISBN 7-302-10690-8/TN · 241

印 数: 1 ~ 3000

定 价: 28.00 元

出版说明

本套教材是针对清华大学信息科学技术学院所属电子工程系、计算机科学与技术系、自动化系、微电子研究所、软件学院的现行本科培养方案和研究生培养计划的课程设置而组织编写的。这些培养方案和培养计划是基于清华大学对研究型大学的定位和对研究型教学的强调,吸纳多年来在教学改革与实践中所取得的成果和形成的共识,历经多届试用和不断修订而形成的。贯穿于其中的“本科教育的通识性、培养模式的宽口径、教学方式的研究型、专业课程的前沿性”的相关思想是我们组编本套教材所力求体现的基本指导原则。

本套教材以本科教材为主并适量包括研究生教材。定位上,属于信息学科大类中各个基本方向的基本理论和前沿技术的一套高等院校教材。层次上,覆盖学院公共基础课程、专业技术基础课程、专业课程、研究生课程。领域上,涉及6个系列14个领域,即学院公共基础课程系列,信息与通信工程系列(含通信、信息处理等领域),微电子光电子系列(含微电子、光电子等领域),计算机科学与技术系列(含计算机科学、计算机网络与安全、计算机应用、软件工程、网格计算等领域),自动化系列(含控制理论与控制工程、模式识别与智能控制、检测与电子技术、系统工程、现代集成制造等领域),实验实践系列。类型上,以文字教材为主并适量包括多媒体教材,以主教材为主并适量包括习题集、教师手册等辅助教材,以基本理论和工程技术教材为主并适量包括实验和实践课程教材。列入这套教材中的著作,大多是清华大学信息科学技术学院所属系所院开设的课程中经过较长教学实践而形成的,既有多年教学经验和教学改革基础上新编著的教材,也有部分已出版教材的更新和修订版本。教材在总体上突出求新与求实的风格,力求反映所属领域的基本理

论和新进展,力求做到学科先进性和教学适用性的统一。

本套教材的主要读者对象为电子科学与技术、信息与通信工程、计算机科学与技术、控制科学与工程、系统科学、电气工程、机械工程、化学与技术工程、核能工程等相关理工专业的大学生和研究生,以及相应领域和部门的科学工作者和工程技术人员。我们希望,这套教材既能为在校大学生和研究生的学习提供内容先进、论述系统和适于教学的教材或参考书,也能为广大科学工作者与工程技术人员知识更新与继续学习提供适合的和有价值的进修或自学读物。我们同时要感谢使用本系列教材的广大教师、学生和科技工作者的热情支持,并热忱欢迎提出批评和意见。

《清华大学信息科学技术学院教材》编委会

2003年10月

前言



数字电子技术课程的核心内容是数字电路的工作原理、分析和设计方法,以及数字系统的基本知识。重点是组合逻辑电路的分析和设计、同步和异步时序逻辑电路的分析和设计、数据处理器和控制器的设计。本书围绕数字系统这一主线,介绍逻辑设计的理论知识、VHDL 语言和计算机辅助设计工具,使读者学会正确运用各种规模的数字集成电路(特别是可编程逻辑器件),设计易于测试、可靠工作、通用或专用的数字系统。

全书分为上、下两册,共 18 章。

上册包括第 1~10 章,其中第 1~4 章为基础知识。第 1 章为绪论。第 2 章为数制与编码。第 3 章讨论分析和设计逻辑电路的数学工具——逻辑代数,以及 VHDL 硬件描述语言的基本知识。第 4 章从使用器件的角度出发,介绍了 TTL 和 CMOS 数字集成逻辑电路的基本工作原理和特性参数。第 5~8 章介绍各种逻辑电路的分析和设计方法。第 5 章介绍组合逻辑电路的分析与设计。第 6 章介绍锁存器和触发器。第 7 章介绍常见的时序逻辑电路。第 8 章综合了第 5~7 章的知识,介绍了同步时序电路和脉冲型异步时序电路,这两种时序逻辑电路由组合逻辑电路和触发器构成,是数字系统中十分重要的电路。第 9 章介绍了存储器和可编程逻辑器件。第 10 章对面向综合的 VHDL 设计描述中的一些语法和注意事项做了重点介绍。

下册包括第 11~18 章。第 11 章介绍电位型异步时序逻辑电路的分析与设计。第 12 章介绍了二进制数的加、减、乘和除等运算电路。第 13 章是本书的一个重点,通过几个数字系统设计的实例,介绍了数字系统设计方面的基本概念和设计方法,为读者进一步学习通用或专用的数字系统打下基础。第 14 章简单介绍了几种常见的专用存储器。第 15

章讨论了可测性设计问题。第 16 和 17 章分别为逻辑仿真和面向仿真的 VHDL 设计描述。第 18 章介绍数字信号和模拟信号相互转换的电路。

在选材上,本书注重基础知识,介绍今后相当长一段时间内仍然行之有效的基本理论和方法;同时,反映近年来数字电子技术的新发展和新应用,介绍新器件和新技术。注意培养学生分析问题和解决问题的能力,精选实例和习题,强调了器件传输延时等时间参数、系统中各信号在时间上的配合以及解决电路中竞争-险象等问题的重要性,列举了不同规模的数字系统设计的典型实例,加强了有关数字系统的设计知识,增加了可测性设计和逻辑仿真等内容。

VHDL 是一种常用的硬件描述语言,作为一种尝试,本书伴随各种硬件电路的讨论,逐步地介绍各种相关的 VHDL 语句。这种做法有利于消除 VHDL 语言与硬件脱节的现象,并且还有利于按照人们的认识规律由浅入深地掌握 VHDL 语言。如果读者根据学习的需要而跳过书中有关 VHDL 的章节,也不影响阅读的连续性。此外,本书上册附有一张光盘,内含 ALTERA 公司的两个 PLD 开发软件。读者借助于其中的任一个软件,均可在奔腾 PC 计算机上学习 VHDL 语言,验证自己设计电路的正确性,并熟悉 PLD 的开发过程。

在编写过程中,本书力求做到体系结构安排合理,物理概念阐述准确,表述科学,说理透彻,语言流畅,通过实例使读者深入理解理论知识,以达到学以致用、便于自学之目的。

本书上册面向电子工程、计算机技术、自动控制 and 微电子器件等学科的本科生;下册为本科生高年级和硕士生的选修教材,并可作为申请(信息与通信工程学科和电子科学与技术学科)硕士学位同等学力人员的复习材料和相关专业技术人员的参考书。

笔者在北京清华大学从事数字电路方面的教学和科研工作已 40 多年,积累了较丰富的教学 and 实践经验,主讲的课程受到同学的欢迎,获得过校级和市级的教学成果奖励,所编著的《数字电路与系统》(1993 年清华大学出版社出版)于 1996 年获信息产业部(原电子部)第三届全国普通高等学校优秀教材二等奖。为适应十多年来数字电子技术飞速发展的态势与教学改革的需要,笔者将历年的讲课笔记、素材积累乃至经验、教训进行归纳、总结,并融合了另两位作者多年教学与科研工作的体会,共同努力编写了本书。书中第 7,8 章由王德生执笔,第 15,16 章由罗嵘执笔,其余的章节和全书的统稿工作由笔者完成。

在编写本书的过程中,清华大学董在望教授给予了热情的支持和具体的指导,北京信息工程学院朱茂镒教授精心阅读了全书,提出了很多有益的建议,Altera 公司中国上海代表处为本书提供了 PLD 开发软件,在此一并表示感谢。

限于作者水平,本书会存在不少缺点和不足之处,欢迎广大读者批评指正。

刘宝琴

2004 年秋于清华大学

本书图形符号的说明

本书附录 B 给出了国家标准 GB 4728. 12—85《电气图用图形符号——二进制逻辑单元》的简要说明,并在附录 C 中列举了本书采用的一些门和触发器的逻辑符号。

在用中大规模集成器件组成更大的电路时,本书采用示意性的方框图来表示这些器件。通常,将输入信号画在方框图的左方(或上方);输出信号画在方框图的右方(或下方)。对于输入(或输出)信号是“0 电位有效”的情况,在其信号名的文字上方加一横线来构成它的名称。这时,信号名的文字上方的横线是名称中不可分割的一部分,它不是“非”运算符,而只是提示该信号是以 0 电位作为有效电位的。例如, $\overline{R_D}$, $\overline{E}$, $\overline{LD}$ 和 $\overline{CS}$ 分别为 0 电位时实现直接(强制)复位(direct reset)、使能(enable)、置数(load)和片选(chip select)功能的信号。又例如,存储器的读写信号写成 $R/\overline{W}$,它表示该信号为 1 电位时,存储器进行读(read)操作;0 电位时,进行写(write)操作。在实际工作中,方框图所用的是一种简便的图形符号,并不属于国家标准规定的逻辑图形符号。对于方框中每个输入(或输出)信号的物理意义,需要根据电路(或器件)的功能表、逻辑图,甚至波形图和必要的说明才能全面地理解。

顺便说明,在 VHDL 语句中,为了表示以逻辑 0 电位为有效电位的信号,本书特意在其信号名上附加一个“N”字。例如, $\overline{LD}$ 记为 LDN, $\overline{CS}$ 记为 CSN, $\overline{CR}$ 记为 CRN, $\overline{EN}$ 记为 ENN。

目 录

Contents

第 11 章	电位型异步时序逻辑电路的分析与设计	1
11.1	电位型异步时序逻辑电路的特点	1
11.2	波形图分析法	2
11.3	电位型异步时序电路的模型和流程表	7
11.4	电位型异步时序电路的分析	10
11.5	电位型异步时序电路的设计	13
11.5.1	设计步骤	13
11.5.2	设计举例	14
11.5.3	不稳定状态下输出值的确定	21
小结		21
习题		22
第 12 章	运算电路	23
12.1	加法和减法运算	23
12.1.1	反码和补码	23
12.1.2	二进制正、负数的表示法	24
12.1.3	带符号位的二进制数的补码运算	25
12.1.4	溢出和符号位扩展	26
12.1.5	算术移位	28
12.2	算术逻辑单元	29
12.3	乘法电路	35
12.3.1	正数的乘法电路	35
12.3.2	补码乘法电路	37

12.4	除法电路	44
12.4.1	恢复余数的除法	45
12.4.2	不恢复余数的除法	46
12.5	流水线工作方式	47
小结		50
习题		50
第 13 章	数字系统设计基础	53
13.1	数字系统的特点和描述方法	53
13.2	系统级	55
13.3	算法级	56
13.4	寄存器传输级	56
13.4.1	寄存器传输级中的微操作	57
13.4.2	数据处理器与控制器	62
13.4.3	ASM 图	63
13.4.4	数据传送的实现	70
13.4.5	控制器的分支转移	73
13.5	ASM 机设计举例(一)	76
13.6	ASM 机设计举例(二)	80
13.7	ASM 机设计举例(三)	84
13.8	存储程序计算机	90
13.8.1	计算机的硬件与软件	90
13.8.2	简单计算机	91
13.9	接口电路	106
13.9.1	键盘扫描电路	106
13.9.2	扫描式数码管显示电路	110
13.9.3	异步并行数据传送	113
13.9.4	异步串行数据传送	119
13.10	数字信号处理器的设计考虑	125
小结		126
习题		126
第 14 章	特殊存储器	130
14.1	双口 RAM	130



14.2	先进先出存储器	132
14.3	双口 RAM 和 FIFO 的应用	134
14.4	FIFO 的实现	139
14.5	堆栈	143
14.6	按内容寻址存储器	147
14.7	串行接口 EEPROM	148
	小结	152
	习题	152
第 15 章	可测性设计	153
15.1	逻辑电路的测试方法	154
15.1.1	组合逻辑电路的测试	154
15.1.2	时序逻辑电路的测试	169
15.2	可测性的度量	175
15.2.1	易于测试的组合电路结构	175
15.2.2	可测性度量的定义	177
15.2.3	可测性度量的计算	178
15.3	可测性设计的方法	182
15.3.1	分块测试	182
15.3.2	改善可控性和可观察性的方法	183
15.3.3	扫描通路设计	186
15.3.4	电平敏感扫描设计	187
15.4	内测试	191
15.4.1	基本结构	192
15.4.2	内建逻辑模块观察器	197
15.4.3	内测试的特点	199
15.5	边界扫描测试	199
	小结	202
	习题	202
第 16 章	逻辑仿真	204
16.1	逻辑仿真的模型	205
16.1.1	元件模型和电路网表	205
16.1.2	信号的逻辑值和强度	206

16.1.3	延迟时间	213
16.1.4	仿真时钟	215
16.2	逻辑仿真的算法	215
16.2.1	仿真过程	215
16.2.2	仿真的分类及算法	216
16.3	故障仿真	224
16.3.1	故障模型分类	225
16.3.2	故障仿真方法	227
小结		232
习题		232
第 17 章	面向仿真的 VHDL 设计描述	233
17.1	仿真模型	233
17.2	仿真的算法	234
17.3	仿真周期	234
17.4	延时	235
17.5	δ 延时	237
17.6	信号赋值和变量赋值	238
17.7	仿真的初始化	239
17.8	测试平台	240
小结		248
习题		248
第 18 章	数模转换器和模数转换器	250
18.1	数模转换器的工作原理	250
18.1.1	数模转换关系	250
18.1.2	权电阻解码网络型数模转换器	253
18.1.3	梯形解码网络型数模转换器	255
18.1.4	倒梯形电阻网络型数模转换器	257
18.1.5	权电流型数模转换器	258
18.1.6	双极性数模转换器	262
18.1.7	权电容网络型数模转换器	265
18.1.8	树状开关网络型数模转换器	266
18.2	数模转换器的主要参数	267

18.3	数模转换器应用举例.....	269
18.4	模数转换器的主要参数.....	271
18.5	取样-保持电路和模拟多路选择器	272
18.6	直接的模数转换器.....	278
18.6.1	并行模数转换器.....	278
18.6.2	并串行模数转换器.....	280
18.6.3	计数斜坡式模数转换器.....	282
18.6.4	跟踪式模数转换器.....	283
18.6.5	逐次逼近型模数转换器.....	284
18.7	间接的模数转换器.....	287
18.7.1	频率-数字转换器	288
18.7.2	时间-数字转换器	288
18.7.3	电压-频率转换器	288
18.7.4	电压-时间转换器	289
18.7.5	双斜积分式模数转换器.....	290
	小结.....	292
	习题.....	292
	参考文献	294

11

电位型异步时序逻辑电路的分析与设计

11.1 电位型异步时序逻辑电路的特点

电位型异步时序逻辑电路又称为电平型异步时序电路(level asynchronous sequential circuit),这类电路由组合逻辑电路加反馈线构成。例如,图 11.1.1(a)所示的基本 R-S 锁存器是一个简单的电位型异步时序电路,图 11.1.1(b)所示的同步化电路是一个较复杂的电位型异步时序电路(见习题 11-3)。电位型异步时序电路没有同步控制的时钟信号,输入信号电位的改变直接影响着电路的状态和输出信号的改变。为了使电位型异步时序电路正常工作,通常不允许两个或两个以上输入信号同时发生变化,并且输入信号两次变化之间的时间间隔必须足够长,保证做到:当且仅当电路处于稳定状态时,即前一个输入信号变化引起的电路响应完全结束之后才允许输入信号发生新

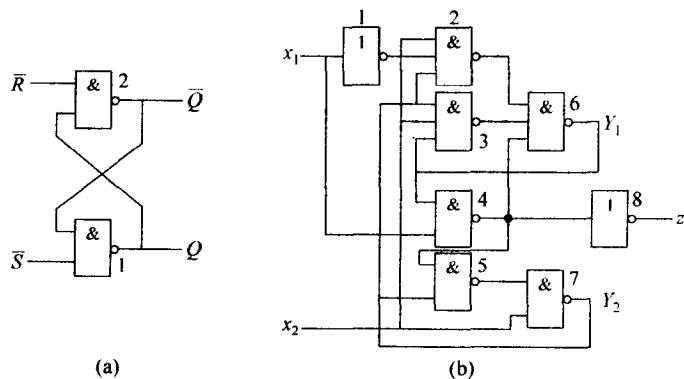


图 11.1.1 电位型异步时序电路

(a) 基本 R-S 锁存器; (b) 同步化电路

的变化(见 11.4 节),这种工作方式称为“基本工作方式”。因此,电位型异步时序电路又称为基本型时序电路(fundamental sequential circuit)。

事实上,第 6 章讨论过的各种锁存器和触发器都是一些电位型异步时序电路。当把一个锁存器(或触发器)作为一个电位型异步时序电路看待,并对其进行分析和设计时,它的使能信号(或时钟信号)就不再是控制信号,而是和其他输入信号(例如, R , S , D , J 和 K 输入信号)一样对待了。

分析电位型异步时序电路有两种方法:一是画波形图,二是列出电路的流程表。下面结合实例对这两种分析方法分别予以介绍。

11.2 波形图分析法

分析电位型异步时序电路最直观的方法就是上册第 6 章中使用过的画波形图的方法,这种方法可以手工实现,也可以在计算机上通过逻辑仿真实现。

【例 11.2.1】 分析图 11.2.1 所示的维持-阻塞型 D 触发器。它是一种时钟上升沿触发的边沿触发型触发器,其功能表见表 11.2.1。

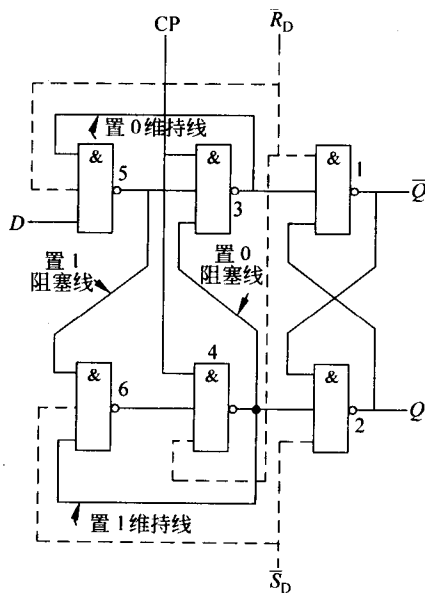


图 11.2.1 维持-阻塞型 D 触发器

1. D 触发器功能分析

图 11.2.1 所示的 D 触发器由 6 个与非门组成。其中,门 1 和门 2 构成基本的 R-S 锁

表 11.2.1 D 触发器功能表

输 入				次 态	功 能
$\bar{R}_D$	$\bar{S}_D$	D^n	CP	Q^{n+1}	
1	0	ϕ	ϕ	1	异步置 1
0	1			0	异步置 0
0	0			不允许	非法状态
1	1	0	$\uparrow$	0	同步置 0
		1	$\uparrow$	1	同步置 1

注：表中 $\uparrow$ 符号表示 CP 上升沿； ϕ 表示任意值。

存器，门 3、门 4、门 5 和门 6 构成维持-阻塞电路。下面先不考虑图 11.2.1 中虚线所示的异步复位 $\bar{R}_D$ 和异步置位 $\bar{S}_D$ 部分，并假定各个门的传输延时 t_{pd} 相同，通过画波形的方法分析该 D 触发器的功能。

当 CP=0 时，门 3 和门 4 的输出均为 1，门 5 和门 6 的输出分别为 $\bar{D}$ 和 D 的值，门 1 和门 2 构成的基本 R-S 锁存器保持原状态不变。

当 CP 上升沿到来时，分 $D=0$ 和 $D=1$ 两种情况来讨论触发器的置 0 和置 1 过程。

(1) 输入数据 D 已处于 0 状态。由于 CP=0 时，门 5 输出为 1，门 6 输出为 0（见图 11.2.2(a)），故当 CP 由 0 变为 1 后，门 3 输出变为 0，它使门 1 和门 2 构成的基本 R-S 锁存器翻转成 0 状态： $Q=0, \bar{Q}=1$ 。

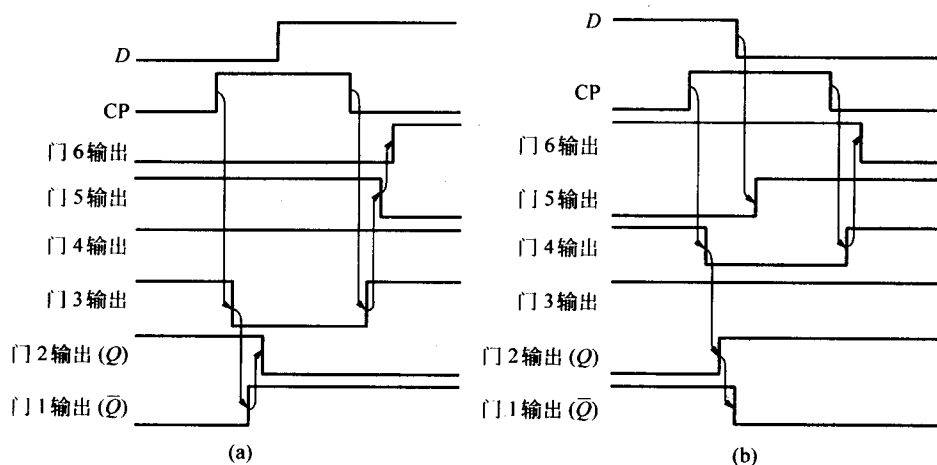


图 11.2.2 D 触发器的翻转过程

(a) 置 0; (b) 置 1

若在 $CP=1$ 期间,门 3 的输出变为 0 以后, D 由 0 变为 1,则由于门 3 输出的 0 反馈到门 5 的一个输入上,使门 5 输出不受 D 变为 1 的影响而仍为 1,这就又保证了门 3 输出为 0。事实上,门 3 和门 5 构成了一个具有记忆作用的基本 R-S 锁存器,称门 3 输出到门 5 输入的连线为置 0 维持线。同时,由于门 4 和门 5 为 1,使得门 6 输出仍为 0,继而又保证了门 4 的输出为 1,称门 5 输出到门 6 输入的连线为置 1 阻塞线。因此,置 0 维持线和置 1 阻塞线保证了在 $CP=1$ 期间,门 4 输出为 1,门 3 输出为 0,触发器可靠地被置 0,且不会发生变为 1 状态的空翻。直到 CP 变为 0,门 3 的输出变为 1 以后,门 5 的输出才变为 0,门 6 的输出再变为 1,等待下一个 CP 上升沿的到来。

(2) 输入数据 D 已处于 1 状态。由于 $CP=0$ 时,门 5 和门 6 的输出分别为 0 和 1(见图 11.2.2(b)),故当 CP 由 0 变为 1 后,门 4 输出变为 0,它使门 1 和门 2 构成的基本 R-S 锁存器翻转成 1 状态: $Q=1, \bar{Q}=0$ 。

若在 $CP=1$ 期间, D 由 1 变为 0,虽然门 5 的输出由 0 变为 1,但是,由于此时门 4 输出的 0 接到了门 3 的输入,使得门 3 的输出仍为 1,称门 4 输出到门 3 输入的连线为置 0 阻塞线。同时,由于门 4 输出的 0 反馈到门 6 输入端,使得门 6 输出维持 1 状态,这又保证了门 4 输出为 0。事实上,门 4 和门 6 构成了一个基本 R-S 锁存器,称门 4 输出到门 6 输入的连线为置 1 维持线。因此,置 1 维持线和置 0 阻塞线保证了在 $CP=1$ 期间,门 3 输出为 1,门 4 输出为 0,触发器被可靠地置 1,且不会发生变成 0 状态的空翻。直到 CP 变为 0,门 4 输出变为 1 以后门 6 输出才变为 0,等待下一个时钟上升沿的到来。

2. 建立时间 t_{su} 和保持时间 t_h

在 CP 上升沿时,维持-阻塞型 D 触发器接收 D 输入端的信号,并发生相应的翻转。但是, D 信号必须比 CP 上升沿提前一个建立时间 t_{su} 到来,以保证门 5 和门 6 建立起应有的状态。此外, D 信号在 CP 上升沿之后还需要保持一段时间 t_h ,以保证有关的维持信号和阻塞信号来得及起维持和阻塞作用。因此,为了可靠地工作,从建立时间开始到保持时间为止的这段期间内, D 信号不应发生变化,也不要出现干扰脉冲。

3. 异步复位和异步置位

图 11.2.1 中虚线示出了异步复位 $\bar{R}_D$ 和异步置位 $\bar{S}_D$ 的连线。 $\bar{R}_D$ 和 $\bar{S}_D$ 是 0 电位有效的,且无论 CP 和 D 为何值,只要 $\bar{R}_D$ (或 $\bar{S}_D$) 为 0 都立即将触发器强迫置 0(或置 1),并在 $\bar{R}_D$ (或 $\bar{S}_D$) 回到 1 以后,触发器仍保持 0(或 1)状态,直到下一个 CP 上升沿到来后,触发器才有可能改变状态。

下面分析 $CP=D=1$ 时的异步复位过程,以及 $CP=1$ 且 $D=0$ 时的异步置位过程,其他情况下的异步复位和置位工作,请读者自行分析。

(1) 当 $CP=D=1$ 时, $\bar{R}_D=0(\bar{S}_D=1)$ 的异步复位(见图 11.2.3(a))。