

高等院校电子技术系列教材

蔡懿慈 周 强 编著

超大规模集成电路

设计导论



清华大学出版社

高等院校电子技术系列教材

超大规模集成电路设计导论

蔡懿慈 周 强 编著

清华大学出版社
北 京

内 容 简 介

本书从非微电子专业读者掌握 VLSI 设计知识和技能的需求出发,以器件、电路和系统设计为背景,系统全面地介绍 VLSI 设计的知识和方法,主要内容包括 VLSI 设计概论、MOS 器件设计、半导体工艺基础知识、电路设计及参数计算、基本逻辑电路设计、VLSI 版图设计、半定制全定制及片上系统(SOC)的设计方法以及 VLSI 计算机辅助设计等。

本书是作者十多年来在清华大学计算机科学与技术系为本科生和研究生开设 VLSI 设计相关课程教学与 VLSI EDA 研究的经验基础上,结合目前集成电路设计的发展状况编写而成。本书作为 VLSI 设计导论性书籍,内容广泛,叙述由浅入深,既可作为大专院校计算机、自动化、电机和机电等专业本科生和研究生学习的教材或参考书,也可作为从事 VLSI 设计的技术人员的参考书。

版权所有,翻印必究。举报电话:010-62782989 13901104297 13801310933

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

本书防伪标签采用清华大学核研院专有核径迹膜防伪技术,用户可通过在图案表面涂抹清水,图案消失,水干后图案复现;或将表面膜揭下,放在白纸上用彩笔涂抹,图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

超大规模集成电路设计导论/蔡懿慈,周强编著. —北京:清华大学出版社,2005.1

(高等院校电子技术系列教材)

ISBN 7-302-09952-9

I.超… II.①蔡…②周… III.超大规模集成电路—电路设计 IV.TN470.2

中国版本图书馆 CIP 数据核字(2004)第 120404 号

出版者:清华大学出版社 地 址:北京清华大学学研大厦

<http://www.tup.com.cn> 邮 编:100084

社总机:010-62770175 客户服务:010-62776969

组稿编辑:王景先

文稿编辑:刘 颖

封面设计:陈刘源

印刷者:北京市清华园胶印厂

装订者:北京市密云县京文制本装订厂

发行者:新华书店总店北京发行所

开 本:185×260 印张:17.5 字数:412千字

版 次:2005年1月第1版 2005年1月第1次印刷

书 号:ISBN 7-302-09952-9/TN·222

印 数:1~4000

定 价:26.00元

本书如存在文字不清、漏印以及缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:(010)62770175-3103 或(010)62795704

前 言

微电子技术的飞速发展，使超大规模集成电路及其相关技术不再仅仅是微电子学科的专门知识，它已成为电子、自动化和计算机等各相关学科需要了解和掌握的基础知识。VLSI 及其相关技术是现代信息技术发展的基石，对国民经济起着巨大的推动作用。随着 VLSI 技术的迅速发展，使 VLSI 设计专业与相关学科越来越紧密地联系在一起。特别是 SOC 技术的出现，可以将一个计算机系统集成于一个芯片上，极大地扩展了 VLSI 技术的应用。在国家有关产业政策的支持下，我国集成电路产业发展迅速，面临难得的发展机遇，需要大批集成电路设计方面的人才。而目前，国内集成电路计算机辅助设计领域的人才缺乏，因此，培养有 VLSI 设计基础的 EDA 人才也是经济发展的需要。

本书是信息技术类专业跨学科基础性教材，着重介绍 VLSI 设计基础知识。其目的是通过对 VLSI 工艺和设计方法，以及 EDA 领域研究成果的介绍，使读者了解国内外集成电路技术的发展状况；同时通过集成电路设计方面基础知识的介绍，使读者掌握集成电路设计方面的基本理论和技能。通过本书的学习，读者可初步了解 VLSI 设计的过程和计算机辅助设计在集成电路设计中的作用，了解和掌握一种 EDA 设计工具的使用方法，培养在集成电路设计方面的兴趣和能力。

本书分为 9 章。第 1 章介绍集成电路的发展、集成电路的设计过程及设计要求、电子设计自动化技术的发展、集成电路设计的表示方法等。第 2 章简要介绍 CMOS 集成电路的制造过程，并描述基本的制造步骤。第 3 章较深入地讨论 MOS 晶体管的原理、CMOS 反相器的直流特性，以及其他常用的基本电路。第 4 章介绍电路的性能评价，包括电路特性及参数计算、信号传输延迟计算、功耗分析等，以及电路模拟工具 SPICE。第 5 章介绍逻辑设计，包括晶体管的串并联技术、逻辑门的延迟计算、CMOS 传输门、CMOS 逻辑结构和时钟策略等。第 6 章介绍子系统，包括数据路径运算器设计、存储器设计、控制电路设计和 I/O 电路设计。第 7 章介绍版图设计及版图描述语言 CIF。第 8 章从系统的观点探讨 CMOS 集成电路的设计方法，介绍全定制和半定制设计方法，及片上系统 SOC 的设计方法。第 9 章介绍数字系统设计自动化，包括系统设计流程概述、硬件描述语言 VHDL 和 Verilog HDL、系统测试及封装。

本书由清华大学蔡懿慈和周强编著，本书是根据作者十几年的授课经验，在教学及科研实践的基础上，加以补充、修改和完善的。本书注重系统性、科学性及先进性，内容广泛完整。配合 EDA 工具的上机实践，可使读者全面了解和掌握 VLSI 设计的整个流程及设计方法。

作 者

2004 年 5 月于清华园

目 录

第 1 章 集成电路设计概论1	
1.1 集成电路的发展.....1	
1.2 集成电路设计的发展.....3	
1.3 电子设计自动化技术的发展.....3	
1.4 深亚微米和超深亚微米工艺对 EDA 技术的挑战.....5	
1.5 VLSI 设计的要求.....6	
1.6 VLSI 的设计方法学.....7	
习题.....13	
第 2 章 CMOS 集成电路制造技术15	
2.1 半导体材料——硅.....15	
2.2 集成电路制造技术简介.....16	
2.2.1 热氧化工艺.....16	
2.2.2 扩散工艺.....18	
2.2.3 淀积工艺.....21	
2.2.4 光刻工艺.....22	
2.3 CMOS 集成电路制造过程.....27	
2.3.1 晶圆处理.....27	
2.3.2 CMOS 集成电路工艺 (前部工序).....28	
2.3.3 后部工序.....32	
习题.....34	
第 3 章 器件设计技术35	
3.1 引言.....35	
3.2 MOS 晶体管的工作原理.....37	
3.2.1 半导体的表面场效应.....37	
3.2.2 PN 结的单向导电性.....39	
3.2.3 MOS 管的工作原理.....40	
3.3 MOS 晶体管的直流特性.....41	
3.3.1 NMOS 管的 电流-电压特性.....41	
3.3.2 PMOS 管的 电流-电压特性.....43	
3.4 反相器直流特性.....45	
3.4.1 MOS 反相器的一般问题.....46	
3.4.2 电阻负载反相器(E/R).....50	
3.4.3 增强型负载反相器(E/E).....50	
3.4.4 耗尽型负载反相器(E/D).....52	
3.4.5 CMOS 反相器.....54	
习题.....57	
第 4 章 电路参数及性能58	
4.1 MOS 晶体管的参数.....58	
4.1.1 阈值(开启)电压.....58	
4.1.2 沟道长度调制效应.....60	
4.1.3 漏-源截止电流.....60	
4.1.4 直流导通电阻.....62	
4.1.5 栅-源直流输入电阻.....62	
4.1.6 栅-源击穿电压.....63	
4.1.7 漏-源击穿电压.....63	
4.2 信号传输延迟.....64	
4.2.1 CMOS 门延迟.....64	
4.2.2 连线延迟.....69	
4.2.3 电路扇出延迟.....71	
4.2.4 大电容负载驱动电路.....71	
4.3 CMOS 电路功耗.....74	
4.3.1 CMOS 电路的静态功耗.....74	
4.3.2 CMOS 电路的动态功耗.....75	
4.3.3 电路总功耗.....77	
4.3.4 功耗管理.....77	
4.4 CMOS 电路的闩流效应.....82	
4.4.1 闩流效应的起因.....82	
4.4.2 闩流效应的控制.....84	
4.5 电路模拟 HSPICE 简介.....85	

4.5.1 文件格式说明	85	6.2.5 电可擦除可编程 EEPROM.....	141
4.5.2 HSPICE 应用例子.....	91	6.2.6 动态随机存储器 DRAM.....	142
4.6 电路设计例子	92	6.2.7 静态随机存储器 SRAM	146
习题	97	6.3 控制电路.....	147
第 5 章 逻辑设计技术	99	6.4 I/O 电路	151
5.1 MOS 管的串、并联特性	99	6.4.1 整体结构	151
5.1.1 串联特性	99	6.4.2 电源和地线	152
5.1.2 并联特性	100	6.4.3 输出压焊块	152
5.2 逻辑门的延迟	101	6.4.4 输入压焊块	153
5.3 传输门	106	6.4.5 三态和双向压焊块.....	154
5.3.1 NMOS 传输门.....	106	习题	155
5.3.2 PMOS 传输门	107	第 7 章 版图设计技术	156
5.3.3 CMOS 传输门.....	107	7.1 引言	156
5.4 CMOS 逻辑结构	108	7.2 版图设计过程.....	157
5.4.1 异或门	109	7.3 版图设计规则.....	159
5.4.2 同或门.....	110	7.3.1 设计规则的内容与作用.....	159
5.4.3 虚拟 NMOS 逻辑.....	111	7.3.2 设计规则的描述.....	160
5.4.4 CMOS 骨牌逻辑.....	114	7.3.3 CMOS 的 N 阱工艺	
5.4.5 可编程逻辑阵列	114	设计规则	161
5.4.6 多路选择器	116	7.3.4 设计规则的基础.....	165
5.4.7 锁存器和触发器	117	7.3.5 版图设计例子.....	167
5.5 时钟策略	119	7.4 版图描述语言 CIF.....	167
5.5.1 时钟控制系统	119	7.5 版图电学参数计算.....	170
5.5.2 单相时钟的参数	120	7.5.1 电阻的估算	170
5.5.3 系统时序	121	7.5.2 电容的估算	174
5.5.4 时钟电路	122	习题	182
习题	125	第 8 章 系统设计方法与实现技术	183
第 6 章 子系统设计	126	8.1 系统设计方法.....	183
6.1 数据路径运算器.....	126	8.1.1 结构化设计思想.....	184
6.1.1 加法器	127	8.1.2 自动设计、半自动设计	
6.1.2 二进制计数器	130	和手工设计.....	185
6.1.3 寄存器	132	8.1.3 正向设计与反向设计.....	186
6.2 存储器	136	8.1.4 自顶向下设计与自底	
6.2.1 存储器的结构	137	向上设计	186
6.2.2 掩膜编程存储器 MROM.....	138	8.1.5 基于单元的设计方法与	
6.2.3 现场可编程 PROM.....	139	IP 复用技术	187
6.2.4 可擦除可编程 EPROM.....	140	8.2 系统实现技术.....	188

8.3 门阵列、宏单元阵列及门海.....	189	习题	218
8.3.1 门阵列实现技术	189	第 9 章 数字系统设计自动化	219
8.3.2 宏单元阵列模式	195	9.1 数字系统设计流程概述.....	219
8.3.3 门海设计模式	196	9.1.1 数字系统及其设计自动化.....	219
8.4 标准单元实现方式.....	196	9.1.2 基于设计自动化的	
8.5 现场可编程门阵列.....	199	设计流程	223
8.6 全定制电路设计.....	201	9.1.3 单元库	226
8.6.1 全定制电路的结构化		9.1.4 EDA 技术的发展趋势	227
设计特征	201	9.2 硬件描述语言.....	228
8.6.2 几种全定制设计方法	202	9.2.1 VHDL 语言	230
8.6.3 不同设计方法比较	204	9.2.2 Verilog HDL 语言	239
8.7 设计经济学	206	9.3 设计分析与模拟.....	245
8.7.1 非循环成本	206	9.4 自动综合与设计验证.....	248
8.7.2 循环成本	207	9.4.1 自动综合	248
8.7.3 固定成本	208	9.4.2 设计验证	257
8.8 系统芯片 SOC 设计方法.....	210	9.5 系统测试及封装.....	259
8.8.1 系统芯片的研究背景	210	9.5.1 系统的测试方法.....	259
8.8.2 系统芯片的研究内容	211	9.5.2 系统封装	263
8.8.3 软硬件协同设计	212	习题	268
8.8.4 IP 核的生成及复用.....	214	参考文献	269
8.8.5 超深亚微米集成电路设计.....	215		
8.8.6 系统芯片设计			
方法学发展方向	217		

第 1 章 集成电路设计概论

集成电路于 1959 年问世, 10 年以后, 即 1970 年, 1Kbit 的存储器问世。接着微处理器(microprocessor)于 1971 年投入市场, 宣告集成电路生产进入大规模集成电路时代。自那时起, 集成电路的集成度一直以每三年翻一番这样惊人的速度发展至今。本章简要概括集成电路(Integrated Circuit, IC)的发展, 集成电路的设计过程及设计要求, 电子设计自动化(Electronics Design Automation, EDA)技术的发展, 集成电路设计的表示方法等。

1.1 集成电路的发展

自集成电路发明到现在已经 40 多年了, 存储器、微处理器等大规模集成电路(Large Scale Integrated circuits, LSI)的应用也已经有 30 多年的历史了。在这期间, 集成电路不断地高速发展, 形成了新的集成电路产业, 对社会的发展做出了重大的贡献。目前, 作为信息技术主要支柱的通信设备与计算机, 其中主要硬件设备是集成电路。以集成电路的发展为标志的微电子技术无所不在, 已成为现代信息社会的基础。

1946 年, 世界上第一台电子计算机诞生于美国的宾夕法尼亚(Pennsylvania)大学。这台被命名为 ENIAC 的电子计算机由 18000 个电子管、70000 个电阻、10000 个电容及 6000 个继电器构成。只读存储器(ROM)容量为 16Kbit, 随机存储器(RAM)容量为 1Kbit, 时钟频率为 100kHz。这台计算机全长 30m, 宽 1m, 高 3m, 重量为 30t, 功耗为 174kW。由于电子管的寿命问题, 这台计算机平均正常工作的时间只能达 2.5 小时。

1948 年, 点接触晶体管问世, 1949 年, 结型晶体管问世, 而由结型晶体管构成的电子计算机于 1955 年投入市场。

1959 年, 世界上第一块集成电路在美国德州仪器公司(TI)和美国仙童公司(Fairchild)诞生, 这块集成电路上只集成了 4 个晶体管。1962 年世界上出现了第一块集成电路正式商品, 这预示着第 3 代电子器件已正式登上电子学舞台。集成电路的发明大大地促进了电子设备的小型化和低功耗。与采用单个电子管和晶体管相比, 采用集成电路还可以大大降低电子设备的故障率, 使更庞大的电子系统的制造成为可能。

自从 1959 年集成电路诞生以来, 经历了小规模(Small Scale Integrated circuits, SSI)、中规模(Medium Scale Integrated circuits, MSI)、大规模(Large Scale Integrated circuits, LSI)、超大规模(Very Large Scale Integrated circuits, VLSI)和甚大规模(Ultra Large Scale Integrated circuits, ULSI)的发展过程, 如表 1.1 所列。目前已进入系统集成或片上系统(System On a Chip, 简称 SOC)的时代, 如图 1.1 所示, 可以将各种各样的功能模块, 例如存储器(Memories)、数字电路(Digital Circuits)、模拟电路(Analog Circuits)和输入/输出接口电路(Input/Output Interface Circuits)等集成在一个芯片上。从集成电路的特征尺寸上, 目前商业化集成电路芯

片的特征尺寸为 $0.13\mu\text{m}\sim 0.18\mu\text{m}$ ，今后发展的趋势是 $0.045\mu\text{m}\sim 0.10\mu\text{m}$ ，即集成电路已进入深亚微米工艺和超深亚微米工艺时代。集成电路技术正在迅速地向着更高集成度、超小型化、高性能、高可靠性的方向发展。

表 1.1 集成电路按规模分类

名称	无件数/芯片
SSI	少于 100
MSI	100~1000
LSI	1000~10 万
VLSI	10 万~1000 万
ULSI	1000 万以上

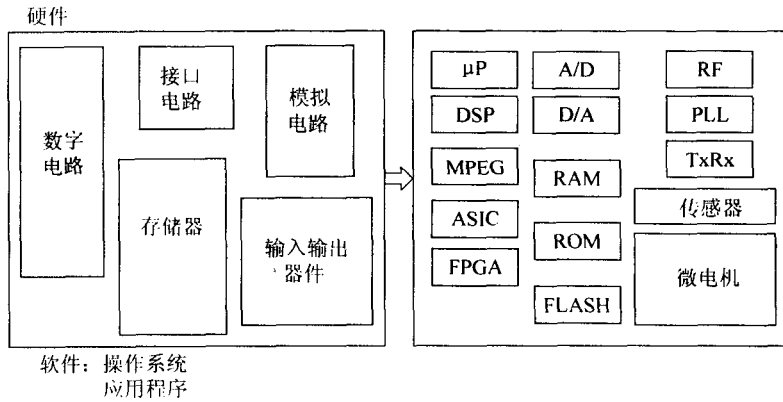


图 1.1 片上系统

过去的 40 多年里，集成电路的发展一直遵循美国 Intel 公司的创始人之一摩尔(Gordon E. Moore)在 1960 年发表的摩尔定律，即集成电路的集成度每三年翻一番。预计今后 15 年内集成电路的发展仍服从这一定律。

美国半导体工业协会(SIA)于 1997 年发表了美国半导体技术发展蓝图(NTRS)，表 1.2 是发展蓝图的部分指标。

表 1.2 发展规划代次的指标

	1997	1999	2001	2003	2006	2009	2012
最小线宽/ μm	0.25	0.18	0.15	0.13	0.10	0.07	0.05
DRAM 容量	256MB	1GB	未定	4GB	16GB	64GB	256GB
每片晶体管数/ 10^6	11	21	40	76	200	520	1400
芯片尺寸/ mm^2	300	340	385	430	520	620	720
频率/MHz	750	1200	1400	1600	2000	2500	3000
金属化层层数	6	6~7	7	7	7~8	8~9	9
最低供电电压/V	1.8~2.5	11.5~1.8	1.2~1.5	1.2~1.5	0.9~1.2	0.6~0.9	0.5~0.6
最大晶圆直径/mm	200	300	300	300	300	450	450

目前,集成电路朝着两个方向发展:一是在发展微细加工技术的基础上,开发超高速、超高集成度的电路。二是迅速、全面地利用已达到的或已成熟的工艺技术、设计技术、封装技术和测试技术等开发各种专用集成电路。

1.2 集成电路设计的发展

在集成电路发展的同时,集成电路的设计也走过了3个时期。

(1) 20世纪60~70年代的初级集成电路硬件设计时期。

集成电路设计的初级阶段是针对SSI/MSI的,可设计各种逻辑门、触发器、计数器、寄存器和编译码器等,集成电路的集成度为几百门。将这些集成电路设计成标准元件,再由系统设计师将其做成板级系统,而后在整机上联调由印刷电路板(Printed Circuit Board, PCB)组装的电子系统,这个阶段能设计的系统整机不超过一万门,板级系统约一千门。

(2) 20世纪70~80年代的集成电路的软件编程设计时期。

随着集成电路工艺的发展,在一个芯片上集成上百万只晶体管已经成为可能。这一阶段的集成电路设计主要是微处理器、随机存储器和只读存储器。微处理器的出现方便了专用电子系统的开发,用户通过编程可以在微处理器上实现各种专用电子系统。系统设计师将微处理器、外围电路和存储器组装在PCB板上,使用由汇编语言或高级语言编制的程序去调试系统,而后由专业的厂家制作供用户开发的单板机和开发系统。随后又出现了单片机、微控制器和数字信号处理器及其相应的开发系统。软件编程的灵活性和微处理器的通用性使这种方法一直沿用至今。但是,由于实时性不足和大量的设计冗余电路使它在应用上有很大的局限性。

(3) 20世纪80~90年代的专用集成电路(Application Specific Integrated Circuit, ASIC)和系统集成设计时期。

1986年底,集成电路厂家已经能够提供亚微米工艺和单片集成一万门的设计和制造能力,使系统设计师能够将他们想设计的电路直接设计在自己的专用芯片上,他们借助于电子产品自动化设计工具,利用集成电路厂家提供的设计库,完成万门和数十万门ASIC和集成系统的设计与验证。然后,按照标准格式和测试要求,与集成电路制造厂家交接电路设计结果。

这是系统设计用户直接在芯片上设计硬件的阶段,他们采用集成电路厂家提供的各种设计库和集成电路的工艺设计规则,使用各种电子设计自动化工具,为器件的描述与制造生成各种设计和制造的文件。由于采用基于单元库和电子设计自动化工具这种全新的设计手段和设计方法进行芯片设计,所以完全有别于传统电子系统的硬件设计。

1.3 电子设计自动化技术的发展

集成电路制造业的飞速发展对集成电路设计方法和工具提出了巨大的挑战。集成电路工艺技术以每三年翻一番的速度向前发展,集成电路设计技术要适应工艺技术的发展,就

必须要有相应的增长速度。集成电路产业是以市场、设计、制造和应用为主要环节的系统工程，设计是连接市场和制造之间的桥梁，是集成电路产品开发的入口。成功的产品源于成功的设计，成功的设计取决于优秀的设计工具。集成电路计算机辅助设计(IC Computer Aided Design, IC CAD)的出现，使集成电路设计向着更广(产品种类越来越多)、更快(设计周期越来越短)、更准(一次成功率越来越高)、更精(设计尺寸越来越精细)、更强(工艺适应性和设计自动化程度越来越强)的方向发展。

以计算机科学和微电子技术为先导的电子设计自动化技术是汇集计算机应用科学、微电子结构与工艺技术，以及电子系统学科最新成果的先进计算机辅助设计技术。由于产品的开发使用了在先进的计算机工作平台上开发出一整套电子设计的软件工具，故电子产品的开发更是与电子设计自动化(Electronics Design Automation, EDA)工具的发展紧密相连的。所谓“工欲善其事，必先利其器”，ASIC 和系统集成能有今天这样迅速发展的局面，是与 30 多年来 EDA 技术的发展分不开的。同时，集成电路工艺的迅速发展也不断地推动着集成电路 EDA 工具的更新换代。如今电子设计自动化作为一个新兴产业也已经经历了三代的发展。

20 世纪 70 年代初期，在集成电路产业发展初期，集成电路设计附属于半导体工业加工。集成电路设计的内容包括电路模拟和版图的设计验证，使用的工具是 SPICE 和第一代 IC CAD 系统。第一代的 IC CAD 系统为集成电路设计师提供方便的版图编辑、设计验证和数据转换等功能。

20 世纪 80 年代初，MOS 工艺发展迅速，一跃成为制作集成电路的主体工艺。1980 年美国加州理工学院的 Mead & Conway 出版了 Introduction to VLSI System。这部著作对集成电路设计业的形成和发展起着重要的作用，它不仅为大量培养集成电路设计人才提供了文字材料，也提出了棍图、符号法等集成电路设计方法，更主要的是提出了以 λ 设计规则和 Scaling 规则为主要内容的集成电路设计与工艺制造相对独立的思想。与此同时，对 MOS 工艺制定了统一的标准。这不仅为集成电路设计师提供了规范的设计规则，更重要的是为使集成电路设计过程独立于实际工艺加工提供了技术支持。在这一时期，EDA 技术进入了第二代，推出了以原理图为基础的 EDA 系统，主要是以仿真(逻辑模拟、时序分析和故障仿真)和自动布局布线为核心的 EDA 工具。其中，自动布图的出现是 EDA 技术第一次突破性的发展。第二代 IC CAD 工具完全替代了第一代 IC CAD 工具。第一代工具虽然已经过时，但它创立的 GDS II 版图数据格式仍然为世人所采用。第二代 IC CAD 工具和系统为集成电路设计与整机设计、集成电路设计与工艺加工建立联系提供了手段和条件。

20 世纪 80 年代后期，复杂的电子设计要求使含功能定义和性能指标信息的原理图设计输入成为电子系统设计自动化的一个瓶颈。自动综合器的出现打破了这个瓶颈，这也是 EDA 技术的第二次突破性进展，使电子设计从被动地对设计结果的分析验证转向主动地去选择一个最佳的设计结果。设计分析工具只能分析设计有没有错，但不能确定错误出现在哪里；设计综合器不但能从硬件描述语言(HDL)中产生出设计结果的电路图，还能对满足各种约束条件的设计结果做比较。

进入 20 世纪 90 年代后，EDA 技术开始全面支持电子系统设计自动化(Electronics System Design Automation, ESDA)。ESDA 的核心是设计前期过程中原来由设计师从事的高层次设计工作由设计工具来完成。例如，转换用户要求为系统设计技术规范；在可用的

设计资源与理想的设计目标之间做折中处理；按具体的硬、软件和算法分解设计，以及在工程变动操作(ECO)时维持对设计的管理和跟踪等，使电子系统设计进入了所谓“概念设计”的阶段。工具的使用尽管是用大量的知识工程与专家(经验)系统辅助了设计者的决策，但它并不能代替设计者的思维，更不能代替设计师的决策。EDA 技术第三次突破的标志是在用户与设计者之间开发了一种虚拟的设计环境。用户将为他想设计的电子产品选择一个虚拟的原型，然后设计师去确认一种满足用户要求的实现方式。因此设计师要在抽象概念的高层次上，通过系统级行为和算法描述、系统级的功能验证、系统级的综合优化和自动插入可测试的结构，实现系统级设计师与 ASIC 工程师之间的双向交互的自动化设计环境，设计师可采用虚拟的设计工具去完成用户希望的电子产品实现方式。

随着电子产品复杂程度的增加和市场竞争对缩短产品开发周期的要求，产品开发一次成功的要求也越来越迫切。电子系统设计师不可能熟悉各个半导体生产厂家不同的集成电路制造工艺，这就要求 EDA 技术提供独立于工艺的系统级设计工具、高级抽象的设计构思手段(如框图、状态图和流程图的编辑能力)和适于多层次和混合信号描述的抽象硬件描述语言(如 VHDL、Verilog HDL 等)。随着电子产品种类的增多，各种工艺的标准元件库已经远远不能适应系统级设计的要求，而设计以微处理器、数字信号处理器(DSP)、各种存储器、输入/输出(I/O)接口、半定制电路(如门阵列、标准单元)、可编程逻辑阵列(FPGA)和 ASIC 的各种宏单元组成的库和它们的建模工作也提到日程上来。只有在抽象级别上建立这种通用的设计库，才能在电路级和物理级实现真正的仿真和综合，进而大大缩短仿真和综合的时间。由于验证设计需要将所有可能的状态经历一遍才能确定描述是否正确，所以传统的验证非常费时，对系统的可靠性只能估计。如果设计的系统采用行为功能描述，就可以在设计的早期考虑系统的可靠性、可测试性和可制造性。在概念产品的整个设计过程中，如功能、逻辑、时序和故障等设计中，验证设计始终应该把仿真-综合-测试三者交织在一起。在生成电路的同时生成测试电路和测试向量，这样就可以实现高故障覆盖率的测试性设计。ESDA 是以系统级 EDA 工具为核心的，它包括了系统级的行为描述与结构综合，系统级的仿真与测试验证，系统的划分与指标分配，以及系统的决策与文件生成等一整套的电子系统自动化设计工具。

1.4 深亚微米和超深亚微米工艺对 EDA 技术的挑战

集成电路的发展经历了微米(特征尺寸 $>1\mu\text{m}$)、亚微米(特征尺寸 $<1\mu\text{m}$)、深亚微米(特征尺寸 $<0.6\mu\text{m}$)发展阶段，进入超深亚微米(特征尺寸 $<0.1\mu\text{m}$)阶段。在集成电路的工艺水平已经进入深亚微米($<0.6\mu\text{m}$)以后，深亚微米集成电路设计面临着 4 个方面的挑战，即缩小尺寸、增加集成度、提高系统性能和降低功耗。这 4 个因素之间是相互制约的，很难说哪个因素对深亚微米设计起着决定性的作用。随着工艺特征尺寸的缩小，处理互联延迟比处理门延迟更为重要。在 $0.8\mu\text{m}$ 时，互连线延迟已占总延迟的 70%，在 $0.35\mu\text{m}$ 以下时，器件性能的影响因素几乎主要来自互连线。互连线设计已经成为深亚微米集成电路设计中时延分析的主体。随着晶体管尺寸变小，开关速度加快、器件的节点电容下降，互连线的电容和电阻在不断增加，使建立互连线模型和分析互连线布线对延时的影响成为深亚微米设计

的一大特点。集成电路设计分析工具原来采用的提取门节点负载电容的基本假设不再有效，相应的用以门延时为依据的 EDA 仿真与综合工具估算电路的精度也受到了影响。设计综合工具必须同时对门级和互连线进行综合，甚至可以看成是在互连线网络上挂了一些门，故电路的性能在很大程度上直接与互连线模型的建立有关，表明 EDA 工具为深亚微米工艺下的系统设计重新建立器件和互连模型已刻不容缓。

随着纳米($<0.1\mu\text{m}$)工艺的来临，对集成电路设计和 EDA 技术的挑战是革命性的。纳米集成电路的设计实现，需要从连线开始，并以连线的完善结束。在纳米集成电路设计中，如果对于连线没有具体的安排，就不可能掌握其性能。如果没有对连线进行优化和分析，这样设计出来的集成电路注定是要失败的。连线在纳米集成电路设计中起着决定性的作用，它除了占延迟的主要成分以外，在纳米级集成电路设计中日益严重的物理效应，如信号完整性(Signal Integrity)、IR 电压降、电迁移等也将严重影响电路的性能。在纳米级集成电路设计阶段，连线主导电路性能和可制造性这一事实的出现，使得传统的 EDA 设计方法失去了作用，研究新一代的以连线为基础，能够将各种物理效应考虑在内的 EDA 设计工具势在必行。

1.5 VLSI 设计的要求

1. 设计周期要求

激烈的市场竞争对缩短产品的开发周期提出了要求，要求产品的开发时限尽可能短。所谓产品开发的时限是指在产品的市场寿命期间应让产品早日上市。从市场的角度，希望产品开发者能预见到市场对产品的需求，开发应市的产品应该做到无延误地投放市场。

如图 1.2 中三角形面积是产品的市场效益，如果因某种因素引起所开发产品的上市延误，延误后的市场效益用带阴影的三角形面积表示，这两者之间的差即产品延迟投放市场的延误损失。假若以两年为一个市场周期(上市与下市)，则市场周期为 $2W$ ，延误一个月的损失率为 24%。若因开发推迟了产品应市一年，则延误损失将是其收益的 2 倍，那么这种产品开发的價值就不大了。

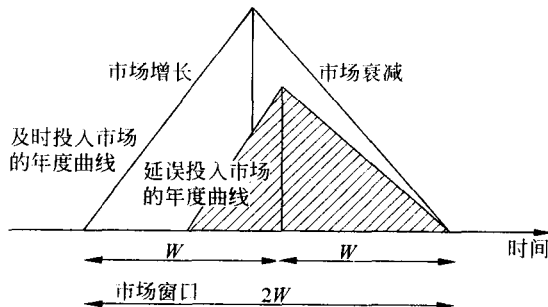


图 1.2 市场窗口

2. 设计成本要求

集成电路的成本包括：设计费用、制造费用，以及此过程中工程师的人工费。开发设

计费用一般以人年计算,即开发过程中的人数与时间的乘积。

设计时间在设计成本中占主要地位,它不仅影响产品最终的成本,而且受市场竞争的制约。一般来讲,对于市场需求量大、通用性强的电路,可用全定制设计方式设计,以减小芯片面积、提高电路性能。这种设计方式的缺点是费时。而对于批量不大的专用电路,可采用半定制的设计方式,以缩短设计时间、减小设计费用。这种设计方式的缺点是芯片面积的利用率低。

3. 设计正确性及性能要求

设计的正确性是集成电路设计中最基本的要求。集成电路设计一旦完成并送交制造厂生产后,再发现有错误,就需要重新进行设计、制版和流片。这种设计失误所带来的不仅仅是高投片费用的损失,还有设计周期的延误、产品上市的推迟及竞争失败等一系列巨大的损失。由于 VLSI 集成度越来越高、电路实现的功能越来越复杂,加上由于工艺的提高,出现了许多新的问题,如电路的延迟、噪声、串扰、功耗、时钟偏移过大、电迁移、光学邻近效应等问题,使得设计的复杂性呈双指数倍的增长,设计难度越来越大。对这样的芯片进行设计,所要花费的设计代价也是十分昂贵的。因此,必须满足 100% 的设计正确性要求。

4. 设计过程集成化要求

在 VLSI 集成电路设计中,所有的设计工作在制造出电路之前是通过设计师借助于计算机工具进行验证、分析和辅助设计。由于集成电路设计这一独特的限制,就需要有功能更强、性能更好的 EDA 设计工具将整个集成电路设计过程统一考虑,前后呼应,从全局的观点使系统设计达到最优。

目前,实际 EDA 工具几乎渗透到了 VLSI 设计的各个步骤中,从电路设计描述编辑与验证、高层次综合工具,到工艺模拟、器件模拟、电路分析、逻辑验证、逻辑综合,以及版图验证及参数提取、物理综合工具、封装工具等。

5. VLSI 设计可测试性要求

测试在 VLSI 设计中是一个十分重要的课题。测试的意义在于检查电路是否能按设计要求正常工作。随着 VLSI 功能的日趋复杂,测试费用所占的比例明显增大,虽然芯片测试是在 VLSI 生产过程当中进行的,为了减小测试所需要的资源,往往在电路设计阶段就要考虑其可测试性的问题,以便增强测试的简易性。具体做法是在已有的逻辑设计基础上添加一些专门用于测试的辅助电路。

1.6 VLSI 的设计方法学

VLSI 设计覆盖了电路与系统、微电子学、计算机等多个专业,是一个十分复杂的过程。VLSI 设计方法学可以简化设计工作的复杂性。由于 VLSI 设计的复杂性和设计正确性的要求,决定了 VLSI 设计工作必须借助于 CAD 工具进行。而设计方法学旨在通过人工干预设计与 CAD 工具之间的交互过程来取得尽可能高的设计效率。

1. VLSI 设计的一般过程

集成电路的生产过程可以分为两大步骤：设计和制造。这一节主要介绍设计过程如图 1.3 所示，在下一章中我们将介绍制造过程。

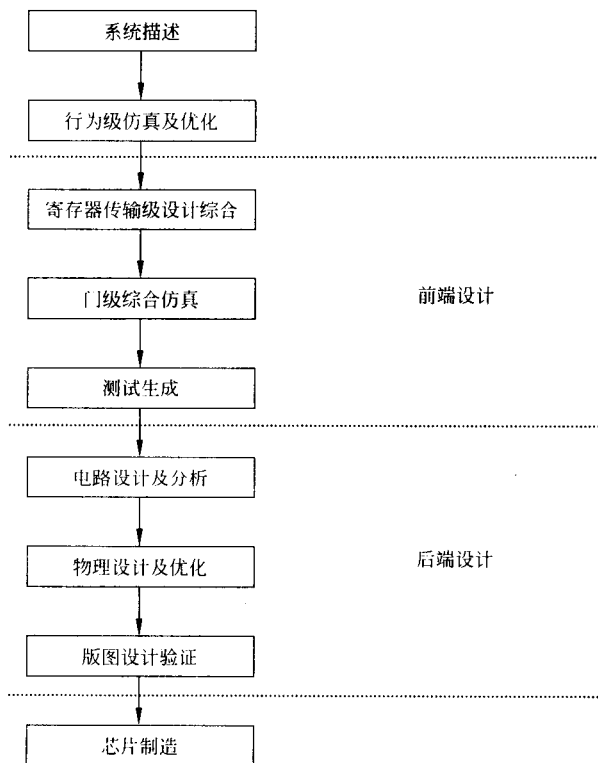


图 1.3 VLSI 设计流程

(1) 系统规范化说明(System Specification)

VLSI 的设计过程一般是从系统需求开始的。EDA 工具需要将用户需求转化为由功能描述和技术指标表示的系统规范化说明。包括系统功能、性能、物理尺寸、设计模式、制造工艺、设计周期、设计费用等。

(2) 寄存器传输级设计(Register Transition Level Design)

根据系统设计的要求和特点，由集成电路设计人员借助于 EDA 工具将系统功能具体化。主要是完成系统功能的实现方案设计，即给出系统的时序图及各子模块之间的数据流图。一个复杂系统的简化办法最好是将其划分成子系统，然后分而治之。在系统划分时需要根据某种工艺下给出的经过高度抽象的单元库中的大量模块进行划分。有了这些系统设计信息，设计人员就可以利用仿真模拟的方法改进整个系统设计，使之达到最优，并可以简化后续的设计步骤。

(3) 逻辑设计(Logic Design)

这一步是将系统功能结构化。在系统功能设计的基础上，借助于 EDA 工具和模型库将各子系统模块加以结构化、实体化，选择合适的逻辑部件来实现系统的功能。通常以文本、原理图、逻辑图表示设计结果，有时也采用布尔表达式来表示设计结果。对于一个逻辑结

构需要反复进行模拟验证，并进行设计优化。

(4) 电路设计(Circuit Design)

电路设计是将逻辑设计表达式转换成电路实现。在这一步设计中要考虑电路的速度、功耗、噪声等，以满足系统整体性能的要求。电路设计中同样也需要使用 EDA 工具对设计结果进行电路分析以及设计优化。

(5) 物理设计(Physical Design)

物理设计或称版图设计(Layout Design)是 VLSI 设计中最费时的一步。它要将电路设计中的每一个元器件，包括晶体管、电阻、电容、电感等，以及它们之间的连线转换成集成电路制造所需要的版图信息，而这些版图信息是用带有层次的几何图形表示的。对于上亿个元件以及它们的互连用几何图形表示，其数据量之大、问题之复杂是人工所不能解决的，必须依靠计算机进行辅助设计完成。

(6) 设计验证(Design Verification)

在版图设计完成以后，非常重要的一步工作是版图验证。对于版图上的器件和连线，它们的电流有多大；电阻、电容、电感有多少；特别是寄生参数的大小。这在电路设计阶段是无法准确得知的。因此，需要对版图进行参数提取。包括提取电路连接关系、寄生电阻、寄生电容、寄生电感，然后进行各种模拟验证，以确保该设计的正确性。主要包括：设计规则检查、版图的电路提取、电学规则检查和寄生参数提取。

经过验证的版图可以提交给集成电路制造厂进行制版、生产。到此为止，集成电路的设计可以完成。

2. 层次式的设计方法

层次式设计是 VLSI 设计中最广泛使用的方法，它可以简化 VLSI 设计的复杂性。层次式设计方法分为自顶向下和自底向上两种方法。图 1.4 给出了这两种层次设计的示意图。

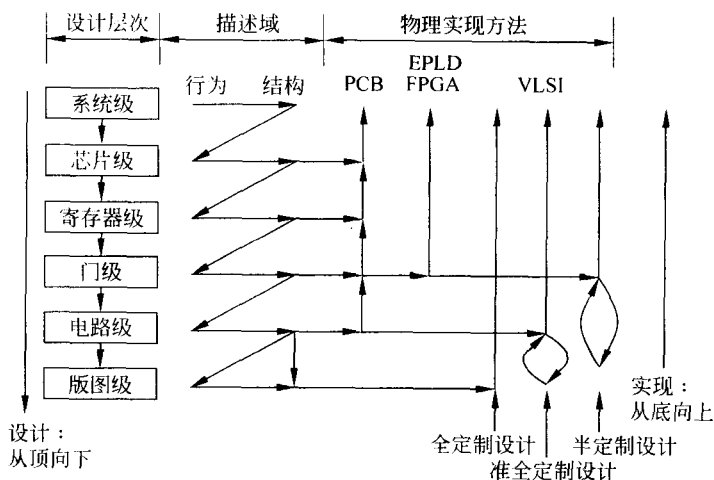


图 1.4 集成电路的层次式设计过程

层次设计将设计目标划分为不同层次的级别，而针对设计对象的不同，又可以划分为几个不同的设计区域。这里设计域的划分是针对不同的设计描述方式而确定的，它是相当

抽象的设计表示方法。整个层次化设计分为 3 个域：行为域、结构域和几何域。如图 1.5 所示。

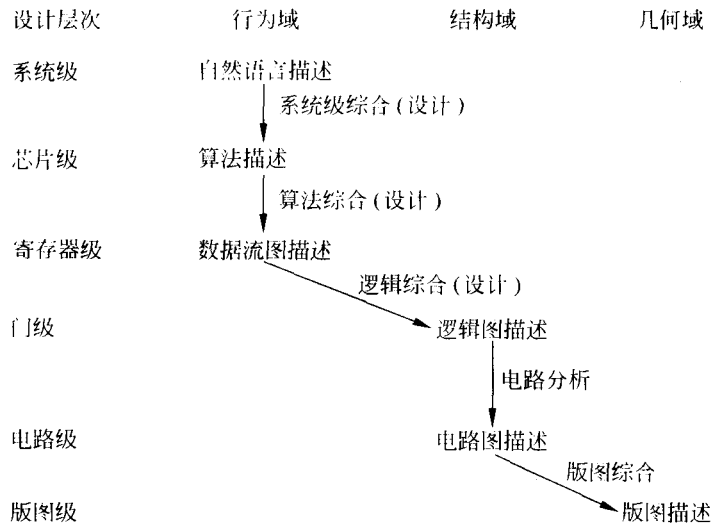


图 1.5 系统设计的层次式描述

行为域设计主要考虑集成系统要完成什么样的功能。设计中不考虑具体用什么方式来实现这一功能。在行为域设计中，电路的具体要求(如功能、速度、功耗等)可以表示为设计的约束条件。

结构域设计的目的是完成电路的具体结构，即确定完成各功能的具体电路形式。

几何域设计是将电路转换成物理的版图，即用于进行 VLSI 生产制造所用的掩膜数据。自顶向下的设计过程是从一个行为概念开始，逐级建立起越来越具体的层次结构，直至一个能够直接变换到电路实体的充分低的设计级。

对于一个复杂的数字 IC 来说，自顶向下的设计方法，可以将其设计分为下面 6 步完成如图 1.6 所示。

(1) 行为级设计

行为级设计是将用户需求转换为系统设计说明的过程，主要解决系统要做什么的问题。在行为级设计过程，需要给出对电路系统的具体要求，如速度、功耗、可靠性、采用的工艺、开发费用和开发周期等，以此作为电路系统设计过程的约束条件。

(2) 算法描述

这一阶段的设计需要将系统功能借助于硬件描述语言 VHDL 进行算法设计和描述。首先，根据高度抽象的模型库，将系统划分为子系统或模块的集合。然后，各子系统之间通过数据流和控制流相互连接。由于系统规模、制造工艺、成本、设计周期等多种原因的限制，一个电子系统往往不能用一个芯片来实现，需要做成几个芯片，或用多芯片模式(MCM)来实现。因此，对于复杂电路系统，这种划分就显得尤为重要。如何能够使得这种划分取得最优结果，得到最好的性能价格比，需要综合考虑以上的多种因素，往往最后需要采用折中方案。