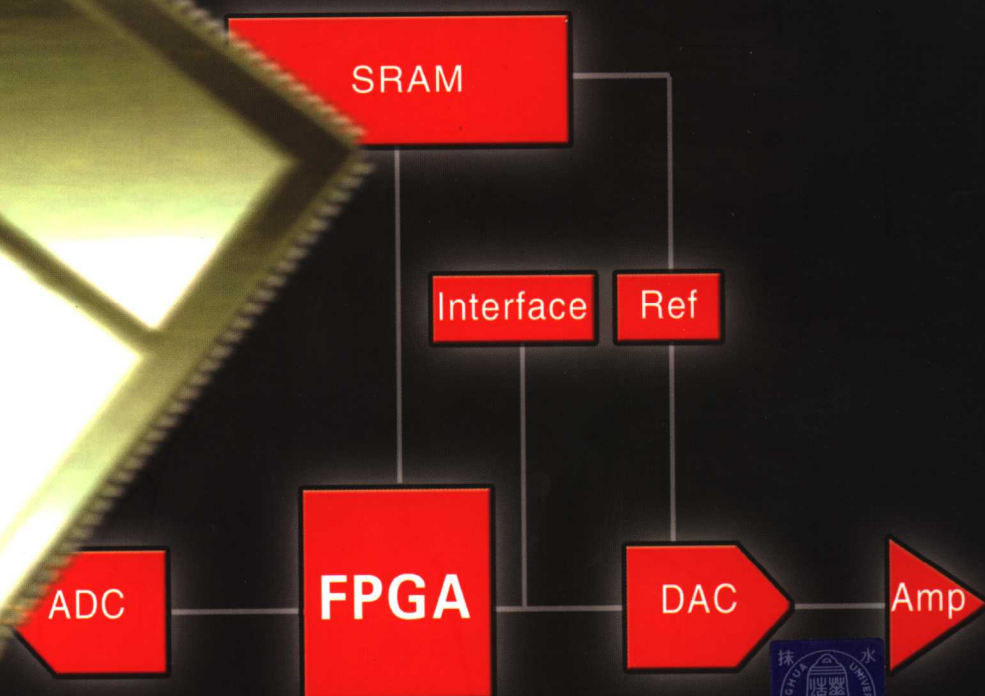


FPGA/CPLD

最新实用技术指南

杨 恒 李爱国 王 辉 王新安 编著



清华大学出版社

FPGA/CPLD 最新实用 技术指南

杨 恒 李爱国 王 辉 王新安 编著

清华大学出版社

北 京

内 容 简 介

FPGA/CPLD 技术是近年来计算机与电子技术领域的又一场革命。本书以 Xilinx 与 Altera 公司的 FPGA/CPLD 为主, 详细介绍了 FPGA/CPLD 从芯片到 MAX+plus II、Quartus 与 ISE 开发环境和 Verilog/VHDL 语言, 并以交通灯逻辑控制、电子钟与点阵 LED 显示、LCD 液晶显示及计算机 ISA 接口和 PCI 接口的设计等为例, 由浅入深地详述了如何应用 FPGA/CPLD 进行电子设计。书中的大多数电路图和源程序已经过实例验证, 读者可以直接应用于自己的设计。本书的特点是强调实用性和先进性, 力求通俗易懂。

本书适用于计算机、电子、控制及信息等相关专业的在校大学生, 对广大工程技术人员也具有实用价值。

版权所有, 翻印必究。举报电话: 010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

本书防伪标签采用清华大学核研院专有核径迹膜防伪技术, 用户可通过在图案表面涂抹清水, 图案消失, 水干后图案复现; 或将表面膜揭下, 放在白纸上用彩笔涂抹, 图案在白纸上再现的方法识别真伪。

图书在版编目 (CIP) 数据

FPGA/CPLD 最新实用技术指南/杨恒等编著. —北京: 清华大学出版社, 2005.1

ISBN 7-302-10163-9

I. F… II. 杨… III. 可编程逻辑器件—指南 IV. TP332.1-62

中国版本图书馆 CIP 数据核字 (2004) 第 135868 号

出 版 者: 清华大学出版社

<http://www.tup.com.cn>

社 总 机: 010-62770175

地 址: 北京清华大学学研大厦

邮 编: 100084

客户服务: 010-62776969

组稿编辑: 曾 刚

文稿编辑: 鲁秀敏

封面设计: 姜凌娜

版式设计: 张红英

印 装 者: 北京市人民文学印刷厂

发 行 者: 新华书店总店北京发行所

开 本: 185×260 印 张: 28.25 字 数: 635 千字

版 次: 2005 年 1 月第 1 版 2005 年 1 月第 1 次印刷

书 号: ISBN 7-302-10163-9/TP·6984

印 数: 1~5000

定 价: 39.00 元

本书如存在文字不清、漏印以及缺页、倒页、脱页等印装质量问题, 请与清华大学出版社出版部联系调换。联系电话: (010)62770175-3103 或 (010)62795704

前 言

当今世界，科技飞速发展，人类面临着一次又一次的机遇和挑战。2003 年举世闻名的 FORBES 杂志 (www.forbes.com) 曾经揭示了一个新的概念，在未来的计算机中，CPU 将被 FPGA (现场可编程逻辑门阵列) 芯片所取代，同时美国的一家公司也已成功推出了以 FPGA 取代 CPU 的计算机，FPGA/CPLD 被国外的媒体认为是一次新的革命性技术进步。本书的作者都是长期从事嵌入式与 FPGA/CPLD 研究、发展与普及的科技人员，本书系统、全面地介绍了 FPGA/CPLD 从原理、开发环境、编程语言到应用实例，并全面反映该领域的最新发展成果。本书的特点是通俗易懂，深入浅出，可被高等院校及其他读者选用为相关教材，也是初学者的敲门砖，中高级人员的有益助手和资料。

本书包括 11 章及 7 个附录。全书介绍了目前世界最大和主流的两个 FPGA/CPLD 生产厂家的产品和开发工具，第 1 章~第 3 章介绍了 Xilinx 公司的 FPGA/CPLD 基本知识结构与；第 4 章~第 5 章以矩阵 LED 显示等实例介绍了 Xilinx 公司的集成开发环境 ISE 的基本和高级知识；第 6 章~第 7 章分别以实例介绍了 Altera 公司的集成开发环境 MAX+plus II 与 Quartus；第 8 章~第 9 章分别以实例介绍了 Altera 公司的 FLEX 10K 与 FLEX6000 系列 FPGA 在点阵、字符液晶显示以及交通灯等其他领域的应用；第 10 章介绍了 ISA 与 PCI 总线的原理及 FPGA 用于接口芯片设计的实例。为利于读者速查，附录 A 介绍了 Altera 公司的主要产品和芯片；附录 B 和附录 C 介绍了 FPGA/CPLD 主要的两种开发语言 VHDL 与 Verilog；附录 D 和附录 E 介绍了 MAX+plus II 在 Windows 2000/Windows XP 下的驱动配置；附录 F 介绍了 ISE 6.1i 的新增功能；附录 G 介绍了由本书作者开发，针对 FPGA/CPLD 应用学习者的，支持 Altera/Xilinx 开发环境的学习开发工具箱 (www.edtyang.com)；附录 H 介绍了 FPGA/CPLD 万能型快速学习开发器 CHICAGO8.0。

本书是集体智慧的结晶，由西雅图数码科技有限公司杨恒博士、西安科技大学李爱国博士、深圳英特数码科技有限公司王辉先生与北京大学深圳研究生院王新安博士合作编著。参加本书编辑审校工作的有以下人员：

第 1 章~第 3 章：西北工业大学李伟和白冰洋，西安电子科技大学的李智奇；

第 4 章~第 5 章：西安电子科技大学的李剑红，西安科技大学的赵彩，西雅图数码科技有限公司的吴言水；

第 6 章：西安科技大学的雍煌，深圳大学的申向军；

第 7 章：西北农林科技大学的何东健、李书琴、耿楠、田国华；

第 8 章~第 9 章：深圳英特数码科技有限公司的王辉；

第 10 章：广州南沙资讯科技园的唐会华；

附录：西北工业大学李伟，西雅图数码科技有限公司的吴言水。

本书可以独立作为大专院校或工程技术人员学习参考之用，读者也可以根据自身情况与本书作者专门研发的不同版本的配套学习实验开发箱 (含开发学习板、下载线缆、手册和光盘) 结合使用 (详见 www.edtyang.com)。

作者向以下关心过本书或在学术上给予过帮助的朋友表示感谢，他们是：

新加坡南洋理工大学 (Nanyang Technological University, Singapore) Prof. Ser Wee, Prof. C.

ZHU, Prof. G. B. HUANG;

亚洲咨询公司、美国密西根大学博士 Chris Koh;

新加坡国家资讯技术研究院林晓博士、姜力军博士、陈建峰博士;

西安市科技局副局长陈长春博士;

国家集成电路西安产业化基地蔺建文主任、何晓宁部长和王坤元主任;

美国德州仪器上海办事处张浩先生;

西北工业大学陈明教授、博士生导师;

西安建筑科技大学李昌华教授、赵光华博士、李振国教授;

西安理工大学李言教授、邱宗明教授;

深圳熙和技术公司毛周明总裁、申凌博士和陶明博士;

广州华意电子科技有限公司刘林先生;

西安邮电学院朱自祥教授;

北京大学崔小乐博士后;

西雅图数码科技有限公司(西安)罗宵先生、张玉红小姐。

由于作者水平有限,错误和不当之处在所难免,敬请各位读者不吝赐教。

杨 恒

2004年8月8日于新加坡

hyang999@sina.com

目 录

第 0 章 绪论	1
0.1 FPGA/CPLD 概述	1
0.2 FPGA/CPLD 的开发软件	2
0.3 FPGA/CPLD 的分类和使用	3
0.4 因特网上的 FPGA 及其他资源	4
0.5 本章小结	5
第 1 章 Xilinx CPLD 系列产品	6
1.1 简介	6
1.1.1 XC9500 系列 CPLD 器件	6
1.1.2 CoolRunner 系列 CPLD 器件	9
1.2 XC9500 系列器件的结构	11
1.3 CoolRunner 系列 CPLD 器件的结构	19
1.4 Xilinx CPLD 器件的命名	22
1.5 本章小结	23
第 2 章 Xilinx FPGA 系列产品	24
2.1 Spartan-II E 系列产品	24
2.1.1 概述	24
2.1.2 器件结构	25
2.2 Spartan-3 系列产品	29
2.2.1 概述	29
2.2.2 器件结构	29
2.3 Virtex-II 系列产品	33
2.3.1 概述	33
2.3.2 器件结构	34
2.4 Virtex-II Pro 系列产品	40
2.4.1 概述	40
2.4.2 器件结构	40
2.5 Virtex-4 系列产品	45
2.5.1 概述	45
2.5.2 Virtex-4 系列的总体结构	46
2.5.3 Virtex-4 的三个平台 FPGA 简介	47
2.5.4 Virtex-4 FPGA 综述	48
2.6 本章小结	48
第 3 章 CPLD/FPGA 的边界扫描测试	49
3.1 引言	49

3.2	IEEE 1149.1 边界扫描测试的结构	49
3.3	JTAG BST 操作控制.....	51
3.3.1	抽样/预加载 (SAMPLE/PRELOAD) 指令模式	54
3.3.2	外测试 (EXTEST) 指令模式.....	55
3.3.3	旁路 (BYPASS) 指令模式	56
3.3.4	用户码 (USRCODE) 指令模式	57
3.3.5	ID 码 (IDCODE) 指令模式	57
3.4	Xilinx 器件的边界扫描	58
3.4.1	数据存储器 (Data Register)	58
3.4.2	指令集 (Instruction Set)	58
3.4.3	位顺序 (Bit Sequence)	59
3.4.4	在设计中插入边界扫描.....	59
3.5	边界扫描描述语言 (BSDI)	62
3.6	Xilinx 器件下载	62
3.6.1	MultiLINX 下载电缆	63
3.6.2	Xchecker 下载电缆	63
3.6.3	Parallel 下载电缆	63
3.7	Altera 与 Lattice 公司 CPLD 下载电路	66
3.8	本章小结	68
第 4 章	Xilinx ISE 应用基础.....	69
4.1	Xilinx ISE 简介	69
4.2	安装 Xilinx ISE	70
4.2.1	系统需求	70
4.2.2	ISE 的安装	70
4.3	Xilinx ISE 应用入门	76
4.4	Xilinx ISE 设计流程	80
4.4.1	设计输入	81
4.4.2	功能仿真	83
4.4.3	综合	84
4.4.4	实现	84
4.4.5	时序仿真	85
4.4.6	下载配置	85
4.5	设计实例	85
4.6	本章小结	90
第 5 章	Xilinx ISE 高级应用	91
5.1	设计输入	91
5.1.1	硬件描述语言 (HDL) 输入方式	91
5.1.2	原理图 (Schematic) 输入方式	98
5.2	功能仿真和时序仿真.....	100
5.2.1	功能仿真	100
5.2.2	时序仿真 (对顶层文件进行仿真)	106

5.3	设计实现	106
5.3.1	运行实现设计	106
5.3.2	在布局规划器 (Floorplanner) 中查看设计布局	107
5.4	引脚锁定与器件下载编程	109
5.4.1	引脚锁定	109
5.4.2	CPLD 器件的编程下载	110
5.5	应用 ISE 6.2i 的矩阵 LED 设计实例	110
5.5.1	功能要求及硬件设计	110
5.5.2	控制逻辑设计	111
5.5.3	在 ISE 6.2i 中建立矩阵 LED 的工程文件并下载到 CPLD 运行	115
5.6	本章小结	121
第 6 章	MAX+plus II 10.1 的使用指南	123
6.1	MAX+plus II 10.1 的特点	123
6.2	MAX+plus II 的组成	123
6.3	MAX+plus II 的使用	124
6.3.1	图形文件的建立	125
6.3.2	文本文件的建立	128
6.3.3	建立顶层设计文件	128
6.3.4	工程文件的编译	129
6.3.5	模拟仿真	131
6.3.6	定时分析	133
6.3.7	器件编程	135
6.4	本章小结	138
第 7 章	Quartus II 使用指南	139
7.1	Quartus II 设计入门	139
7.1.1	简介	139
7.1.2	设计流程	140
7.1.3	设计入门	152
7.1.4	综合	163
7.1.5	仿真	169
7.1.6	布线与制板	176
7.1.7	块结构设计	184
7.1.8	对 EDA 工具使用 LogicLock	190
7.2	延时分析与延时终止	190
7.2.1	在 Quartus II 软件中执行延时分析	190
7.2.2	使用 EDA 工具执行延时分析	194
7.2.3	延时终止	195
7.3	工程设计、调试与修改管理	199
7.3.1	使用 SignalTap 逻辑分析器	200
7.3.2	使用信号探针 (SignalProbe)	202
7.3.3	使用芯片编辑器	205

7.3.4	工程管理简介.....	205
7.4	系统设计	209
7.4.1	用 SOPC Builder 创建 SOPC 设计.....	210
7.4.2	用 DSP Builder 创建 DSP 设计	212
7.5	软件开发	213
7.6	下载与配置	221
7.7	本章小结	228
第 8 章	FLEX 6000 系列器件简介及应用实例	229
8.1	FLEX 6000 系列器件简介.....	229
8.1.1	特点	229
8.1.2	概述	230
8.1.3	功能描述	231
8.1.4	输出配置	241
8.1.5	JTAG 边界扫描	241
8.2	交通信号灯控制逻辑设计.....	242
8.2.1	系统要求分析.....	242
8.2.2	控制逻辑描述.....	242
8.3	电子钟的设计实例	244
8.3.1	功能要求和结构.....	244
8.3.2	控制芯片的设计.....	245
8.4	字符型 LCD (KS0066) 接口的设计.....	254
8.4.1	原理介绍	254
8.4.2	字符型 LCD (KS0066) 接口的 VHDL 描述.....	263
8.5	本章小结	269
第 9 章	FLEX 10K 嵌入式可编程逻辑系列器件简介及应用实例.....	270
9.1	FLEX 10K 嵌入式可编程逻辑系列器件简介	270
9.1.1	特点	270
9.1.2	总体描述	273
9.1.3	功能描述	274
9.1.4	相同结构的输出引脚.....	292
9.1.5	时钟锁和时钟推进特性.....	292
9.1.6	输出设置	293
9.1.7	JTAG 边界扫描.....	295
9.1.8	配置和操作	297
9.2	应用 FLEX 10K 设计图像点阵型 LCD.....	298
9.2.1	图像点阵型 LCD 原理介绍.....	298
9.2.2	基于 FLEX 10K 的图像点阵型 LCD 控制设计	302
9.3	本章小结	312
第 10 章	应用 FPGA 设计 PC 机的 ISA 和 PCI 总线接口	313
10.1	应用 FPGA 设计 PC 机的 ISA 总线接口	313

10.1.1	ISA 总线概述	313
10.1.2	基于 Altera FLEX6000 的 ISA 接口设计	316
10.2	应用 FPGA 设计 PC 机的 PCI 总线接口	323
10.2.1	PCI 总线概述	323
10.2.2	PCI 总线命令	327
10.2.3	PCI 总线访问地址解码	328
10.2.4	PCI 配置空间操作	328
10.2.5	基于 Altera 公司的 FLEX10K 系列 FPGA 实现的 PCI 接口设计	331
10.3	本章小结	347
附录 A	Altera 公司 FPGA/CPLD 系列器件纵览	348
附录 B	VHDL 编程基础	367
附录 C	Verilog HDL 编程基础	412
附录 D	MAX+plus II Windows 2000 驱动配置指南	426
附录 E	MAX+plus II Windows XP 驱动配置指南	428
附录 F	ISE 6.1i 的新增功能	431
附录 G	FPGA/CPLD 快速学习开发工具 CHICAGO 6.0	435
附录 H	FPGA/CPLD 万能型快速学习开发器 CHICAGO 8.0	439
参考文献		440

第0章 绪论

0.1 FPGA/CPLD 概述

FPGA（现场可编程门阵列）与 CPLD（复杂可编程逻辑器件）都是可编程逻辑器件，它们是在 PAL、GAL 等逻辑器件的基础上发展起来的。与以往的 PAL、GAL 等相比较，FPGA/CPLD 的规模比较大，它可以替代几十甚至几千块通用 IC 芯片。这样的 FPGA/CPLD 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展，许多公司都开发出了多种可编程逻辑器件，比较典型的的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列。

尽管 FPGA、CPLD 与其他类型 PLD 的结构各有其特点和长处，但概括起来，它们是由三大部分组成的：二维的逻辑块阵列，构成了 PLD 器件的逻辑组成核心；输入/输出块；连接逻辑块的互连资源。连线资源：由各种长度的连线线段组成，其中也有一些可编程的连接开关，用于逻辑块之间、逻辑块与输入/输出块之间的连接。如图 0-1 所示为典型的 PLD 的框图。

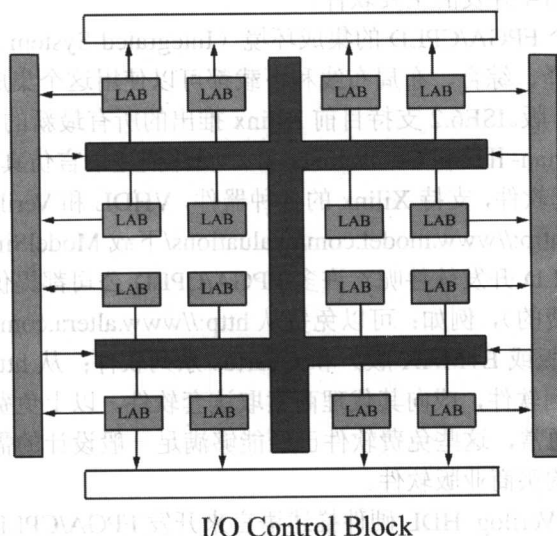


图 0-1 典型的 PLD 的框图

对用户而言，CPLD 与 FPGA 的内部结构稍有不同，但用法一样，所以多数情况下不加以区分。

FPGA/CPLD 芯片都是特殊的 ASIC 芯片，除了具有 ASIC 的特点之外，还具有以下几个优点：

- 随着超大规模集成电路（Very Large Scale IC，VLSI）工艺的不断提高，单一芯片内部可以容纳上百万个晶体管，FPGA/CPLD 芯片的规模也越来越大，其单片逻辑门数已达到上百万门，所能实现的功能越来越强，同时还可以实现系统集成。

- FPGA/CPLD 芯片在出厂之前 100% 都做过测试, 不需要设计人员承担投资风险和费用, 设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以, FPGA/CPLD 的资金投入少, 节省了许多潜在的花费。
- 用户可以反复地编程、擦除、使用, 或者在外围电路不动的情况下, 用不同软件就可实现不同的功能。因此, 用 FPGA/CPLD 试制样本, 能以最快的速度占领市场。FPGA/CPLD 软件包中有各种输入工具、仿真工具、版图设计工具及编程器等全线产品, 使电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真, 直至最后芯片的制作。当电路有少量改动时, 更能显示出 FPGA/CPLD 的优势。电路设计人员使用 FPGA/CPLD 进行电路设计时, 不需要具备专门的 IC (集成电路) 深层次的知识, FPGA/CPLD 软件易学易用, 可以使设计人员集中精力进行电路设计, 快速将产品推向市场。

0.2 FPGA/CPLD 的开发软件

由于 FPGA/CPLD 软件已经发展得相当完善, 用户甚至可以不用详细了解 FPGA/CPLD 的内部结构, 也可以用自己熟悉的方法, 如原理图输入或 HDL 语言来完成相当优秀的 FPGA/CPLD 设计。所以对初学者, 首先应了解 FPGA/CPLD 开发软件和开发流程。了解 FPGA/CPLD 的内部结构, 将有助于提高设计的效率和可靠性。

下面介绍 Xilinx FPGA 开发的主要软件。

Xilinx 公司提供一个 FPGA/CPLD 的集成环境 (Integrated System Configuration, ISE), 从设计输入、仿真、编译、综合、布局布线和下载都可以使用这个集成环境来完成。ISE 系列的最新正式版本是 6.2 版。ISE6.2 支持目前 Xilinx 推出的所有最新的 FPGA 器件, 如 Virtex-II Pro、Virtex-II、Spartan-II E 和 CoolRunner-II。硬件描述语言仿真工具是 Model Tech 公司出品的 ModelSim 仿真软件, 支持 Xilinx 的各种器件, VHDL 和 Verilog HDL, 人机界面好, 简单易用。可以从站点 <http://www.model.com/evaluations/> 下载 ModelSim 的评估版。

如何获得 FPGA/CPLD 开发软件呢? 许多 FPGA/CPLD 公司都提供免费试用版或演示版 (当然商业版大都是收费的), 例如: 可以免费从 <http://www.altera.com> 上下载 Altera 公司的 MAX+plus II (Baseline 版或 E+MAX 版) 和 Quartus 系列软件; 从 <http://www.xilinx.com> 上下载 Xilinx 公司的 ISE 系列软件, 或向其代理商索取这套软件。以上免费软件都需要在网上注册申请 License 文件。通常, 这些免费软件已经能够满足一般设计的需要, 当然, 要想软件功能更强大一些, 只能购买商业版软件。

如果使用 VHDL 或 Verilog HDL 硬件描述语言来开发 FPGA/CPLD, 通常还需要使用一些专业的 HDL 开发软件, 这是因为 FPGA 厂商提供的软件的 HDL 综合能力一般都不是很强, 需要其他软件来配合使用。

对于 FPGA/CPLD 产品, 一般分为: 基于乘积项 (Product-Term) 技术, EEPROM (或 Flash) 工艺的中小规模 FPGA/CPLD; 基于查找表 (Look-Up table) 技术, SRAM 工艺的大规模 FPGA/CPLD。EEPROM 工艺的 FPGA/CPLD 密度小, 多用于 1000 门以下的小规模设计, 适合做复杂的组合逻辑, 如译码。SRAM 工艺的 FPGA/CPLD 密度高, 触发器多, 多用于 10 000 门以上的大规模设计, 适合做复杂的时序逻辑, 如数字信号处理和各种算法。

0.3 FPGA/CPLD 的分类和使用

在 FPGA/CPLD 开发软件中完成设计以后，软件会产生一个最终的编程文件（如.pof）。如何将编程文件烧到 PLD 芯片中去呢？

1. 基于乘积项技术

对于基于乘积项（Product-Term）技术，EEPROM（或 Flash）工艺的 PLD（如 Altera 公司的 MAX 系列，Lattice 公司的大部分产品及 Xilinx 公司的 XC9500 系列），由厂家提供编程电缆，如 Altera 公司的 Byteblaster，电缆的一端接在计算机的并行打印口上，另一端接在 PCB 板上的一个 10 芯插头上，如图 0-2 所示。FPGA/CPLD 芯片有 4 个引脚（编程脚）与插头相连。

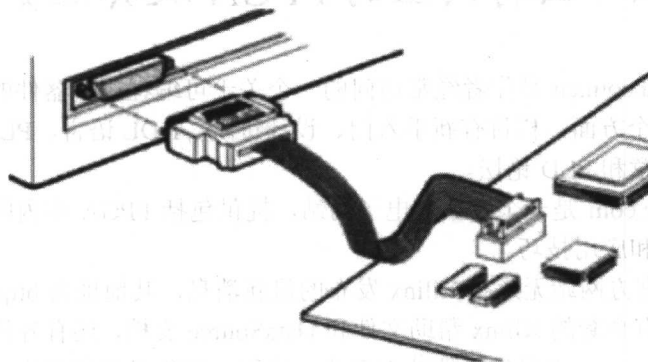


图 0-2 电缆连接示意图

编程电缆向系统板上的器件提供配置或编程数据，这就是所谓的在线可编程 ISP（如图 0-3 所示）。Byteblaster 使用户能够独立地配置 FPGA/CPLD 器件，而不需要编程器或任何其他编程硬件。编程电缆可以向代理商购买，也可以根据厂家提供的编程电缆的原理图自己制作，成本仅需一二十元。早期的 FPGA/CPLD 是不支持 ISP 的，它们需要用编程器烧写。目前的 FPGA/CPLD 都可以用 ISP 在线编程，也可用编程器编程。这种 FPGA/CPLD 可以加密，并且很难解密。

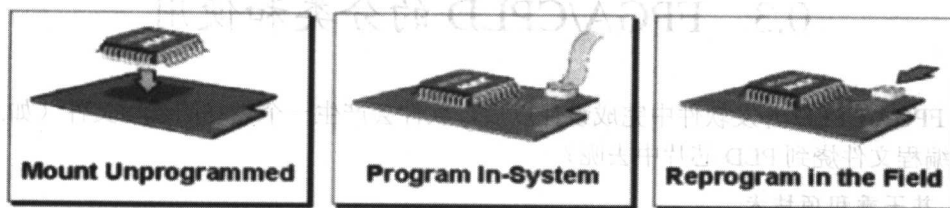
2. 基于查找表技术

对于基于查找表（Look-Up table）技术，SRAM 工艺的 FPGA/CPLD（如 Altera 公司的所有 FLEX、ACEX、APEX 系列和 Xilinx 公司的 Spartan、Virtex），由于 SRAM 工艺的特点，掉电后数据会消失，因此调试期间可以用下载电缆配置 FPGA/CPLD 器件，调试完成后，需要将数据固化在一个专用的 EEPROM 中（用通用编程器烧写），上电时，由这片配置 EEPROM 先对 FPGA/CPLD 加载数据，十几个毫秒后，FPGA/CPLD 即可正常工作（亦可由 CPU 配置 FPGA/CPLD）。但 SRAM 工艺的 FPGA/CPLD 一般不可以加密。

3. 反熔丝技术

还有一种反熔丝（Anti-fuse）技术的 FPGA/CPLD，如 Actel、Quicklogic 及 Lucent 公司的部分产品就采用这种工艺。用法与 EEPROM 的 FPGA/CPLD 一样，但这种 FPGA/CPLD 不能重复擦写，所以初期开发过程比较麻烦，费用也比较昂贵。但反熔丝技术也有许多优点：布线能力更强，系统速度更快，功耗更低，同时抗辐射能力强，耐高低温，可以加密，所以

它在一些有特殊要求的领域中运用较多，如军事及航空航天等。



(a) 将 FPGA/CPLD 焊在 PCB 板上 (b) 接好编程电缆 (c) 现场烧写 FPGA/CPLD 芯片

图 0-3 在线可编程过程

0.4 因特网上的 FPGA 及其他资源

<http://www.fpga.com.cn> 是作者经常访问的一个关于可编程逻辑器件的中文站点，该站涉及到了 FPGA 的各个方面，栏目有新手入门、设计进阶、HDL 语言、PLD 厂商、参考设计、开发软件、应用文章和 PLD 论坛。

<http://www.21ic.com> 是一个专业的电子网站，提供包括 FPGA 在内的电子领域的各方面专业信息以及检索和应用技巧。

Xilinx 公司的官方网站无疑有 Xilinx 发布的最新消息，其地址为 <http://www.Xilinx.com>。该网站内容全面，有全套的 Xilinx 帮助文件和 DataSource 文档，还有各种应用技巧和应用指南 (Application Notes)，也提供软件补丁下载。值得一提的是应用指南，图 0-4 是应用指南的网页快照，这里介绍有各种模块的设计方法，并按器件和功能分类。

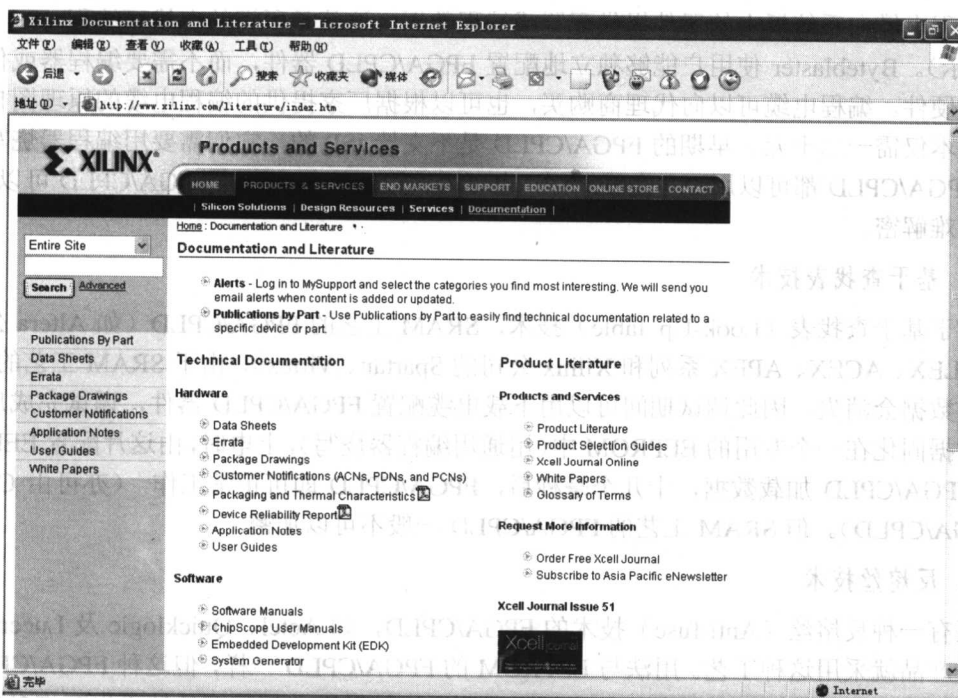


图 0-4 Xilinx Application Notes 的网页快照

1. 其他相关的网址

- (1) Seattle 公司网站 <http://www.edtyang.com>。
- (2) Model Tech 公司网站 <http://www.mti.com/>。
- (3) Synplicity 公司网站 <http://www.synplicity.com>。
- (4) 晶体设计新世纪 (繁体中文) <http://www.icdiy.org>。
- (5) OpenCores 网站 <http://www.opencores.org>。

OpenCores 网站属硬件开发站点, 提供免费的 IP Core 下载, 有些还有源代码, 是硬件爱好者交流作品的好去处。

- (6) Accellera 网站 <http://www.accellera.org>。

OVI (Open Verilog International) 和 VI (VHDL International) 在 2000 年成立的官方站点。关注于 VHDL 和 VerilogHDL 硬件描述语言的最新信息、标准和设计方法。

- (7) 田纳西理工大学的一个链接 <http://digital5.ece.tntech.edu/TechLinks/FPGA-links.htm>。

从该页面可以找到很多与 FPGA 相关的链接, 提供的链接包括 FPGA 厂商、应用、设计工具和其他信息。页面 <http://digital5.ece.tntech.edu/technical-links.htm> 还提供了其他技术链接。

- (8) 科汇网站 <http://www.insight-ap.com/>。

- (9) 新闻群组。

全球的 FPGA 相关的讨论区, comp.arch.fpga 是关于 FPGA 的, comp.arch.verilog 是关于 Verilog HDL 的, comp.lang.vhdl 是关于 VHDL 的。可以从 <http://www.groups.google.com> 进入或分别从下面链接来读取这些新闻组的内容。

<http://groups.google.com/groups?hl=en&ie=UTF-8&group=comp.arch.fpga>

<http://groups.google.com/groups?hl=en&lr=&ie=UTF-8group=comp.lang.verilog>

<http://groups.google.com/groups?hl=en&lr=&ie=UTF-8group=comp.lang.vhdl>

2. 与软硬件协同设计有关的网址

- (1) VSI 联盟的网站 <http://www.vsi.org>。
- (2) LOTOS 网站 <http://www.tios.cs.rtwente.nl/lotos/>。
- (3) System C 系统级语言官方网站 <http://www.systemc.org/>。
- (4) UC 伯克利的嵌入系统软硬件协同设计的网址 <http://www-cad.eecs.berkeley.edu/~polis/>。

(5) Cadence 软硬件虚拟器件协同设计工具的网址 <http://www.cadence.com/products/vcc.html>。

注意: 上述内容不具排名意义。

0.5 本章小结

本章详细地介绍了 FPGA/CPLD 的开发软件、分类和使用以及它在因特网上的资源。0.1 节介绍了 FPGA/CPLD 的历史背景; 0.2 节介绍了 FPGA/CPLD 的开发软件; 0.3 节介绍了 FPGA/CPLD 的分类和使用; 0.4 节介绍了因特网上的 FPGA 及其他资源, 重点介绍了 FPGA/CPLD 的分类和使用以及它的开发软件。

第 1 章 Xilinx CPLD 系列产品

1.1 简介

Xilinx CPLD 系列器件包括 XC9500 系列器件、CoolRunner XPLA 和 CoolRunner-II 系列器件。Xilinx CPLD 器件可使用 Foundation 或 ISE 开发软件进行开发设计，也可使用专门针对 CPLD 器件的 Webpack 开发软件进行设计。

1.1.1 XC9500 系列 CPLD 器件

Xilinx 公司的 CPLD 器件被广泛地应用在通信系统、网络、计算机系统及控制系统等电子系统中。XC9500 系列 CPLD 器件的 t_{PD} 最快达 3.5ns，宏单元数达 288 个，可用门数达 6400 个，系统时钟可达到 200MHz。XC9500 系列器件采用快闪存储技术(FastFLASH)，与 E²CMOS 工艺相比，功耗明显降低。XC9500 系列产品均符合 PCI 总线规范；含 JTAG 测试接口电路，具有可测试性；具有在系统可编程 (In System Programmable, ISP) 能力。

XC9500 系列器件分 XC9500 5V 器件、XC9500XL 3.3V 器件和 XC9500XV 2.5V 器件 3 种类型，XC9500 系列可提供从最简单的 PAL 综合设计到最先进的实时硬件现场升级的全套解决方案。表 1-1~表 1-3 分别列出了 XC9500、XC9500XL 和 XC9500XV 系列器件的基本特征。表 1-4~表 1-6 则分别列出了 XC9500、XC9500XL 和 XC9500XV 器件的封装和 I/O 引脚数。其中 f_{CNT} 代表 16 位计数器操作频率， f_{sys} 表示一般目标系统设计中生成多重功能块所需的内部操作频率。

表 1-1 XC9500 系列器件特征

系列器件	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
宏单元	36	72	108	144	216	288
可用门数	800	1600	2400	3200	4800	6400
寄存器	36	72	108	144	216	288
t_{PD}/ns	5	7.5	7.5	7.5	10	15
t_{SU}/ns	3.5	4.5	4.5	4.5	6.0	8.0
t_{CO}/ns	4.0	4.5	4.5	4.5	6.0	8.0
$f_{CNT}/MHz^{(1)}$	100	125	125	125	111.1	92.2
$f_{SYS}/MHz^{(2)}$	100	83.3	83.3	83.3	66.7	56.6

表 1-2 XC9500XL 系列器件特征

系列器件	XC9536XL	XC9572XL	XC95144XL	XC95288XL
宏单元	36	72	144	288
可用门数	800	1600	3200	6400
寄存器	36	72	144	288

续表

系列器件	XC9536XL	XC9572XL	XC95144XL	XC95288XL
t_{PD}/ns	5	5	5	6
t_{SU}/ns	3.7	3.7	3.7	4.0
t_{CO}/ns	3.5	3.5	3.5	3.8
t_{SYS}/MHz	178	178	178	208

表 1-3 XC9500XV 系列器件特征

系列器件	XC9536XV	XC9572XV	XC95144XV	XC95288XV
宏单元	36	72	144	288
可用门数	800	1600	3200	6400
寄存器	36	72	144	288
t_{PD}/ns	5	5	5	6
t_{SU}/ns	3.5	3.5	3.5	4
t_{CO}/ns	3.5	3.5	3.5	3.8
t_{SYS}/MHz	222	222	222	208
输出扩展	1	1	2	4

表 1-4 XC9500 CPLD 封装及 I/O 引脚数

系列器件	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
44 脚 VQFP	34					
44 脚 PLCC	34	34				
48 脚 CSP	34					
84 脚 PLCC		69	69			
100 脚 TQFP		72	81	81		
100 脚 PQFP		72	81	81		
160 脚 PQFP			108	133	133	
208HQFP					166	168
352 脚 BGA					166	192

表 1-5 XC9500XL CPLD 封装及 I/O 引脚数

系列器件	XC9536XV	XC9572XV	XC95144XV	XC95288XV
44 脚 PLCC	34	34		
64 脚 VQFP		52		
100 脚 TQFP		72	81	
144 脚 TQFP			117	117
208 脚 TQFP		72		
48 脚 CSP	36	38		
144 脚 CSP			117	
256 脚 BGA				192