

电子设计竞赛 · 课程设计 · 毕业设计 指导丛书

VHDL入门·解惑·经典实例·经验总结

VHDL

010001010010010000010101010111010010001

VHDL

VHDL

010010101101010101001

VHDL

黄 任 编著



北京航空航天大学出版社

电子设计竞赛·课程设计·毕业设计 指导丛书

VHDL 入门·解惑·经典实例 · 经验总结

黄 任 编著

北京航空航天大学出版社

内 容 简 介

本书分4部分对VHDL进行了系统的介绍。第1部分为入门篇,介绍了VHDL的常用语法及利用VHDL实现系统层次化设计的方法;第2部分为解惑篇,详细解答了VHDL初学者常见的一些问题;第3部分为实例篇,包括多个常用单元电路的VHDL程序和包括数字频率计在内的多个经典入门题目的参考程序,并给出了2002年北京市大学生电子设计竞赛(EDA专项)的参考设计;第4部分为经验篇,对一些VHDL语句的可综合性进行探讨,并给出了6种可综合的进程语句的模板。

本书内容详实,语言通俗、易懂,附带大量经典入门练习题及其参考设计,可以帮助初学者在短时间内入门,可作为全国大学生电子设计竞赛的培训材料、电子科技活动的参考资料,也可供电子爱好者及高等院校的师生在进行数字电路设计实验时参考。

图书在版编目(CIP)数据

VHDL入门·解惑·经典实例·经验总结/黄任编著.

北京:北京航空航天大学出版社,2005.1

ISBN 7-81077-589-8

I. V… II. 黄… III. 硬件描述语言,VHDL

IV. TP312

中国版本图书馆CIP数据核字(2004)第132708号

VHDL入门·解惑·经典实例·经验总结

黄 任 编 著

责任编辑 王 鸿

*

北京航空航天大学出版社出版发行

北京市海淀区学院路37号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhpresse@263.net

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:16.75 字数:375千字

2005年1月第1版 2005年1月第1次印刷 印数:5 000册

ISBN 7-81077-589-8 定价:22.00元

献给敬爱的郭莉老师，我的父亲黄禄河、
母亲周欣和妹妹黄正及所有曾经教过我的老
师，感谢他（她）们一直以来给予我的支持和无
限关怀。

前 言

本书的特点

市面上关于 VHDL 的书汗牛充栋,为什么作者还要不辞辛苦地添砖加瓦呢?如果你抱有这种怀疑态度,不妨将本书与其他的 VHDL 教材比较一下,会发现本书有以下特点:

(1) 真正面向初学者

与其他入门的书不同,本书不求博大精深,只求深入浅出。本书并未覆盖 VHDL 的所用语法,因为有些语法不但艰深,而且一般的设计根本不会用到。学习这些语法不但无助于初学者设计水平的提高,反而容易挫伤初学者学习 VHDL 的积极性。很多 VHDL 门外汉都渴望有一本能把他们带入 VHDL 设计大门的真正的入门教程。为了保证初学者能看懂本书,作者每写完一章就请没有学过 VHDL 语言的学生试读,并根据他们的意见对书稿进行修改,因此本书虽然无法做到老妪能懂,但对有一定数字设计基础的读者来说是浅显易懂的。

(2) 可综合的 VHDL 语言

VHDL 语句大体上可以分为两种:一种是只可仿真,不可综合(即不能用硬件实现)的语句;另一种则是可综合的语句。对初学者来说,学习 VHDL 语言大都是为了在 CPLD/FPGA 上实现数字电路设计,因此语句的可综合性就十分重要。本书是一本面向实际应用的入门教程,书中所用语句均为可综合的 VHDL 语句,所有程序均在实验仪上调试通过。

(3) 内容全面,学、练结合

本书分为入门篇、解惑篇、实例篇和经验篇 4 部分,这几部分相辅相成,可以帮助读者在最短的时间内掌握 VHDL 语言。值得一提的是,实例篇中所用的题

目均是北京邮电大学信息工程学院的学生在准备 2002 年北京市大学生电子设计竞赛所做的练习。实践证明,这些题目对提高初学者的 CPLD/FPGA 开发水平是很有帮助的(经过两个月的训练,参赛学生有一半获得一等奖,而且成绩在获一等奖的学生中名列前茅)。本书给出的例程均为获一等奖学生的作品,具有参考价值。

本书的结构

本书分为 4 部分,各部分的内容简介如下:

(1) 入门篇

简要介绍 VHDL 语言的特点和设计流程;通过大量的简单实例深入浅出地讲解了 VHDL 的基本结构、数据类型和语法;介绍了 Moore 状态机和 Mealy 状态机在 VHDL 中的实现方法;介绍如何在 MAX+plus II 中采用图形法与文本法结合的混合输入方法实现元件重用与系统的层次化设计;最后,介绍了元件例化、程序包及类属映射等 VHDL 进阶语句,以及利用这些语句实现系统层次化设计的方法。

(2) 解惑篇

对初学者常见的一些问题(包括设计方法、仿真与综合以及 MAX+plus II 的使用等方面)进行详细的解答。

(3) 实例篇

给出了分频电路、七段数码管驱动电路、SRAM 读/写电路等常用单元电路的 VHDL 程序;详细讲解了交通灯控制器、乒乓球游戏机、数字频率计、WCDMA 短码生成器、Frasaszek 码编解码器等系统的设计方法,并给出了源程序,同时给出了 2002 年北京市大学生电子设计竞赛题——自动打铃系统的系统框图和参考程序;此外,在每章后附加了练习题,读者可以通过这些题目的训练,迅速提高 VHDL 设计水平。

(4) 经验篇

对 LOOP 语句和进程语句的可综合性进行了探讨,并给出了 6 种可综合的进程语句的模板,最后介绍了 VHDL 可综合编程的一般规则。

配套书籍

如果读者学完本书后想进一步了解 CPLD/FPGA 与单片机的综合应用,那么请参考北京航空航天大学出版社出版的本丛书中的《AVR 单片机与 CPLD/

FPGA综合应用入门》。该书系统论述了单片机与 CPLD/FPGA 之间的通信和合作方法,并全面阐述了高精度频率计、数控波形发生器、简易逻辑分析仪等单片机与 CPLD/FPGA 综合应用系统的设计思想和具体实现方法。《VHDL 入门·解惑·经典实例·经验总结》既是该书第 3 章的扩展,又可作为该书的基础教程,二者相辅相成,可帮助读者在最短时间内掌握单片机和 CPLD/FPGA 的应用。

致 谢

本书在编写过程中,得到了北京邮电大学信息工程学院创新实验室主任郭莉副教授的大力帮助与支持。郭莉老师带领创新实验室的学生参加了多次电子设计竞赛,取得令人瞩目的成绩,参赛学生获奖率为 100%,其中一半的学生获得了一等奖。郭莉老师在百忙之中仍仔细审阅了全书,并提出了许多宝贵的意见,在此向她表示衷心的感谢。

本书在正式出版前,曾作为北京邮电大学信息工程学院创新实验室的内部教材,用以指导学生参加各种电子设计竞赛。本书得到了学生的肯定,也从参赛学生那里得到了很多反馈意见。在此要特别感谢杨芳芳、张万能、赵荣华、于光炜、刘阳、赵莹、王志勇、胡子明等同学,他们的意见对本书的改进起到了十分关键的作用。

特别值得一提的是,掌宇公司(<http://www.kandh.com.cn>)为作者提供了实验仪。本书中所有程序均在该实验仪上调试通过,在此对于掌宇公司的大力支持表示感谢。

此外,本书的练习题部分选自北京邮电大学信息工程学院田宝玉副院长的《VHDL》课程练习和电路中心的《数字逻辑电路实验》课程讲义,在此一并致谢。

本书的相关网站

本书的相关网站地址为 <http://www.ele-contests.com>。本网站提供本书中部分源程序以及一些 VHDL 相关资料的下载。

如果在阅读本书的过程中发现任何错误,或是有任何改进本书的建议,请通过 huangren@ieee.org 与作者联系,最新的勘误表将会在本书的相关网站上登出。

作 者

于韩国国立汉城大学 SOC Center

2004 年 12 月

目 录

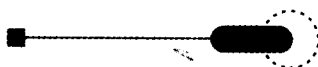
入门篇

第 1 章 VHDL 初探

1.1 VHDL 简介	3
1.1.1 VHDL 的特点	3
1.1.2 设计流程	4
1.1.3 初学者如何学好 VHDL	6
1.2 VHDL 与 MAX+plus II 的初体验	7
1.2.1 设计输入	7
1.2.2 编 译	10
1.2.3 仿 真	12
1.2.4 引脚图编辑	15
1.2.5 重编译与时序仿真	17
1.2.6 下 载	17
1.2.7 实际验证	19

第 2 章 VHDL 入门

2.1 VHDL 程序结构	20
2.1.1 实 体	22
2.1.2 结构体	24
2.1.3 库与包的调用	26
2.2 VHDL 基本数据类型	27
2.2.1 VHDL 预定义数据类型	27
2.2.2 IEEE 预定义标准逻辑位与矢量	31
2.2.3 用户自定义的数据类型	32
2.3 VHDL 数据对象	32
2.3.1 信 号	33



2.3.2 变 量	36
2.3.3 常 数	37
2.4 VHDL 运算符	38
2.4.1 算术运算符	39
2.4.2 并置运算符	39
2.4.3 关系运算符	40
2.4.4 逻辑运算符	40
2.5 VHDL 并行语句	41
2.5.1 并行信号赋值语句	43
2.5.2 进程语句	47
2.6 VHDL 顺序语句	54
2.6.1 赋值语句	54
2.6.2 流程控制语句	56
第3章 状态机在 VHDL 中的实现	
3.1 Moore 状态机的 VHDL 描述	63
3.2 Mealy 状态机的 VHDL 描述	69
3.3 状态机的容错设计	72
第4章 系统层次化设计	
4.1 层次化设计的概念	74
4.2 在 MAX+plus II 中实现层次化设计	75
4.2.1 元件重用	75
4.2.2 多层次设计的实现	79
第5章 系统层次化设计进阶	
5.1 元件例化	81
5.2 程序包	84
5.3 类属映射	86
解惑篇	
第6章 初学者常见问题解答	
6.1 关于设计方法	91

6.2 关于信号与变量	93
6.3 关于顺序语句的顺序性	96
6.4 关于仿真与综合	99
6.5 关于 MAX+plus II	100

实例篇

第7章 常用电路的 VHDL 程序

7.1 分频电路	105
7.1.1 偶数倍分频	105
7.1.2 奇数倍分频	107
7.2 七段数码管驱动电路	108
7.2.1 并行连接的七段数码管驱动程序	109
7.2.2 串行连接的七段数码管驱动程序	113
7.3 键盘扫描电路	115
7.4 键盘消抖电路	121
7.5 同步整形电路	122
7.6 三态缓冲器	125
7.7 SRAM 控制电路	126
7.7.1 SRAM UT62256 的读/写时序说明	127
7.7.2 用 CPLD/FPGA 控制 SRAM 的读/写	130
7.8 Flex10K10 内部 RAM 的读/写	132

第8章 交通灯控制器

8.1 任务书	136
8.2 参考设计	137
8.2.1 系统框图	137
8.2.2 计数器的设计	138
8.2.3 控制器的设计	139
8.2.4 分位译码电路的设计	141
8.2.5 顶层文件元件连接图	143
8.3 练习题	143
8.3.1 用状态机实现交通灯控制器	143
8.3.2 计时秒表	143

第9章 乒乓游戏机

9.1 任务书	144
9.2 参考设计	145
9.2.1 系统框图	145
9.2.2 状态机的设计	146
9.2.3 记分器的设计	152
9.2.4 顶层文件元件连接图	153
9.3 练习题	154
9.3.1 乒乓游戏机功能扩展要求	154
9.3.2 经典数学游戏——过河	154
9.3.3 3层电梯控制器	154

第10章 数字频率计

10.1 任务书	156
10.2 频率与周期的测量原理	157
10.2.1 测频的原理	157
10.2.2 测周期的原理	158
10.3 参考设计	158
10.3.1 系统框图	158
10.3.2 状态机的设计	160
10.3.3 计数器的设计	165
10.3.4 顶层文件元件连接图	168
10.4 练习题	169
10.4.1 洗衣机控制器	169
10.4.2 数字钟	170

第11章 自动打铃系统

11.1 任务书	171
11.2 参考设计	172
11.2.1 系统框图	172
11.2.2 状态机的设计	173
11.2.3 计时/调时模块的设计	179
11.2.4 打铃时间设定模块的设计	181

11.2.5 打铃长度设定模块的设计·····	183
11.2.6 显示控制及打铃控制模块的设计·····	184
11.2.7 其他模块的设计·····	188
11.2.8 顶层文件元件连接图·····	191
11.3 练习题·····	192

第12章 WCDMA 短码生成器

12.1 任务书·····	194
12.2 参考设计·····	195
12.3 练习题·····	204

第13章 Franaszek 编/译码器

13.1 任务书·····	206
13.2 参考设计·····	207
13.2.1 总体方案设计·····	207
13.2.2 状态机的设计·····	209
13.2.3 LPM_ROM 的配置·····	213
13.2.4 缓存控制器的设计·····	214
13.2.5 顶层文件波形仿真·····	218
13.3 练习题·····	219

经验篇

第14章 VHDL 的综合

14.1 LOOP 语句的综合·····	224
14.2 进程的综合·····	225
14.2.1 可综合的进程格式·····	225
14.2.2 进程综合结果的讨论·····	227
14.3 VHDL 可综合编程的一般规则·····	229

附录A VHDL 保留字

附录B 常用语法

附录C IEEE 库中 ARITH 程序包声明

附录D IEEE 库中 SIGNED/UNSIGNED 程序包声明

参考文献



第 1 章

VHDL 初探

1.1 VHDL 简介

VHDL 是 Very high speed integrated circuit Hardware Description Language 的缩写,即“甚高速集成电路硬件描述语言”,最初由美国国防部和 Intermetrics、IBM、TI 公司联合开发,1987 年成为 IEEE 标准,即 IEEE1076 标准(俗称 87 版 VHDL)。此后,美国国防部要求官方的与高速集成电路设计相关的所有文档必须用 VHDL 描述,因此 VHDL 在电子设计领域得到了广泛的应用,渐渐成为工业界的标准。1993 年,IEEE 对 VHDL 进行了修订,公布了新的 VHDL 标准,即 IEEE1076—1993 版(俗称 93 版 VHDL)。

1.1.1 VHDL 的特点

VHDL 的主要特点包括:



1. 支持“自顶向下”的设计方法

设计可按层次分解,采用结构化开发手段,可实现多人、多任务的并行工作方式,使系统的设计效率大幅提高。

2. 系统硬件描述能力强

可以同时支持“行为描述”、“数据流描述”和“结构描述”3种描述方式,并可混用。其中,强大的“行为描述”能力使设计者可以避开具体的器件结构,从逻辑行为上描述和设计大规模电子系统。这一特点使 VHDL 成为系统设计领域中最佳的硬件描述语言。

3. 系统仿真能力强

VHDL 最初是作为一种仿真标准问世的,因此 VHDL 具有丰富的仿真语句和库函数。另外,VHDL 强大的“行为描述”能力也使其十分适用于系统级的仿真。

4. 工艺无关性

在使用 VHDL 设计系统硬件时,没有嵌入与工艺相关的信息。正因为 VHDL 的硬件描述与具体工艺无关,因而其程序的硬件实现目标器件有广阔的选择范围,其中包括各种 CPLD、FPGA 及 ASIC 等。

5. 其他

VHDL 的特点当然不只上面列出的这几点,但作为一本 VHDL 的入门书,本书无意(也不可能)将 VHDL 的所有特点一一列出。关于 VHDL 的好处,还是请读者在实践中仔细体会吧。

1.1.2 设计流程

VHDL 设计的基本流程如图 1-1 所示,这一流程基本可适用于任何基于硬件描述语言的设计。

下面对这一流程中的关键步骤进行简要说明:

(1) 系统层次划分/画出系统框图(Hierarchy/Block Diagram)

按照“自顶向下”的设计方法对系统进行划分(确定系统由哪些模块构成,各模块又由哪些子模块构成)。

(2) 编码(Coding)

写出 VHDL 代码。原则上此工作可在任何文本编辑器内完成,但大多数集成开发环境

(如 MAX+plus II 等)都集成了针对 VHDL 的编辑器。这些编辑器一般都具有 VHDL 关键词的高亮显示等特点,有的还内嵌了常用的 VHDL 程序模板等。

(3) 编译(Compilation)

编译器会对 VHDL 程序进行语法检查,还会产生用于仿真的一些内部信息。这一步骤通常由编译器自动完成,毋须我们干预。如果 VHDL 语法有错误,编译无法通过,则需要修改程序,即回到第(2)步。事实上,在 VHDL 设计过程中,常常根据需要往后退一步,甚至更多,这也是流程图中出现很多“往回走”的箭头的原由。

(4) 功能仿真(Functional Simulation)

VHDL 仿真器允许定义输入并应用到设计中,不必生成实际电路就可以观察输出。此仿真主要用于检验系统功能设计的正确性,不涉及具体器件的硬件特性。

(5) 综合(Synthesis)

利用综合器对 VHDL 代码进行综合优化处理,生成门级描述的网表文件,这是将 VHDL 语言描述转化为硬件电路的关键步骤。这一步通常由综合器自动完成,但设计者可以设定一些技术上的约束条件(如限定逻辑层次的最大数等)来“帮助”综合器。

(6) 适配(Fitting)

利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑优化、布局布线等。此步骤将产生多项设计结果:① 适配报告,包括芯片内部资源的利用情况、设计的布尔方程描述情况等;② 适配后的仿真模型;③ 器件编程文件。

(7) 时序仿真(Timing Simulation)

根据适配后的仿真模型,可以进行时序仿真。因为这时已经得到目标器件的实际硬件特性(如时延特性等),所以仿真结果能比较精确地预期芯片的实际性能。如果仿真结果达不到设计要求,就需要修改 VHDL 源代码或选择不同的目标器件,甚至要重构整个系统(看到图 1-1 里那个虚线的箭头了吗?这是所有设计者极力避免出现的情况)。

(8) 下载到 CPLD/FPGA(Programming)

如果时序仿真通过,那么可以将“适配”时产生的器件编程文件下载到 CPLD 或 FPGA 中

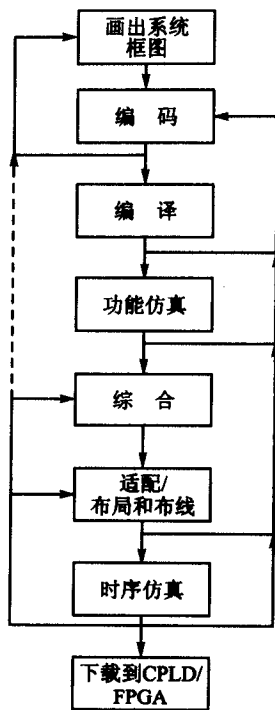


图 1-1 VHDL 设计流程