

计算与存贮

专利文摘



上海科学技术文献出版社

1

计算与存贮专利文摘

(第一辑)

上海科学技术情报研究所 编

*

上海科学技术文献出版社出版

(上海高安路六弄一号)

新华书店上海发行所发行

上海中华印刷厂印刷

*

开本 787×1092 1/16 印张 11 字数 308,000

1980年5月第1版 1980年5月第1次印刷

印数: 1—3,050

书号: 15192·85 定价: 1.87 元

《科技新书目》159—109

前 言

近年来,新技术、新材料的出现,特别是大规模集成电路的问世,使电子计算机——现代“电脑”的发展有了新的突破。今天,作为一种科研工具和生产手段的电子计算机业已崭露头角,其应用范围之广几乎遍及整个科研、生产、经济领域,在现代化的发展中占有独特的地位。而就其发展过程中所使用过的、正在使用的和拟将使用的新设计、新技术、新材料和新器件作一番了解,也正是我们加速实现“四化”的需要。为此,我们从浩如烟海的世界文献资料中选用了英国德温特公司出版的“世界专利索引”,翻译并报道其中美、英、法、苏、西德五国的有关《计算与存贮》的专利文摘,供读者参考。

《计算与存贮》每辑报道数字计算机、模拟计算机、外存贮器和内存贮器四大类,内容都为已拥有专利权的比较成熟的研制成果,包括新技术的使用、新材料的制备、新线路的革新、新产品的换代,侧重于工艺和应用,对工矿企业尤有参考价值。

本辑报道的五国专利文摘说明书,我所大都有收藏。如需参阅可至我所文献馆查阅或复制。函办复制,必须注明专利国别与专利号。

本辑报道的文摘系英国德温特公司摘编,题目与原专利说明书的不尽一致。每篇文摘的著录格式如下:

专利号	国际专利分类号	连续序号
中文译题 _____		
摘 要 _____		

申请日期

公布日期

限于编辑水平,如有错漏和缺点,敬希读者指正。

上海科学技术情报研究所

一九八〇年二月

目 录

R 27、数字计算机.....	(1)
R 28、模拟计算机.....	(70)
R 34、外存贮器.....	(95)
R 35、内存贮器.....	(129)

R 27、数 字 计 算 机

美 国

US 4030075 G 06f-09/18 0001
带有公用输入输出线的信息系统——具有若干个不同优先级的外围设备

数据处理系统由许多单元和一条公用母线组成，公用母线联接到每个单元，用以给任何两个单元之间信息的异步传递提供一条通路。在系统中包含一个优先级网络，该优先级网络与这些单元中的每一个单元联接，以指明这些单元中的某一个单元是要求通过母线传递信息的最高优先级单元。

优先级网络包含一条优先级母线，优先级母线与这些单元中最接近具有最高优先级的第一端的一个单元联接，并且与这些单元中最接近具有最低优先级的第二端的一个单元联接。优先级网络还包含每个单元中的优先级逻辑，用以异步要求通过母线传递信息，而与这些单元中任何另一个单元的操作无关。

75.6.30 77.6.14

US 4042813 G 06f-15/06 0002
发电厂实时操作模拟装置——采用数字计算机，特别适用于为核电厂训练操作人员

模拟装置模拟发电厂的操作。该发电厂具有一附属的热交换系统，使用从蒸汽发生器来的再热蒸汽将汽轮机之间的蒸汽加热。该模拟装置包括一用于输入数据的控制台和一顺序工作的计算器。计算器产生各种蒸汽的参数值，例如质量、流量、温度、焓、以及热传输数据。用一指示装置来监视发电厂的工作。模拟装置用来培训发电厂的操作人员。可以给予实时操作的训练，包括启动、加燃料、停机和处置紧急情况，特别适用于核电站。

74.10.31 77.8.16

US 4042914 G 06f-09/16 0003
外围处理器控制功能的微程序控制——有一个将通道命令传送到处理部件中的主处理器，这种处理部件能完成多种控制功能，实施特种作业

主系统包括一个微程序处理部件，它把一个外围处理部件连接到此系统的主存贮器，此微程序处理部件也连接到外围处理机的接口上。进行操作时，主处理器把一个通道命令传送到微程序处理部件，这一部件是在固件控制下操作的，它完成启动特种作业所需要的各种控制功能。在这种方法中，调度外围处理器的作业所必要的各种参数和信息都在固件控制下迅速完成，以响应由主处理器发出的命令。

76.5.17 77.8.16

US 4042972 G 06f-09/16 0004
采用微指令和只读存贮器的计算机系统——字长为16位，采用逻辑电路，有可寻址区，并通过多路转换器工作

在一台微程序设计的处理机中，数据通路的控制信号、运算器的功能、移位器及所有其他控制信号都是由现行微程序控制字控制的，而微程序控制字通常是按一定周期同步送入只读存贮器缓冲寄存器中的。这处理机考虑到带有或不带有测试的微转移能力，其测试包括直接寻址并为了以后再调用同时把地址暂时寄存，以及对下一条微指令地址译码计算机指令位的选择测试。

74.9.25 77.8.16

US 4044328 G 06f-11/10 0005
数据纠错装置——在处理之前修改数据并在处理后将数据还原以便检错

数据在处理之前修改好并在处理后恢复原状，以便能检测和纠正用通常的奇偶校验技术

检测不出的错误。特别是,被处理数据经历首次奇偶校验并纠正了此次奇偶校验中检测出来的错误后,还修改得使(尚未检出的)其它错误能用奇偶校验的方法检测出来,在此基础上,再来纠正这些错误。本装置可将错误率降到先前不能达到的水平。

76.6.22

77.8.23

US 4044330 G 11c-11/40 0006

把随机存取存贮器的输出连接到数据总线的连接系统——在电源接到锁定电路之前,总线锁定到随机存取存贮器的输出端

连接系统用来控制一个存贮器阵列的数据读出线与数据总线连接或脱开。存贮器阵列由锁定或非锁定的三状态存贮器组成,它的读出线接到使用普通晶体管-晶体管逻辑电路的数据总线,晶体管-晶体管逻辑电路和一电源驱动器相结合,以便模拟三状态缓冲电路。当电源驱动器使电源从晶体管-晶体管逻辑电路上移去,三态电路被模拟。当电源驱动器将电源加到晶体管-晶体管逻辑电路时,晶体管-晶体管逻辑电路就按正常的方式工作,同时在数据总线和存贮阵列的数据读出线之间呈现正常的阻抗。

76.3.30

77.8.23

US 4044333 G 06f-13 0007

程序数据处理系统——有几个存贮体和存取进出控制

该数据处理开关系统包括由处理部件和存贮体组成的系统装置,至少有一个存贮进出控制来控制信息通过通讯通道,并在处理部件和存贮体之间传输。此系统包含一个输入控制和一个输出控制用来建立传输的联接,用来信息传输的一组通讯通道是由这些控制器进行控制的,它们的特点是有一个设备将处理部件和存贮体组成几组,其编号等于通讯的路数,通讯通道同时对处理部件和存贮体之间连接是有用的。

75.2.18

77.8.23

US 4044335 G 06f-03 0008

存贮单元输出驱动器——由控制打印机的独立

控制逻辑半独立地操作

缓冲的串并存贮系统采用一个输出驱动器,它由独立控制逻辑半独立地进行操作。随着一般的串行数据输入到第一缓冲器,独立控制逻辑响应一个预定的信号独立地清除第二缓冲器,将数据从第一缓冲器传送到第二缓冲器,然后为下一个数据输入而清除第一缓冲器。第二缓冲器存贮的数据则供给需要并行数据输出的输出装置用。这可用于打印机中。

76.8.9

77.8.23

US 4047012 G 06f-15/20 0009

简易台式与袖珍电子计算器——具有人工键盘输入和编码,有处理器和显示器

输入部件包含可由人工操作的数字与非数字键,以便把信息送入计算器。第一存贮寄存器最初存贮送入的数,继而存贮减缩值。第二和第三存贮寄存器与第一存贮寄存器结合在一起,得到容纳个位数位和十位数位的第一区域和存数的第二区域。处理器由非数字输出键启动工作,它与第一、第二和第三存贮寄存器结合,反复减缩送入的数。输出部件与处理器结合,提供存贮寄存器内容,并逐次相加所得总量的输出指示值。

75.4.8

77.9.6

US 4047158 G 06f-03 0010

外围数据处理系统——包括与总线相联的存贮器、中央处理部件,以及由同轴电缆联接的并行终端装置

外围处理系统包括联接存贮程序信息的存贮器和中央处理部件(CPU)的总线。数据终端子系统包括若干预先指定的有互相排斥的地址码的终端,这些地址码并接、沿一同轴电缆进行双向通讯。每个终端监视电缆上出现的地址码,只有在接收到地址码后才进行通讯。与总线以及同轴电缆联接的主站多路转接器响应中央处理部件沿总线及电缆传送和接收的编码信息。

74.12.13

77.9.6

US 4047162 G 06f-03/04 0011

数据传输系统接口——它们由数据终端,信号

交换终端以及命令信号的控制终端等部分组成

本接口电路是应用于数据传输系统中的。不仅能用于一个数据通路和一个设备之间，而且能用于数据通路之间的联结。它被命令进入一个状态，在这状态，由一个通路上送来的命令被修改后作为第二个通路上的命令送出去，然后在第一个通路上的控制器不仅控制本通路的设备，而且控制第二个通路上的设备，如需要的话，还可以扩展到第三个通路。本接口电路有二部分，每一部分分别联接两个本质上是相同的通路之一，而状态控制是指对应于两部分中随便一部分接收到的信号，以建立不同的接口状态。对于数据通路之间的通讯，状态控制方法是对应于两部分中随便一部分的特定形式的命令信号，在另一部分产生的修改过的命令信号。

75.4.28 77.9.6

US 4047247 G 06f-09/20 0012
采用微程序的数据处理机的地址形成——采用含有非变址地址和指令码的基址寄存器来形成操作数地址

一操作数的最后有效地址用包含一非变址地址的基址寄存器、包含一变址值的变址寄存器以及包含一指令字的指令寄存器来形成。指令字依赖于所选择的测试条件的状态对控制存储器的编址加以控制。被访问的控制存储器字给出了控制这系统工作的信号，包括象取指令、定址、读写和执行这样的重要操作之间的转移，以及次要操作之间的转移。

76.4.7 77.9.6

US 4048623 G 06f-13 0013
高速数据处理系统——利用分时技术，使用单个存储系统的多处理器操作

在这种数据处理系统中，操作逻辑的安排是为了提供访问或取出操作的重迭。这样，在第一存储模块的数据传送完成之前，数据处理系统可通过处理器部件访问第二存储模块。第二存储模块的读出减少了总的处理时间。当系统采用了存储交叉技术时，这种操作就更为有效。通过使用时间片的分时技术，该系统提供

单个存储系统的多处理器操作。

76.12.13 77.9.13

US 4048624 G 06f-09 0014
可编程的半导体单片计算机——具有多功能存储指令寄存器，该寄存器对于接收来自存储器的程序指令具有平行输入的功能

该计算机有一个存储程序指令的只读存储器和一个多功能存储指令寄存器。为了从存储器接收选择的程序指令，指令寄存器具有并行的输入功能，并且，为了把程序指令发送到编码器，更有并行输出的功能。指令寄存器具有一个连接到缓冲器的串行输出。存储器是由一个地址寄存器来编址的，此地址寄存器还提供一个指示已被编址的程序指令是否控制了计算机系统的代码。当编址程序指令要控制此系统时，该代码已被预选置“1”。程序指令通过缓冲器，从指令寄存器中读出，同时通过串行连续重新进入指令指示器。

75.7.7 77.9.13

US 4048673 G 06f-03 0015
并行串转换改进了的数据处理系统——特殊接口采用四级串行传输的移位寄存器

中央处理部件包含改进的输入/输出移位寄存器结构或接口设备来连接输入/输出设备（总线结构）。输入/输出设备包含改进的中央处理部件收发器和外围设备收发器。设备收发器与一改进的设备控制器相接。该系统中，中央处理部件、中央处理部件收发器、设备收发器和设备控制器都主要由MOS（金属氧化物半导体）工艺制成，每个部件各含自己的芯片。输入/输出系统的其它特性包含能放置多个收发器/控制器（收发器/控制器带有由于新型时钟的效能而与中央处理部件间有着各种不同距离的各别外围设备）和在数据传输中保持数据的精确处理而无须注意传输时延、畸变和数据扭曲等因素。

76.2.27 77.9.13

US 4051551 G 06f-15/16 0016
多维并行存取计算机的存储系统——具有带响应存储选择以及地址特征位的处理机的调准网

络插入存贮组件

多维并行存取计算机的存贮系统使自多组的计算机存贮装置的数据并行存取能高速地进行。该系统特别适合于矩阵的计算。为了高速地变换矩阵,沿线性矩阵向量的矩阵元彼此不矛盾地贮存在若干独立的存贮装置里,并且与许多独立的处理机并行联接。

插入存贮装置和处理机间的调准网络负责存贮和地址特征位的形成将贮存在某一特殊的存贮地址中的特殊矩阵元与一个特殊的处理机联接起来。

76.5.3

77.9.27

US 4053947 G 06f-09/10 0017
带有分立功能部件的数据处理器——分立的功能部件均连到总线,从一指令存贮器驱动工作

第一条指令选中一个功能部件并命令执行一个内部功能,第二条指令选择两个功能部件,以便通过总线系统互换数据,并命令接收数据的功能部件用送来的数据执行一个内部功能。第二条指令的执行过程可以分成三段,第一段时间内命令第一个功能部件送出数据,第二段时间内将数据送上总线系统,第三段时间内另一功能部件接收送来的数据。指令连续地从指令存贮器定周期地读得,并通过总线系统馈给各功能部件。

76.4.30

77.10.11

US 4064394 G 06f-15/46 0018
电子数字过程控制器——从操作员控制板上可选择模拟量控制功能

一个电子数字过程控制器处理包含一个或几个模拟输入的输入信号,以从控制过程控制设备中得到输出信号。在该计算机上编制程序来模拟一个或几个模拟量过程控制块的功能。一个过程控制操作员面板包括下列三种控制的选择:模拟量输入信号;模拟量过程控制块以及适当的输出通路。

75.5.28

77.12.20

US 4064395 G 06f-15/46 0019
带可编程序操作控制器的机器控制系统——具有响应限制开关和按钮的逻辑部件与异步操作

的数据处理器

逻辑处理器依据描述所需机器操作的程序,响应机器上的初级器件(诸如限制开关和按钮)以控制机器上的次级器件(如马达启动器和螺线管)。数据处理器与逻辑处理器异步操作,但为选择有关机器操作的运算指令程序向那儿作出回答。本系统包含一个远离控制器的带按钮、灯光和读出装置的信号板。信号采用异步操作的接收/发送器在控制器与信号板间传送,接收/发送器多路转接并在串行基线上传送此信号。

76.8.17

77.12.20

US 4064398 G 06f-07/38 0020
带有18个按键的电子计算器——有区别于整个数字输入部分的独立的功能键

该电子计算器包括送入数字量的装置和鉴别装置,它能区别通过输入装置进入的混合分数的整数部分和分数部分。依据电子计算器其数字量可以按照分数表示方式输入,该输入装置采用一组键盘和若干寄存器与运算部件交换数据,运算控制电路响应功能键的输入如加、减、乘、除及三角函数正弦、余弦、正切等。

75.3.18

77.12.20

US 4064399 G 06f-15/02 0021
用键盘输入数据的电子计算器——采用半导体集成电路,而条件开关和操作键之间的连接采用串接方法

该电子计算器由一块半导体集成电路和输入键盘组成,键盘的条件开关和操作键之间是采用串行连接的,因此半导体集成电路与键盘之间的相互连线被减到最少。条件开关是一个用来决定运算结果小数点位置的指示开关。计算器有舍入和累加的功能,集成电路包含有一个输入端和操作键与多输入符合逻辑门电路。

76.3.31

77.12.20

US 4064553 G 06f-13 0022
外存贮器与主存之间的数据传送控制——采用以块地址码和字地址码为主的数据块结构

该信息处理器的任务是连续不断地从外存贮器读出一系列记录,每个记录包含有若干个

信息字,当一个记录被提取时,它的特定字被作为对应于将这记录存入主存的指定条件的关键字,它由一地址存贮器构成,该存贮器用于连续将每个记录写入主存以及接收和存贮每次要写入的各个记录的头地址的地址数据。当写进主存的记录块的指定的关键字和以前描述的条件比较,其结果表明关键字与该条件不符合时,主存的地址回到存贮在“地址存贮器”的头地址。

75.11.14

77.12.20

US 4064554 G 06f-09 0023
用于袖珍计算器的电子数字处理器——ROM和RAM 分别用来存贮指令代码和数据

该电子数字处理器可以用在袖珍计算器中,它采用单片半导体 MOS 大面积集成电路。该处理器包括一个存贮指令码的 ROM; 一个存贮数据的 RAM; 一个运算部件,它在微指令或命令码的控制下执行数据的操作; 以及一个用来产生对应于指令码命令的译码器控制电路。该运算部件是被一组微指令控制的,这些微指令是由某类指令码产生的,该类指令码是直接送到一个产生微指令的译码器中,另一类的指令码包括有常数区。

76.8.16

77.12.20

US 4064557 G 06f-07/32 0024
数据流汇归系统——具有与缓冲器电子连接的打字机和分段和文本数据代码的系统控制逻辑

汇归数据流的系统具有一个与缓冲器电子连接的打字机,缓冲器是动态电子移位寄存器,数据送入缓冲器的各段,并将这些段中的数据汇归到一个单一的印字输出端。提供系统控制逻辑以便使: (1) 分隔(或分段) 代码送入缓冲器以规定段; (2) 对应于保持和操作标志的代码送入这些段中; (3) 对应于字符和开关或停止点的文本数据代码送入这些段中。为了文本的编辑和修改,它也可使操作员能在缓冲器的这些段中插入字符或将字符从这些段中擦去。

75.7.14

77.12.20

US 4064560 G 06f-03/04 0025
应用键盘的数据传输网络——外围站有多路转

换器,受中心站控制

系统具有一基本键盘终端和一辅助键盘终端。辅助键盘终端具有一个用来输入数据的键盘开关系统和有开关装置接到第一个输入端的多路转换系统。多路转换器的第二个输入端由基本键盘终端中的选择开关开启。多路转换系统还有第三个输入端,它连到基本键盘终端,以便输送由基本键盘终端产生的可变计数值。多路转换装置有一个输出端,在第二个输入端出现信号时,若送入键盘开关装置的数据与特定的可变计数值一致,输出端就送出控制信号。这个控制信号被送到基本键盘终端,以便把基本键盘终端产生的特定计数值转送到对应于输入数据的外部数据处理装置。

75.7.25

77.12.20

US 4064561 G 06f-03/14 0026
阴极射线管(CRT) 键盘输入终端——中央处理部件在软件控制下,完成了许多功能,尽量减少硬件的使用量

由于中央处理部件在软件控制下,完成了许多,通常的CRT 输入终端操作,使每个CRT 终端的硬件设备的使用尽量减少,并且保持了集中控制。简化的 CRT 输入终端包括响应中央处理部件命令的音调发生器和一线路,该线路只在收到中央处理部件对每次单独重显发出的重显启动信号后才发出连续执行输入的自动输入笔划重显信号。音调发生器具有用声音表示完成每次输入动作的输入声响线路。CRT 输入终端对每个输入笔划数据字插入一设备码,该设备码指出 CRT 输入终端里多个可用的输入开关装置中的一个。

76.11.26

77.12.20

US 4065754 G 06f-03/04 0027
采用光笔的处理系统输入设备——计数器与矩阵行和列的驱动器 and 译码器相连接

在本输入设备中,扫描脉冲按分时方式送入许多开关装置,这些开关产生信息输入指示。扫描脉冲送入驱动开关系统。该扫描脉冲由光笔探头检出后封锁地址系统的操作,该地址系统是随扫描脉冲而改变其内容的。在系统封锁期间,地址系统的内容表示了驱动开关装置上

的输入信息。

76.1.19

77.12.27

US 4065765

G 06 f-03

0028

脉宽解调和信息存贮装置——具有由数据接收器输出触发的单稳电路和一对移位寄存器

该脉宽解调和信息存贮装置包含一个数据处理定时系统和一个独立的控制数据读出和记录的定时系统。数据输入在每一数据收集周期内可由一对字组成。依靠同步于数据输入的检索信号,该装置辨认要处理的一对数据的每个字。该装置把每一脉宽调制的字转换为数字格式,并把每一对字交替存贮到一对移位寄存器的一个中去。根据从记录器来的指令,交替地读出这对移位寄存器中另一个的内容送到记录器。

75.8.11

77.12.27

US 4065809

G 06 f-15/16

0029

多处理的微型计算机系统——两个微型计算机带有只读存贮器和可单独访问和公共访问的随机存贮器

该微型计算机系统包括两个微型计算机、一个只读存贮器,一个由每个微型计算机独立使用的随机存贮器,一个由两个微计算机都可访问的公共随机存贮器。两个微计算机和两个存贮器联在一起。在微计算机和公共随机存贮器间有检测各个微计算机访问公共随机存贮器的地址译码器以及一控制触发器,该触发器在其中一个微计算机完成存贮器访问周期后置“1”,在另一个完成访问周期后置“0”。当两个微计算机之间不进行数据传送时,这两个微计算机一般访问各自的存贮器。

76.5.27

77.12.27

US 4065862

G 06 f-13/02

0030

数据传输计算机系统——为了从接收寄存器接收并存放数据信号,设置有发送寄存器

本装置是为了使数据传输计算机系统中的数据信号和时钟脉冲同步而设置的。数据传输计算机系统有一个产生数据信号的计算机和将数据信号发向远程局部数据装置的局部数据装置。本装置包括一个存放数据信号的接收寄存

器和一个为了从接收寄存器接收和存放数据信号而和接收寄存器输出相联的发送寄存器。逻辑电路响应从局部数据装置来的时钟信号,使数据信号从接收寄存器传送到发送寄存器并且从那里再传送到局部数据装置。当数据信号存贮在接收寄存器时,从局部数据装置来的时钟脉冲和这些数据信号是同步的。

75.9.15

78.1.3

US 4068226

G 06 k-15/18

0031

计算机的键盘和显示控制线路——随机访问存贮器用后援线路存贮键盘数列

矩阵键盘输入的数据或者远程计算机送来的数据是送入随机访问存贮器的显示缓冲区。通过程序刷新字符显示缓存的若干显示单元来显示数据。显示缓存在显示地址计数器控制下由存贮器加载。由于数据恢复是和系统脉冲同步,而数据送入是自来键盘的同步,所以显示用的数据存贮和数据恢复是多路分时的。对一个由系统时钟同步驱动的计数器进行译码,以扫描输入数据的键盘,并且将字符显示缓存选通到要刷新的下一个顺序显示单元上。

75.6.10

78.1.10

US 4068299

G 06 f-03

0032

用于多种数据的数据处理机——包括带有数据字段比较系统的程序

该装置是用来执行逻辑比较指令的,它提供了一个与比较指令中各个操作数特性有关并描述此特性的数据字段描述符。假如两个操作数格式不同,若第一操作数的内容与第二操作数的内容匹配,在执行比较指令时,一个操作数会被转换成与另一个操作数相同的格式。该装置还能判断第一操作数是否大于、小于或等于第二操作数。

73.12.13

78.1.10

US 4068300

G 06 f-07

0033

处理不同格式的数据处理系统——用描述符来指示要寻址和测试的数据场

由于在执行时才定义数据场的特征为数据场的长度,位置和数据表示法,因而数据场描述符扩展了操作数访问的灵活性。鉴于允许对

程序不施加由数据场特征所给予的任何约束即可被编译,所以,一直到执行时都和操作数的访问有关的这种延迟提供了数据的独立性和保密性。在执行时,必要的信息通过寄存器提供。这样就可正确地处理数据场的信息。由于这一特点,允许一个程序免于改变它的输入输出文件的格式而不需要重复经历费事的编译操作。

73.12.13

78.1.10

US 4068302 G 06 f-11 0034
计算机性能鉴定装置——测量信息存贮磁盘读写头的运动

一个计算机的性能可通过测量计算机的磁盘信息存贮器读写头的运动和盘的旋转速度来评定。信号传送到外部记录器以便揭示磁头运动及盘的旋转速度。其他的若干性能标准可通过这些来决定。传感器系统和计算机或存贮系统的内部电气系统之间在电气上是不连接在一起的。

76.2.27

78.1.10

US 4068305 G 06 f-13 0035
全并行分布逻辑数据处理机——有相联存贮器,它带有与各个存贮器单元相联的计算逻辑

存贮单元按矩形阵列排列。在相邻的存贮单元间、在要输入到机器的数据和所选字的内容间或者所选的字之间均可执行逻辑操作。逻辑操作的类型可根据二变量功能加上单变量功能“传输”和“反相”所组成的完整的功能集来选定。将其它二变量功能与“反相”组合可得若干种二变量功能。在某些场合里,单门可既执行多路开关功能又执行逻辑功能,或者执行逻辑功能和存贮功能。每个存贮字都配备了应答部件。若某字与输入字符符合,在符合操作期间该应答部件置“1”。在符合操作时,全部存贮字均被同时检索。

76.5.12

78.1.10

US 4068310 G 06 f-15/20 0036
用于视频运动轨迹显示的显示改进技术——提高陡峭斜斜线的轨迹辉度,避免轨迹中出现间隙

该系统使一作为时间的函数的模拟信号在

电视监视器上显示出实质上无间隙的连续线。输入被数字化,数字化的每个级和一条光栅显示线对应,以便给出合适的垂直偏转。在每条光栅扫描线的时间内,振荡器和计数器通过所希望的若干条水平采样位置顺序地把输入地址送到存贮器,地址约要求8位。各个地址给出几位,以数字的形式给出了信号的瞬时Y轴座标。这个输出与存在第一个数字比较器内有关的数字化光栅线号比较,并存入一个只在每次地址改变前由计数器选通的寄存器内。光栅号及存入的前次输出在第二数字比较器内比较,以便控制所需要的轨迹亮度。

76.7.22

78.1.10

US 4069510 G 06 f-03/04 0037
接口适配器片的中断状态寄存器——数据经输出总线由外设数据总线,数据方向和控制寄存器传送到数据总线缓冲存贮器

数据处理机的外设接口适配器线路(PIA)有一些存贮单元,即在PIA逻辑功能的程序控制下可以修改的控制寄存器。适配器还包括和双向数据总线相连的数据总线缓冲寄存器,以及和双向外设数据总线相连的外设接口缓冲寄存器线路。在外设接口数据总线上的数据流方向受数据方向寄存器的控制。数据总线缓冲寄存器的数据送入输入寄存器,并由此送入和控制寄存器,数据方向寄存器和数据寄存器相联的输入总线。

76.5.24

78.1.17

US 4070646 G 06 f-11 0038
脉冲误差检测器和指示器——用反相器使有四个序列状态的可逆计数器复位

该误差检测器是用于接收脉冲的,这些脉冲通常有两个方向的交替变化。可逆计数器有第一、第二、第三和第四的顺序状态,当计数器处在第一或第四状态时,由一器件形成误差信号。在计数器进入第一或第四状态时,由一器件将计数器复位到第二或第三状态。用一器件接收脉冲,使计数器对某个方向脉冲状态变化作加“1”计数,而对另一方向脉冲状态变化作减“1”计数。

76.6.25

78.1.24

US 4070647 G 06f-11 0039

数字系统的误差测量装置——计数器对本次出错和下次出错间的位数进行计数

由指定的N位长的采样数来说明传输线的质量,该N位中含有超过1位的出错位。经过检测到出错,对本次和下次出错间的位数进行计数,计算每个序列*i*的出错数,而在该序列中连续三个出错字长不超过N+1位,出错的分布由 $5(i)N - a(i) + S(a)$ 的和决定,此处, $S(a)$ 是 $a(j)$ 从*j*=1到*m*-Z的和, $a(i)$ 等于序列中从第*j*个出错到第*j*+1个出错的位数,*m*等于序列中的出错数。与此同时也产生连续和。

76.4.9

78.1.24

US 4070703 G 06f-09 0040

微程序数据处理系统——有对控制存贮器寻址的下地址形成逻辑,控制存贮器存放命令字段和下地址字段

该数据处理系统有一响应第一组信号,产生地址高位和低位部分的装置。第一存贮部件有字地址的第一个数,每个数具有位地址的第一个数。第二个存贮部件亦有字地址的第一个数,每个数具有位地址的第二个数。第三个存贮部件有字地址的第二个数。第一存贮部件含有控制系统运行的命令信息。第二、第三存贮部件含有表示第一组信号的地址信息。本系统还包括对第一存贮部件寻址的第一寻址逻辑和对第二、第三存贮部件寻址的第二寻址逻辑。

76.9.27

78.1.24

US 4070710 G 06f-03/14 0041

计算机图象显示系统——包含通道转接器、控制部件和光栅存贮控制部件

该计算机图象显示系统包括一个存贮要显示的信息的随机存取存贮器、一个将数据写入光栅存贮器的光栅存贮控制部件,一个将这些要显示的信息送上阴极射线管显示屏的频屏控制部件、一个控制光栅存贮控制部件及视频控制部件工作和同步的微控制部件以及一个使微控制部件和主计算机能交换数据的计算机转接器。显示的图象可极为复杂,基本上没有闪烁问题。图象可放缩和画面可移动以显示全景的特性就能以一种灵活方式来使用一相当复杂的

存贮图像。

76.1.19

78.1.24

US 4071902 G 06f-07/38 0042

具有整体测试设备的逻辑电路——有第二时钟系统以控制互锁,使每一个部件均可以逻辑或测试方式工作

LSSD(电平灵敏扫描设计)方法应用于数字计算机或其它类似的设备中。特别是用在可以极小的开销提供逻辑网络的可测试性的那种系统的逻辑结构中。本系统提供了一种有效的方法,可将选通的B移位时钟脉冲送向初始的输出端。这样,只用极小的附加设备而获得了完全的容错测试。若B移位时钟选通,则SRL的L₁输出对被选通的B移位时钟都作“与”操作。并且再将所有这种输出进行“或”操作,并送到初始输出端。

76.6.30

78.1.31

US 4072852 G 06f-11/04 0043

数字计算机的监视和再启动线路——漏脉冲检测器输出信号,产生复位监视线路的再启动脉冲

数字计算机监视和再启动线路由漏脉冲检测器监视数字计算机的周期输出信号。如检测器检测到计算机的漏输出信号,就用一个代表计算机不好工作的输出信号来表示发生了这种检测操作。作为该输出信号的回答,由再启动脉冲发生器产生再启动脉冲,把再启动脉冲加到计算机里重新启动计算机并使监视线路复位,同时启动一个5秒的定时线路。在定时线路5秒的工作间隔时期内,如果监视线路再产生一个表示计算机不再能工作的输出信号,那末5秒定时线路停止工作,并且不产生另一个再启动操作。

76.8.23

78.2.7

US 4072853 G 06f-11/12 0044

带有奇偶校验位编码的数据存贮系统——用差错检测器和编码器线路产生差错候位表示出现了不可纠正的差错

本装置包括在数据处理系统的主存中,该数据处理系统接收若干和总线相联的输入/输

出设备的数据,在写周期操作中,用一设备将若干以数据字节连同有关的奇偶校验位写入存贮器的编址存贮单元。错误检测和纠错编码线路被联入以接收数据位和奇偶校验位,由它们产生出校验码位。根据一定数据源的奇偶校验位,该码位被译码并有选择地用信号表示产生了不可纠正差错的情况。在读周期的操作中,和存贮器相接的差错检测和纠错译码线路作为对从编址存贮单元读出数据位和校验码位的回答,产生若干有预定特征的差错症候位。

76.9.29

78.2.7

US 4073005 G 06 f-09/18 0045
数据处理设备——外围处理机通过存访部件接到中央存贮器

许多数据处理操作是以必须执行的中、小规模的计算作业或任务数来表征的。这些任务常常需要大量可快速检索的数据,但处理和计算却比较少。各个任务在若干个处理器中的一个内执行。每个处理机实质上是一台配备齐全的计算机,它具有算术部件,控制部件,指令检索部件(即指令计数器)以及其中存有正在执行的任务和与此有关数据的局部存贮器。不要求这些处理机一致,实际上把相互间速度差别悬殊的处理机用作这种外围处理机也许是有利的。

74.1.21

78.2.7

US 4073006 G 06 f-09/18 0046
同时处理的数字处理器——做成单个金属氧化物半导体大规模集成电路芯片,具有存贮指令代码的只读存贮器

这个电子数字处理器属于用在小型计算器里的那种类型。处理器制成单个金属氧化物半导体大规模集成电路芯片,并包含一个大容量只读存贮器,它与地址选择电路一起贮存指令代码,地址选择电路按程序计数器的序列安排或用转移到包含在一条转移指令代码中的地址的方法来产生只读存贮器地址。在执行一条转移指令的同时,指令代码中用作转移地址的那一部分可作为操作码在处理器内执行操作。

76.7.19

78.2.7

US 4074355 G 06 f-09 0047
数字微处理器 MOS 芯片——有一个分时译码器,可形成部分可编程序的逻辑,并且还可译出 ROM 的地址

可用于计算器的数字处理器是由 MOS/大规模半导体芯片提供的。它包括一个存放指令的 ROM (只读存贮器),一个对随机存取存贮器的数据进行运算的位并行算术部件和一个确定该系统的操作的控制线路。控制线路包括一个可编程序的逻辑阵列,以对指令字译码,芯片所占空间由于采用了分时译码器而得以节省。这种分时译码器构成部分可编程序的逻辑阵列,并可译出 ROM 的地址。

76.8.16

78.2.14

US 4075679 G 06 f-03/02 0048
带有字母数字键盘的可编程序电子计算器——包括中央处理部件,输出用的显示和打印装置、以及编有 4 种程序设计语言的只读存贮器

可编程序计算器用分别可扩充的模块式读写存贮器提供另外的程序和数据的存贮功能。大规模 N 沟道 MOS 集成电路的中央处理部件,能处理 16 位平行二进制运算,它具有二进制编码的十进制运算器,一些 16 位平行输入/输出设备以及直接存贮访问通道。输入/输出设备包括带有字母数字键完备的补充键的键盘部件,能在计算器和磁带间双向传送程序和数据的盒式磁带读写部件,以及一个 32 位字符的固态输出显示部件,还包括一个 16 行输出的字母数字热印机。

75.12.8

78.2.21

US 4075686 G 06 f-13 0049
有旁路能力的输入/输出超高速缓冲存贮系统——具有指令模块,输入/输出处理器与多路转换模块相互连接

该输入/输出系统由一包含超高速缓冲存贮器和后备存贮器的局部存贮器组成。系统包含许多指令模块。超高速缓冲存贮器对信息块提供快速存取,这些信息块响应存贮器指令已先从后备存贮器中取出,指令是由许多指令模块中的任一个在数据传送和数据处理操作过程中产生的。每一条加到存贮器的存贮器指令包

含一预置位, 当向局部存储器要求的信息写入超高速缓冲存储器时, 预置位编成指定的码。局部存储器包含这样的装置, 它响应每一存储器指令, 使指令模块能依据预置位的编码有选择地旁路超高速缓冲存储器。

76.12.30

78.2.21

US 4075687 G 06f-09/20 0050

微程序控制的数字计算机——存储器存贮可寻址的取指微程序和单独的可寻址的微指令集

微程序控制的数字计算机设有一个微指令存储器寻址控制单元。该微指令存储器存贮可寻址的取指微程序及单独的可寻址微指令集。存在指令集里的每一条微指令都有一个寻址控制字段。根据执行的现行微指令控制字, 用微指令存储器寻址控制器来选择若干地址中的一个作为存储器的下地址。

76.3.1

78.2.21

US 4075704 G 06f-07/38 0051

浮点数据处理系统——具有流水线结构的加法器和乘法器, 为快速运算数据处理机提供了基础

浮点数据处理系统包括浮点加法器(算术部件), 浮点乘法器和一些存储寄存器, 这些存储寄存器可包括表格、数据和数据便笺存储器。可同时平行工作的总线互联处理机的基本部件使得能够同时进行多种运算而彼此既不发生冲突, 也不需要印刷板间复杂的互连。浮点加法器单独驱动第一总线, 为存储寄存器, 加法器和乘法器提供可选择的输入, 而浮点乘法器也单独驱动第二总线, 为存储寄存器, 加法器和乘法器提供可选择的输入。加法器和乘法器带有各自的终端以及接收存储寄存器选择输出的输入总线。

76.7.2

78.2.21

US 4077028 G 06f-11/12 0052

纠错数据处理系统——有校验位及对应于传送字中的一、二、三个差错产生信号的检测器

本差错校验和纠正设备对通过模块式通讯通道传送的码字除了可纠单错和检测双错外, 还可检测突发差错。码字由若干位数据和若干

位校验位组成。模块式通讯通道由若干块模块组成, 每一模块都并行传送一组二进制码位。码字最好包含40位二进制位, 其中32位为数据, 8位为校验位。模块式通讯通道是一个由10个模块组成的计算机存储器, 每一个模块具有4个二进制位。在发送器中, 校验位发生器按照H矩阵由数据位产生校验位, 该H矩阵根据存储器的一组边界分割成h子矩阵。

76.6.14

78.2.28

US 4077030 G 08c-15/06 0053

数据传送和数字处理系统——采用单一的数据总线传送地址和脉宽调制的信号

本系统用于将远程传感器获得的数据传送到数字处理系统。该模拟传感器的输出在放置传感器的地方变换为脉宽信号, 而在数字处理器上又从脉宽变换为数字数据。每个放置传感器处的延迟电路使得可以用单个询问信号同时询问每个传感器。在每个放置传感器处, 脉宽信号的产生都被延迟, 所以各传感器来的脉宽信号是串行地为脉宽-数字转换器接收的。只需用一根数据传输线来传送往返于数字处理器和放置传感器处之间的询问信号和脉宽信号。

76.2.19

78.2.28

US 4077565 G 06f-11/12 0054

检错纠错定位电路——包含编码电路, 接收数据和奇偶检验位, 产生在写周期中与数据位一起贮存起来的校验码位

主存贮系统包含编码和译码电路。编码电路接收数据和奇偶检验位并产生校验码位, 在写入操作周期中, 校验码位与数据位一起贮存起来。译码电路接收在读操作周期中从存储器读出的数据和校验位。译码电路包含错误定位电路。它经“异或”电路产生许多出错位信号。这些信号分为两组。将第一组信号编码以指明: 在出错时, 这许多由错误定位电路组成的译码电路中究竟哪一个将起作用。将第二组信号编码以指出将为译码电路纠正的特定数据位。

76.9.29

78.3.7

US 4078251 G 06f-15/02 0055

电子计算器或微处理器——在数据交换操作以

及控制选中操作寄存器时,使屏蔽逻辑起作用

电子计算器或微处理器系统是用一块半导体基片实现的,基片有一运算单元,一个响应输入信号的地址寄存器、一个用来存放若干指令字并可被地址寄存器寻址的指令字存储器以及一个对指令字译码并控制运算单元的指令字译码逻辑。上述系统,有一些操作寄存器,存储从输入端接收到的数据以及运算单元输出的数据,该系统还有一些操作寄存器选择门,使操作寄存器和运算单元相接或这些操作寄存器之间相互连接。指令字译码逻辑内有屏蔽逻辑,产生屏蔽信号送到操作寄存器选择门。

76.10.27

78.3.7

US 4078254

G 06 f-13

0056

具有专用高速缓存的多级存储系统——有附加的低速缓存允许 CPU 和通道能重叠操作而不冲突

该多级存储系统用于数据处理系统,它由一些不同的独立的存储模块及后缓存的主存组成。系统的每一个数据处理部件都有一个与其有关的独立存储模块作为专用缓冲存储器。一个大容量高速主存是用作后缓存,每一个数据处理部件内,假定任何需要的数据都在它的专用缓冲存储器内。如数据不在专用缓存中,数据处理部件就扫描所有其他缓冲存储器,直到所需要的数据找到为止。

73.12.26

78.3.7

US 4079234

G 06 m-03/02

0057

键盘连接磁带的缓冲网络——慢速接收数据组,然后以所需速度输出

该手动按键输入装置包含一存储器,以便逐个贮存一个记录所包含的一些字中每个字的字符,这些字符由键盘输入设备送入,并由接续记录的数据中的记录定位码来划分。第一计数器计出由键盘输入设备送到存储器的一个记录内所包含的字里的字符总数。字符总数存入一字符数存储器。在一个比较器内将已存入字符数存储器的组成一个记录的一些字符与已由第一计数器计出的含于该接续记录的一些字符进行比较。

76.12.10

78.3.14

US 4079240

G 06 f-07/38

0058

异步/同步转换器——按数据速率可变的不归零制编码的数据位同步地发出时钟脉冲

此处披露一异步/同步转换器,它按具有可变数据速率的不归零制编码的数据位同步地发出时钟脉冲。制成该转换器是为了适应于条形码形式的全积码编码符号的光学读出。该转换器包含一个同步暗条形码位的高级位同步系统和一个同步明条形码位的低级位同步系统。一高级测量电路对单位暗条形码脉冲计时并为低级位同步系统定时。

76.2.5

78.3.14

US 4079354

G 06 f-13

0059

单公共总线——具有数据通道、地址通道和标志通道。标志通道有服务写入和服务读出信息线

该数据处理系统包括中央处理部件,主存部件,若干输入/输出控制部件和一公共总线。公共总线互连上述所有部件,该总线至少包括一个数据通道,一个地址通道和一个标志通道,标志通道至少有两根线,一根是“服务写入”线,一根是“服务读出”线。“服务写入”线传送的信号表示在写操作时,数据通道和地址通道的信息是否有效;“服务读出”线传送的信号表示在读操作时,数据通道和地址通道的信息是否有效。

77.3.9

78.3.14

US 4079371

G 06 f-05/06

0060

数字信号的脉冲频率转换器——采用时间分割法的有快停性能的防振电路

数字信号速率变换器有一响应输入时钟脉冲的第一分频器。输入时钟脉冲确定用作产生写入脉冲的输入信号的速率,写入脉冲用于把输入数字信号存入存储器。压控振荡器产生速率较高的输出时钟脉冲,这些脉冲直接地,或者通过一个响应输出时钟脉冲的电路而得到,以便提供说明送到第二分频器的那些脉冲的脉冲位置要素。那些脉冲送到第二分频器是为了产生读出脉冲,使存储器产生输出信号。控制器受输入时钟,输出时钟以及位置说明脉冲的作用,它被接到第一和第二分频器,确定写入

及读出脉冲之间的相位差。

76.5.20

78.3.14

US 4079447 G 06f-09/06 0061

修改计算机已存贮的程序的装置——在机器中,通过随机访问存贮器和微程序指令实现

本方法用于计算机中修改已存贮的程序,在存贮指令的主存中删去指令使得被删去指令的程序有所压缩,以保留存贮空间。要对已存贮在主存中的程序插入指令就移动所存贮的各后续指令。根据要缩短的特定子程序,存贮器可分成任意段,程序中每个将要运行的子程序都有相应的程序层寄存器,碰到子程序转移指令就移出程序层寄存器的内容,以节省现程序层寄存器空间。

74.4.11

78.3.14

US 4079448 G 06f-09/18 0062

外部设备任务同步装置——在几只外部设备和一只处理器间同时传输数据或命令,内有译码器及输入输出

改进过的装置用于在几个外部设备和一只中央处理器之间同时地传输数据或命令。该装置有一外部设备控制器,使中央处理器和几只外部设备相联,为提高中央处理器的处理能力,相对于中央处理器和外部设备而言,外部设备控制器以主设备的地位来工作。微处理器有一输入输出、译码器和一个响应来自译码器的优先级的调度设备。

75.4.7

78.3.14

US 4079450 G 06f-03/14 0063

用彩色电视输出的复杂系统的显示器——由带有各种通信设备的微处理机控制

输入输出彩色屏幕系统有一彩色显示器和微处理机及其连带的工作存贮器。这个存贮器用作图象刷新存贮器。系统内还有一台小型磁盘存贮器,存贮信息。屏幕的一个部分上有一个有符号的虚拟键盘。光笔及其有关的控制手段用来人工选择要求的显示符号。该系统可用于显示计划的流程图,同时还能指示出过程数据的实际值。

75.10.21

78.3.14

US 4079451 G 06f-09 0064

数据处理机寻址系统——处理机具有若干寄存器,控制存贮器以及逻辑传送线路

该数据处理系统具有按位、字节和字寻址的功能。存贮器装置的字地址可根据基址寄存器中的值进行寻址,也可基于变址寄存器的字变址值按间接变址方式寻址另一个字地址。通过变址寄存器产生字节和位变址值,根据该变址值提供编址字的有效字节或者有效位寻址能力。为了实现所要求的操作,指令字指出寻址类型,并且指出使用放在控制存贮装置中的各个不同的控制字。

76.4.7

78.3.14

US 4079452 G 06f-03/04 0065

计算机的数据管理系统——采用数据总线,地址计数器,只读存贮器、程序存贮器和控制逻辑部件,控制几个外围设备

可程序编制的控制器模块(PCM)使有不同通讯规定的若干外围(PD)与数据处理机(DP)相联接,或者通过串行接口转接器(SIA)或平行接口转接器(PIA)与远程PCM相联接。PCM由一专用计算机构成,该计算机存放在存贮器模块内的程序解释并实现不同通讯规定的专用通讯约定(子程序)。经SIA或者PIA和PCM相接的各个外设分配有通道码,并通过通道码来进行寻址。通讯规定识别线(DID)由每一个转接器通道联到PCM中若干终端的一个终端。

76.6.15

78.3.14

US 4079453 G 06f-09/20 0066

大型数据处理系统的地址测试——采用面向硬件的指令执行测试程序和诊断程序

该大型数据处理系统包括一段式主存。段式主存受描述符访问入口表的控制,限制对主存的访问。执行测试地址表达指令的硬件有两个寄存器,第一寄存器存放若干描述符,第二寄存器存放一个描述符。第一选择器和第一,第二两个寄存器相连,根据指令中的一位选择位来进行如下选择:在选择位处第一状态中,选取第一寄存器;在选择位处第二状态时,选取第二寄存器。再根据指令地址段的若干位使第

二选择器进行选择：在这些指令选择位处在第一状态时，选择第一寄存器中的一个描述符；若处于第二状态时，就选择第二寄存器中的描述符。

76.8.20

78.3.14

US 4079454 G 06f-13 0067
数字数据处理系统——用只读存储器控制各种操作状态下的操作，中央处理器和各个存储器间是异步工作的

数据处理系统中，中央处理器与一只或多只工作速度各不相同的存储器一起异步工作。中央处理器的定时信号和存储器的定时信号之间有一个预定的相位关系。即使存储器被启动，中央处理器仍旧工作，除非它在预选条件下被存储器的信号所禁止。中央处理器产生多个操作指令信号并把信号送到存储器，然后对存储器启动，禁止数据从存储器传送到数据总线，在容许存储数据时存储来自中央处理器的数据，以此使存储器完成所要求的各种功能。

76.11.1

78.3.14

US 4079455 G 06f-01 0068
执行程序指令的微处理机结构——内有寄存器阵列，用于存放取指部件从存储器中读出的操作数或地址

这个有两组部件的结构用于微处理机，其中一组部件执行程序指令，另一组部件按适当的顺序取指令，电路安排得使取指周期和执行周期可以重叠，以便提高程序执行速度。每组部件有一寄存器阵列，用来存放操作数或地址，每个阵列有两个独立的读数口和两个独立的写数口，在执行部件中，寄存器阵列存储取指部件从存储器中读出的操作数，操作数被送至一个算逻辑部件(ALU)，算逻辑部件运算的结果存入这个寄存器阵列。

76.12.13

78.3.14

US 4079457 G 06f-11/10 0069
有奇偶校验的运算器——适用于纯二进制或二十进制数据，它能执行二进或十进算术运算和布尔运算

二进制/二十进制运算器采用浅饱和电流

型逻辑门，它对纯二进制数据或二十进制数据进行运算。运算器对二个四位数据及奇偶输入作二进制和十进制算术运算和布尔运算。五位的方式控制信号决定特殊运算。要提供给运算器如下信号：进位，重复进位输入，奇偶校验输入，反向的奇偶输入，十进制运算方式信号以及十进加法输入信号。该设备产生二进制的运算结果输出，运算方式由方式控制信号定义。

77.1.2

78.3.14

US 4081662 G 06f-11 0070
数据处理机的时钟信号监控系统——包含与处理机的每个寄存器相联的多谐振荡器电路

本方法用来监控数字数据系统中的时钟信号，在数字数据系统中由通过一些寄存器的时钟信号对数据进行顺序定时。时钟信号监控系统包含与每个寄存器相联的监控触发器，一个时钟监控比特顺序定时地通过构成一个监控链的一些触发器。没有一个或一个以上时钟信号则阻止时钟监控比特传送到监控链的终端。时钟监控比特通过监控链后，经监视时钟监控比特可测定时钟信号是否正确地加给所有的寄存器。

75.9.29

78.3.28

US 4081799 G 06f-03/14 0071
字母数字字符清晰度增强线路——装有字符发生器，每行产生几个点信号以输给与平滑电路连接的至少两个移位寄存器

本系统用来扩大显示在电视屏幕扫描显示器上的字符点阵，以便在不增加用来产生定义字符的点图象的只读存储器容量的情况下提高显示字符的阅读能力和清晰度。这个结果是这样实现的，即当屏幕扫描首次通过时，对应于显示的各行字符中的每个字符首先显示存储在只读存储器中的相同的点阵。当屏幕扫描第二次通过时，插入一个新的点阵。

76.3.3

78.3.28

US 4081859 G 06f-05/02 0072
可作英制—公制转换的电子计算器——有附加的键作英尺、英寸及分数的输入和计算

该电子计算器自动地进行英尺、英寸及英寸