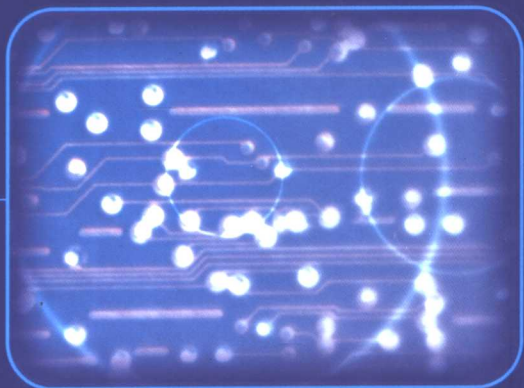


● 高等学校教材



电子设计自动化 快速入门教程

李 平 编著

702
22



高等教育出版社
HIGHER EDUCATION PRESS

内 容 提 要

本书是编著者在充分消化硬件描述语言 VHDL 的基础上编写的。该教材具有线条明晰、易学易懂的特点,使学生在短时间内掌握基本的硬件描述语言 VHDL 数字电路设计方法。主要内容有:自顶向下的 EDA 设计步骤和方法、VHDL 语言电路设计的特点和优点、VHDL 语言程序的基本结构、VHDL 结构体的描述方式、VHDL 中的对象和数据类型、VHDL 语言的主要描述语句、VHDL 的设计共享、VHDL 基本逻辑电路设计、VHDL 仿真、VHDL 语言的综合以及 FPGA 实现。

本书适用于高等学校电子信息类专业,也可供有关工程技术人员参考。

图书在版编目(CIP)数据

电子设计自动化快速入门教程/李平编著. —北京:
高等教育出版社,2003.7
ISBN 7-04-011844-0

I. 电... II. 李... III. 电子电路-电路设计:计
算机辅助设计-高等学校-教材 IV. TN702

中国版本图书馆 CIP 数据核字(2003)第 044620 号

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100011
总 机 010-82028899

购书热线 010-64054588
免费咨询 800-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>

经 销 新华书店北京发行所
排 版 高等教育出版社照排中心
印 刷 潮河印业有限公司

开 本 787×960 1/16
印 张 10.5
字 数 190 000

版 次 2003 年 7 月第 1 版
印 次 2003 年 7 月第 1 次印刷
定 价 13.70 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

前 言

电子设计自动化(EDA)方法的诞生和推广是20世纪90年代在数字电路设计方法上的一次革命。随着芯片的复杂程度越来越高,数万门以至数十万门数字电路的设计需求不断增长,传统的基于电路图的设计方法已不堪承受,采用诸如VHDL这样的硬件描述语言(HDL)进行数字电路设计的、自顶向下的(Top-down)设计方法应运而生。电路与系统的Top-down设计由功能级、行为级描述开始;寄存器传输(RTL)级描述为第一个中间结果;将RTL级描述经逻辑综合得到网表(Net-list)或电路图;最后由网表在EDA工具帮助下自动生成现场可编程门阵列(FPGA)/复杂可编程逻辑器件(CPLD)或专用集成电路(ASIC)的版图,完成设计。

电子设计自动化(EDA)方法在较高的抽象层次开始电子电路与系统的设计,并按层次进行管理,能够实现设计共享和重复使用。这样大大提高了进行复杂电路与系统设计的能力,设计所需的周期也大幅度缩短。因此,EDA方法诞生不久就迅速得到了广泛应用。

HDL的使用使得电路与系统的设计内容和方式发生了巨大的改变。传统的、烦琐的布尔代数化简、卡诺图等分析设计方法已逐步被EDA所取代,数字电路的设计变得更加快捷和容易。现在,掌握HDL已成为现代电路与系统设计工程师、集成电路(IC)设计工程师必备的专业技能和掌握EDA设计方法的基础。

目前,成为工业标准的硬件描述语言有两种,即VHDL和Verilog HDL。20世纪80年代末,它们在国外诞生并成为IEEE标准。它们在国内推广应用的时间则更短,到目前为止,只有几年时间。

两种HDL都具有以下特点:能形式化地抽象表示电路的结构和行为,支持逻辑设计中的层次描述;能用简单的语句来描述复杂的电路;具有电路仿真与验证机制;支持电路描述由高层到低层的综合转换;与实现工艺无关;便于理解和设计共享。

两种HDL也有其各自的特点。VHDL在系统级抽象方面强于Verilog HDL,一般物理实现为FPGA/CPLD的设计者愿意采用VHDL。历史上许多面向ASIC设计的著名大型工具只支持Verilog HDL,目前,一些大型工具如Cadence已经同时支持VHDL和Verilog HDL。

就学习的难易程度而言,由于Verilog HDL的语法与C语言有较多相似之处,一般认为VHDL的学习难于Verilog HDL的学习,要基本掌握VHDL设计技

能需要半年以上的专业培训。

然而,作者通过对研究生、本科生、VHDL 培训班的教学实践发现,在充分利用 VHDL 规律性的基础上,基本掌握 VHDL 程序设计技能并不需要半年的专业培训。实践表明:采用本教材经过总学时 40 学时的授课和上机实践,或经过一周时间的专门培训即可达到基本掌握 VHDL EDA 设计技能的目的。本书是作者和同事们在我们的课堂讲义的基础上编写而成的,是作者教学和实践经验的结晶。

本书编写的宗旨是为高等学校高年级本科生和研究生提供一本 VHDL 与电子设计自动化(EDA)的快速入门教材;也可供电路与系统工程师和集成电路设计工程师学习参考,还特别希望为往年毕业的、未学过 VHDL 与 EDA 的本科生、研究生提供易学易懂的自修教材。

在内容安排上,希望使读者在学习过程中,既见树木又见森林,避免拘泥于具体 VHDL 语法规定的细枝末节。本书抓住 EDA 的物理实现这个关键点。第一章解决学习 VHDL 为了做什么,有什么用的问题,首先使读者建立 EDA 的全局观念。其后,第 2、3 章让读者建立 VHDL 的整体框架。为了便于学习,体现 VHDL 语言的规律性,本书的第 5 章对 VHDL 语言的主要描述语句进行了合理的分类,让读者对 VHDL 语句所实现的功能有一个全面的了解。而本书的第 6 章从设计共享的角度简述了程序包、库、配置等程序结构单元,突出了它们设计共享的共性,从而使读者掌握设计共享的实现方法,从较深的层次掌握 VHDL 电路设计的方法。本书第 7 章主要针对集成电路设计工程师在存储器设计方面的困惑,给出设计实例,具有一定的难度。本书附录所附考试题有助于读者对自己的学习效果进行检验。

学习掌握 VHDL EDA 设计方法,必须结合一种 EDA 工具,对于 VHDL 仿真和综合的内容,本书尝试采用 Active-HDL 软件进行仿真,采用 FPGA Express 软件进行综合,由此,省去了 VHDL 语言本身对时钟波形描述的内容,使读者易于学习、掌握。

本书第 1、2、3 章由杜涛编写,第 8 章由赵歆编写,第 9 章由廖永波编写。本书编写过程中参考了许多学者的著作,在此向他们表示衷心的感谢。特别感谢北方交通大学电子信息工程学院李哲英教授,他对本书进行了审读并提出了很多宝贵意见。在本书的统编工作中杜涛、赵歆、王劲、周怡平等做了大量工作,在此深表谢意。

书中若有不妥之处,恳请广大读者提出宝贵意见和建议。

作者

2003 年 3 月于电子科技大学

目 录

第 1 章 电子设计自动化 (EDA) 与硬件描述语言 (HDL)	1
1.1 Top-down 设计方法	1
1.2 Top-down 设计步骤	2
1.3 Top-down 设计方法的特点和优势	4
1.3.1 Top-down 设计方法的特点	4
1.3.2 Top-down 设计方法的优势	4
1.4 硬件描述语言 (HDL) 的特点	5
1.5 VHDL 的特点	5
1.6 VHDL 的应用	6
1.6.1 FPGA/CPLD 与 ASIC——两种物理实现	6
1.6.2 知识产权 (IP) 核	9
习题	10
第 2 章 VHDL 程序的基本结构	11
2.1 HDL 程序组成部分	11
2.1.1 VHDL 程序组成部分	11
2.1.2 基本设计单元的构成	12
2.2 VHDL 程序的基本构成格式	12
2.2.1 基本构成格式	12
2.2.2 实体的结构	13
2.2.3 构造体的结构	14
习题	16
第 3 章 VHDL 构造体的描述方式	17
3.1 VHDL 构造体描述方式	17
3.2 构造体的 3 种描述方式	17
3.2.1 构造体的行为描述方式	18
3.2.2 构造体的 RTL 描述方式	21
3.2.3 构造体的结构描述方式	22
习题	23
第 4 章 VHDL 中的语言要素	24
4.1 标识符和操作符	24
4.1.1 标识符	24

4.1.2 操作符	24
4.2 数据类型	28
4.2.1 纯量类型	28
4.2.2 复合类型	28
4.2.3 存取类型	30
4.2.4 文件类型	30
4.3 数据对象	30
4.4 对象的声明	31
4.4.1 常量声明	32
4.4.2 变量声明	33
4.4.3 信号声明	33
4.4.4 文件声明	34
习题	35
第5章 VHDL 的主要描述语句	36
5.1 概述	36
5.2 描述行为的语句	37
5.2.1 对象的赋值	37
5.2.2 并行信号赋值语句	38
5.2.3 进程语句	42
5.2.4 顺序赋值语句	47
5.2.5 顺序控制语句	49
5.2.6 断言语句	56
5.2.7 子程序	57
5.2.8 块语句	60
5.3 描述结构的语句	62
5.3.1 元件的说明	62
5.3.2 元件的引用	62
5.3.3 结构描述中的信号	63
5.3.4 规则结构	63
5.3.5 参数化设计	65
5.4 描述行为和描述结构语句的混合描述	67
习题	67
第6章 VHDL 的设计共享	69
6.1 程序包	69
6.2 库	71
6.2.1 预定义库	72
6.2.2 库与库单元的可见性	72

6.3 元件配置	73
6.3.1 用配置语句描述实体与构造体之间的连接关系	74
6.3.2 用配置语句描述层与层之间的连接关系	77
习题	81
第7章 基本逻辑电路设计	82
7.1 组合逻辑电路设计	82
7.1.1 门电路	82
7.1.2 编、译码器与选择器	85
7.1.3 交通信号灯问题电路	91
7.2 时序电路设计	93
7.2.1 时钟信号和复位信号	93
7.2.2 锁存器	97
7.2.3 寄存器	102
7.2.4 存储器	103
习题	108
第8章 VHDL 仿真	110
8.1 工具简介	110
8.2 仿真	110
8.2.1 VHDL 代码的输入	110
8.2.2 仿真	118
习题	133
第9章 VHDL 的综合	134
9.1 概述	134
9.2 VHDL 的综合设计过程	135
习题	144
附录	145
附录 A 电子设计自动化课程测试题	145
附录 B VHDL 保留字	152
附录 C EDA 工具软件一览表	153
附录 D 部分 FPGA 厂家名录	157
参考文献	158

第1章 电子设计自动化(EDA)与 硬件描述语言(HDL)

本章导读

通过本章学习,应当理解什么是正向设计方法,HDL在EDA设计中的作用,VHDL的特点,VHDL的应用范围;应当形成以下概念:VHDL是EDA设计的基础,学习VHDL的目的是掌握一种电路与系统设计的先进设计方法。

1.1 Top-down 设计方法

电子设计自动化(EDA)方法一般采用自顶向下(Top-down)的设计方法,也叫正向设计,它是针对传统的自底向上(Bottom-up)的设计方法而提出来的。

自底向上的设计方法是从已存在的单元出发进行电路或系统设计。例如,对已有的芯片进行解剖、照相、逻辑提取、仿真验证并最后照原样绘制版图。这种方法对模拟集成电路和较小规模数字电路设计,不失为一种可行的办法。这种方法对于学习别人的成功经验,特别是在集成电路布局布线方面的经验有一定的好处。但是,随着集成电路规模的扩大,特别是对于亚 $0.25\text{ }\mu\text{m}$ 5层以上金属布线的超大规模集成电路,这种方法正在失去其效能。一方面,对集成电路芯片进行解剖、分析的难度和成本越来越高,另一方面,解剖、分析失败的风险也愈来愈大。随着我国集成电路布局布线保护条例的实施,这种方法还在形成产品时遇到知识产权方面的问题。

所谓自顶向下的设计过程是指从系统硬件的高层次抽象描述向最底层物理描述的一系列转换过程。具体讲这一过程由功能级、行为级描述开始;寄存器传输(RTL)级描述为第一个中间结果;再将RTL级描述经逻辑综合得到网表(Net-list)或电路图;由网表即可自动生成现场可编程门阵列(FPGA)/复杂可编程逻辑器件(CPLD)或专用集成电路(ASIC),从而得到电路与系统的物理实现。相对自底向上的设计而言,自顶向下的设计对底层单元的选取具有灵活性,因此有利于更好地发挥设计人员的创造性,从而形成具有自主知识产权的芯片产品。

1.2 Top-down 设计步骤

Top-down 设计分为行为级描述、寄存器传输(RTL)级描述、逻辑综合和物理实现 4 个层次,如图 1.1 所示。

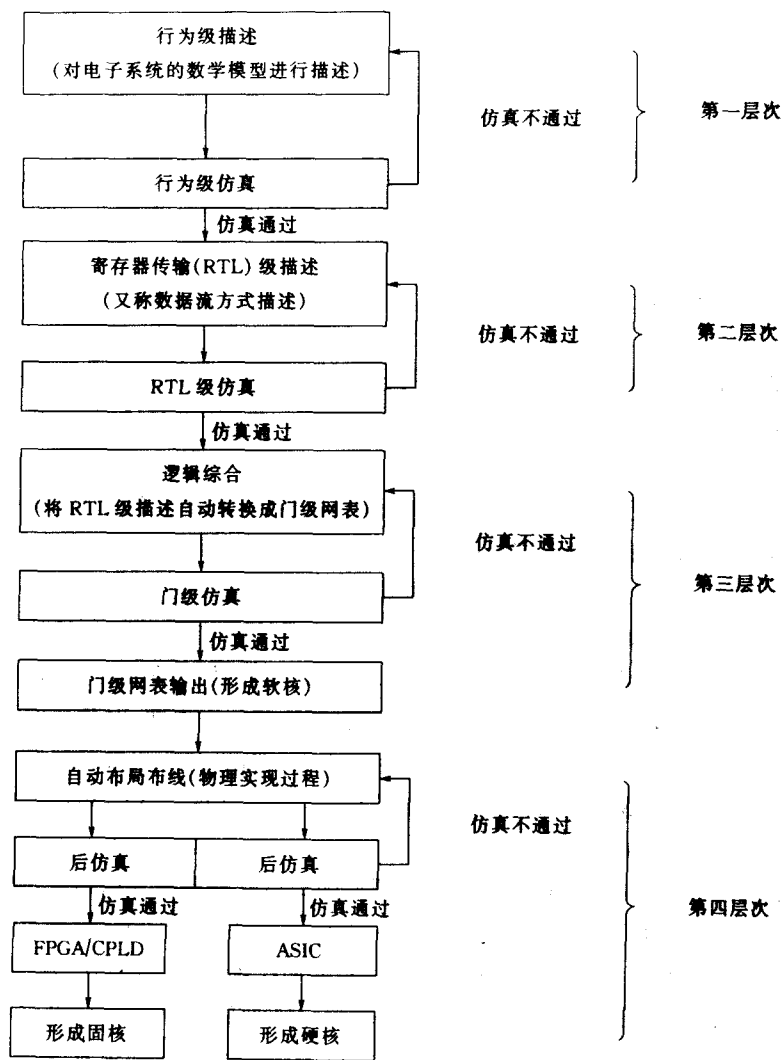


图 1.1 Top-down 设计步骤

第一层次是行为级描述。行为级描述实质上是对整个系统的数学模型的描述。在行为级描述阶段,并不真正考虑实际的操作和算法如何实现,考虑更多的是系统的结构及其工作过程能否达到系统设计规则书(设计目的)的要求。在这一层次,运算语句和控制语句被用来组织输入、输出以及各种运算。这一层次的典型描述方法是行为有限状态机、控制流图、数据流图和控制数据流图。

第二层次是寄存器传输(RTL)级描述。寄存器级的最基本的设计单元是寄存器、计数器、多路选择器、算术逻辑单元(ALU)等。寄存器级设计的结构描述是其基本单元的互连。要想得到硬件的具体实现,必须将抽象程度很高的行为级描述的VHDL程序改写为RTL方式描述的VHDL程序,这样才能导出系统的逻辑表达式,才能进行逻辑综合。有时在这一层次用数据流图描述硬件的行为,它反映了流经实际硬件的数据分布。

在完成编写RTL方式描述的VHDL源程序以后,再用仿真工具软件对程序进行仿真。如果这一步的仿真通过了,就可以利用逻辑综合工具软件进行综合了。

第三层次是逻辑综合。逻辑综合这一阶段是利用逻辑综合工具软件,将RTL方式描述的VHDL源程序转换成用基本逻辑元件表示的文件(门级网表)。这是一个把高层次的与工艺无关的描述转换成低层次的与特定工艺相关的描述的转换过程。在逻辑门设计时,电路的基本单元通常是与门、或门、异或门、反相等逻辑门,有时还带有少量晶体管构成的开关以及D触发器、J-K触发器、锁存器等逻辑单元。如果需要,可以将逻辑综合的结果以逻辑原理图方式输出。为了分析整个设计的性能,需要仿真工具软件完成门级仿真,有时还需要时序分析工具。

第四层次为物理实现。物理实现分为FPGA/CPLD和ASIC两种。FPGA/CPLD物理实现在元件库文件支持下,ASIC物理实现在工艺库文件支持下,由EDA工具,将网表作为输入进行自动布局布线,最终生成FPGA/CPLD的目标文件或ASIC的版图文件。接下来,还需对布局布线后的结果进行寄生参数提取和后仿真,以便验证布局布线后,由于寄生参数(寄生电阻、电容等)的存在是否改变了前端逻辑仿真的结果。如果未改变前仿真结果,则由FPGA/CPLD目标文件下载到FPGA/CPLD得到设计结果;或将ASIC的版图文件(GDS-II)送交制版,代工工厂(Foundry)使用光刻掩膜版对硅片进行一系列加工得到设计结果。如果由于寄生效应使后仿真不能与前仿真一致,则必须对前端设计进行必要的改动,而后重新进行后仿真。

1.3 Top-down 设计方法的特点和优势

现代的 EDA 设计一般均采用了设计步骤如上节所述的 Top-down 设计方法。Top-down 设计方法的特点和优势其实直接体现于其设计步骤中。

1.3.1 Top-down 设计方法的特点

如图 1.1 所示,Top-down 设计从总体行为设计、寄存器传输(RTL)级描述到逻辑综合产生网表,最终得到物理实现为止,4 个层次可以分别进行仿真,即行为层次仿真、RTL 层仿真、门级层次仿真和后仿真。4 级仿真贯穿系统硬件设计全过程。上一层次的仿真结果为下一层次的仿真提供有用信息。因此,在系统设计早期就能发现设计中存在的问题,并尽可能在高层次设计阶段就解决这些问题。这是 Top-down 设计方法的一个突出特点。

进行一项新的电路与系统设计,极有可能在行为级仿真时就通不过,这说明设计者对所要设计的电路与系统的功能理解有误,必须重新认识该电路与系统。经反复修改、调试,直到行为级仿真通过,才说明设计者对电路与系统的认识是正确的。此后,如果 RTL 级仿真通不过,此时,问题只可能出现在对信号流向、时序的认识方面,而不用再怀疑对系统的认识是否正确。同理,此后在门级仿真不通过,则只需查看与门级延时等相关的问题。最后,后仿真不通过时,只排查寄生参数带来的延时问题即可。

这正是自顶向下设计与自底向上设计的不同之处。可以想象,当采用自底向上设计时,将同时面对:对系统的认识、信号流走向、时序问题、门级延迟、寄生参数等所有问题。当电路与系统比较复杂时,这些问题将变得不可解决。而自顶向下的设计方法将这些问题分散到各个层次中去解决,避免了问题过多而无从解决的情况发生,这正是自顶向下设计方法日益成为主流设计方法的重要原因。

Top-down 设计的第二个特点是自动化。如在上述 Top-down 设计的第三层次,由 EDA 工具自动完成综合。又如在上述 Top-down 设计的第四层次,由 EDA 工具自动烧录 FPGA/CPLD 或进行自动布局布线,产生集成电路版图。

1.3.2 Top-down 设计方法的优势

由于 Top-down 设计方法的上述特点导致了 Top-down 设计具有以下显著优势:

- ① 在系统设计早期发现设计中存在的问题,提高了设计的一次成功率。
- ② 大大缩短系统设计的周期,减少系统开发所耗用的时间。

③ 方便了系统划分和对整个项目的管理,使得几十万门甚至几百万门规模的复杂数字电路的设计成为可能。

④ 设计效率提高,节省设计人力。

⑤ 通过设计共享,避免不必要的重复设计。

1.4 硬件描述语言(HDL)的特点

Top-down 设计方法的发展主要归功于硬件描述语言(HDL)的成熟和电子设计自动化(EDA)工具的进步。HDL 是硬件描述语言 Hardware Description Language 的英文缩写。

硬件指所要设计的电路与系统,这种称谓本身就揭示了 HDL 所描述的内容最终是要通过硬件实体(Entity)实现的。广义而言,硬件描述语言是指用于描述电子实体的语言。

硬件的描述方式是多种多样的,例如集成电路的版图是对集成电路的一种描述,它真实、物理地给出了芯片内的结构详情;又如大家所熟悉的电路图也是一种对电路或系统的描述,它确切地描绘出了一个实体的电路结构。

目前人们所说的 HDL,通常特指电子技术高层设计阶段中所采用的硬件描述语言,这样的 HDL 有如下特点:

① HDL 以行为描述见长,它能从比较抽象的角度描述电子实体的行为,能够进行系统早期仿真。

② HDL 能够进行结构描述,能从具体的角度描述电子实体的结构,便于存档,便于共享。

③ HDL 具备了从比较抽象到比较具体的多个层面上对电子实体进行混合描述的能力,降低了硬件电路设计的难度。

④ HDL 的生命力在于用它描述实体的程序,既能被仿真,又能被综合。通过仿真(Simulation),可验证设计的正确性;通过综合(Synthesis),抽象的设计描述将自动地自上而下地转化为实在的物理设计——逻辑图、电路图,直至版图。

硬件描述语言是高层次、自动化设计的起点和基础。

1.5 VHDL 的特点

目前,世界上存在许多 HDL,其中最流行的为 VHDL 和 Verilog HDL 两种。

VHDL 的头一个字母 V 代表 Very High Speed Integrated Circuit,即 VHSIC,所以 VHDL 是超高速集成电路硬件描述语言的缩写。其诞生的背景是美国的 VHSIC 计划,即 1980—1986 年,美国国防部组织的以国防电子系统的要求为目

标的集成电路研究计划。

人们发现 VHDL 能够满足各种数字电路设计要求,可以作为一种通用的硬件描述语言的工业标准。国际电气与电子工程协会(IEEE)参与了对它的标准化。经广泛征求意见,融合其他 HDL 的优点,1987 年 12 月由 IEEE 正式推出了版号为 IEEE—1076 的第一个 VHDL 工业标准版本,1993 年推出更新版 VHDL 工业标准版本。

VHDL 具有以下显著优点:

① 通用性好,支持面广。因为它是工业标准,故受到普遍支持,凡大型 CAD 软件都推出支持 VHDL 的设计环境。因此用 VHDL 描述的设计文件,可用于不同的设计工具。

② 重用性好。VHDL 的描述与具体工艺无关,因而适用面宽。VHDL 的设计模块便于在不同设计场合重复使用。

③ 可靠性好。VHDL 文件兼技术文档与实体设计于一身,可读性好,既是技术说明,又是设计实现,这就保证了二者的一致性。

④ 与 Verilog HDL 相比较,VHDL 更加以行为描述见长,它从比较抽象的角度描述电子实体的行为的能力更强。

客观地讲,上述 4 条 VHDL 优点中的前 3 点基本上是 HDL 的共同优点。而第 4 条是 VHDL 的特殊的优点。需要指出的是:在学习和使用 VHDL 时应当特别关注并利用其抽象描述电子实体行为能力强的特点。VHDL 抽象描述电子实体行为能力强意味着人们可以利用它来较迅速地获得对电路与系统的正确描述。

1.6 VHDL 的应用

VHDL 所描述的内容最终是要通过硬件实体(Entity)实现的。传统的 VHDL 的应用方式是获得两种物理实现之一,即现场可编程门阵列/复杂可编程逻辑器件(FPGA, Field Programmable Gate Array/CPLD, Complex Programmable Logic Device)或专用集成电路(ASIC, Application Specification Integrated Circuit)。目前,VHDL 的应用具有了一种新的形式,即由 VHDL 形成的知识产权核或称智核或 IP(Intelligent Property Core)核。

1.6.1 FPGA/CPLD 与 ASIC——两种物理实现

VHDL 所描述的内容最终会应用于实现 FPGA/CPLD 或实现 ASIC。IP 核也最终要应用在 FPGA/CPLD 或 ASIC 中才能体现其价值,因此,了解 FPGA/CPLD 与 ASIC 这两种物理实现的特点,对于学好用好 VHDL 是大有益处的。

1. FPGA/CPLD 的优缺点

FPGA 和 CPLD 都是由加工厂完成了集成电路工艺制造并完成了封装测试的集成电路成品。它们名称中的“可编程”(Programmable)的含义是设计工程师自己就可以通过编程改变 FPGA/CPLD 器件内部配置,实现自己所需要的功能。具体讲,这一过程是:VHDL 程序经综合形成网表;网表经 EDA 工具处理形成目标文件;目标文件输入到 FPGA/CPLD 中,使 FPGA/CPLD 器件内部配置发生改变,从而使 FPGA/CPLD 具有了设计者的 VHDL 中所要求的功能。这一过程就是从 VHDL 描述到 FPGA/CPLD 实物的转换过程,即 FPGA/CPLD 的 EDA 设计的全过程。

(1) FPGA/CPLD 的优点

① 资金投入小、风险小。FPGA 芯片在出厂之前都做过全面测试,不需要设计人员承担投片风险和费用,设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以,开发 FPGA/CPLD 的资金投入小,节省了许多潜在的花费。

② 开发周期与面市时间(Time to Market)短。系统工程师可以反复地编程、擦除、使用或者在外围电路不动的情况下用不同软件实现不同的功能。所以,用 FPGA/CPLD 试制样片,能以最快的速度改进系统设计,验证系统功能,从而达到缩短开发周期的目的。

③ 改动灵活。FPGA/CPLD 软件包中有各种输入工具、仿真工具、编程器及烧录器等全线产品,电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真,直至最后芯片的制作。当电路有少量改动时,更能显示出 FPGA/CPLD 的优势。

④ 易学易用。电路设计人员使用 FPGA/CPLD 进行电路设计时,不需要具备专门的集成电路深层次的知识。FPGA/CPLD 软件易学易用,可以使设计人员集中精力进行系统设计和电路设计。

(2) FPGA/CPLD 的缺点

① 芯片成本高、价格贵

FPGA/CPLD 器件可写、可擦、可编程的特点也使其付出了代价,即它们的芯片成本高、价格贵,一般不适合在整机产品中大规模使用。

但是,在通信产品中有例外。有两方面原因使然,其一,由于通信产品的利润率较高,可以接受 FPGA/CPLD 成本;其二,由于通信产品的协议经常升级换代,FPGA/CPLD 可以方便地重新写入。

② 嵌入电路困难

不能由电路与系统工程师嵌入传感电路、模拟电路或功率输出电路。

2. ASIC 的优缺点

专用集成电路 ASIC 是针对特定用户的集成电路。在 EDA 设计中不能像 FPGA/CPLD 那样由设计者通过硬件编程加以实现。必须由加工厂根据版图制作掩膜版(简称光刻版,Mask)并进行一系列集成电路工艺加工(简称流片或工艺流片)得到芯片(Chip),Chip 经封装测试后成为最终的 ASIC 产品。设计者的 VHDL 程序经综合后生成网表,通过 EDA 工具产生 ASIC 的版图,按照版图加工出的芯片具有设计者所要求的功能。对 ASIC 设计而言,EDA 过程从 VHDL 描述开始,到产生版图数据为止。

(1) ASIC 的优点

ASIC 的优点正好是 FPGA/CPLD 的缺点。

① 价格优势

由于采用半导体平面工艺,几十支与几万支 ASIC 芯片的研制、生产成本几乎是一样的,因此,特别适合大规模使用。用量愈大,价格愈低,在大规模使用时 ASIC 具有价格优势。

② 频率优势(性能优势)

ASIC 具有频率优势。在半导体工艺条件相同前提下,ASIC 芯片的频率高于 FPGA 芯片。

③ 嵌入优势

ASIC 可以由电路与系统工程师嵌入传感电路、模拟电路或功率输出等外围电路。这些电路加上核心的数字电路,如微控制器(MCU)核,可构成片上系统(SoC, System on a Chip)。

值得指出的是:采用 ASIC 实现方式并不是像看上去那样困难和价格昂贵。版图数据文件(GDS-II)可以送交多目标芯片(MPW)组织,2 个月后即可获得封装好的几十支 ASIC 样品。更重要的是 Mask 和工艺流片费用经多用户分摊后大大降低。考虑到教学项目享有的优惠,几十支 ASIC 样品的单支费用已经达到与 FPGA/CPLD 单支价格相当的程度。

(2) ASIC 的缺点

ASIC 的缺点正好对应 FPGA/CPLD 的优点。

① 资金投入大。如果不采用 MPW 加工方式,Mask 和工艺流片费用都是昂贵的。

② 研发、投片制作具有一定的失败风险(FPGA/CPLD 完全没有这种风险)。

③ 面市时间较长。ASIC 设计完成后需等待加工结果两个月才能形成产品(FPGA/CPLD 现场烧录)。

④ 改动困难。一旦改动,意味着新的 Mask 和工艺流片费用和失败风险。

1.6.2 知识产权(IP)核

目前,FPGA/CPLD 和 ASIC 技术都在迅猛发展。这一发展过程实际上也是发挥各自长处,弥补各自缺点的过程。在这一过程中知识产权核(或称智核、IP 核)的概念被提了出来。

比如,FPGA/CPLD 正在增加功能,FPGA/CPLD 厂商正在为电路与系统工程师在 FPGA/CPLD 中预先嵌入 IP 核,如微控制器(MCU/MPU)、数字信号处理电路(DSP)、典型模拟电路、模数(A/D)转换电路、数模(D/A)转换电路等。FPGA/CPLD 正在向可编程片上系统(PSoC)方向发展。

ASIC 则强调采用 IP 复用(IP Reuse)设计方法来缩短其面市时间,降低其投片试制风险。

上述两个方向的技术发展都与新兴的 IP 核技术有关。IP 核可分为软核、固核、硬核 3 种。

1. 软核

软核是指前面所说的 EDA 芯片设计的第三层次,即寄存器级(RTL 级)的设计结果。它经过了 RTL 级仿真验证。

2. 固核

固核是指前面所说的 EDA 芯片设计的第四层次的结果,即经过了 FPGA 实物验证的设计结果。

3. 硬核

硬核同样是所说的 EDA 芯片设计的第四层次的结果,但它是特别针对经过了 ASIC 实物验证的设计结果。

很显然,从 FPGA 的角度看固核最有价值,而从 ASIC 角度看硬核最有价值,因为要将固核转化成硬核,会有投片风险。软核则由于它与工艺和器件均无关,具有高度的灵活性,从而具有其独特的价值。

IP 核正在以一种商品的形式出现在市场上,而且正以每年 30% 以上的速度增长。作为电路与系统或 IC 设计工程师和研究人员,必须具备读懂和研发软核、固核的能力。

软核通过仿真加以验证,固核则通过 FPGA/CPLD 加以硬件验证。在大规模集成电路(VLSI)设计过程中,常常在完成软件仿真以后,用 FPGA/CPLD 硬件测试作为 ASIC 硬件仿真手段或功能验证手段。

从本节的介绍,读者不难看出 FPGA/CPLD 在 EDA 设计中具有某种基础的作用。概括起来 FPGA/CPLD 在 EDA 设计中的作用有:

① VHDL 程序通过 FPGA/CPLD 可以得到 EDA 设计的最终产品。

② VHDL 程序通过 FPGA/CPLD 验证可以形成固核,具有一定的商品价值。

③ VHDL 程序的 FPGA/CPLD 验证实验是一种 ASIC 设计的硬件仿真手段。

鉴于 FPGA/CPLD 在 EDA 设计中的这种基础作用,作为入门教材本书着重介绍 FPGA/CPLD 设计的相关内容,兼顾 ASIC 设计的内容。

习 题

1. Top - Down 设计方法主要包括哪几个层次,分别包含什么内容?
2. 什么是 IP 核,学习 VHDL 与掌握 IP 核技术的关系是什么?
3. 固核有什么价值?
4. HDL 指的是什么,它有什么特点,常见的 HDL 有哪些?
5. VHDL 指的是什么,它有什么优点,它最突出的优点是什么?
6. 学习 VHDL 的目的是什么,VHDL 有哪些主要应用?
7. FPGA/CPLD 的主要优缺点是什么,ASIC 的主要优缺点是什么?
8. FPGA/CPLD 在 EDA 设计中有何特殊作用?