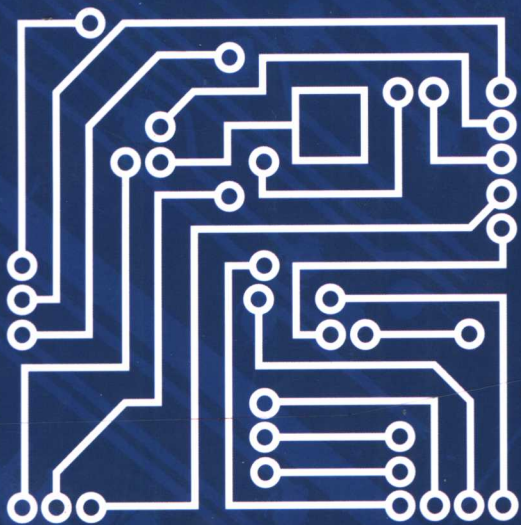


21 世纪高等学校规划教材

超大规模 集成电路设计

宋玉兴 任长明 编著



中国电力出版社

www.infopower.com.cn

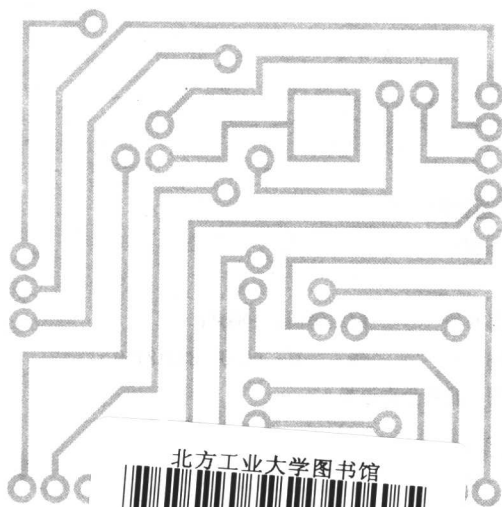
21

世纪高等学校规划教材

TN47
47

超大规模 集成电路设计

宋玉兴 任长明 编著



北方工业大学图书馆



00570186



中国电力出版社
www.infopower.com.cn

RAS82/12

内容提要

本书是作者在天津大学讲授超大规模集成电路设计近 10 年的基础上总结的结晶, 并经过重新绘制插图编著而成。本书主要介绍了超大规模集成电路 (VLSI) 的设计基础、NMOS 与 CMOS 集成电路的制造过程、VLSI 的设计方法和设计规则, 以及 MOS 电路的版图设计、VLSI 的设计方法学、FPGA 的原理与设计、VLSI 的可测试性设计和 VLSI 设计的硬件描述语言 VHDL 等。

本书可作为电子科学、计算机和电子信息相关专业本科生 (含专科生) 高年级及研究生教材, 也可作为电子行业的设计师和相关工程技术人员的自学教材和参考书。

图书在版编目 (CIP) 数据

超大规模集成电路设计 / 宋玉兴, 任长明 编著. —北京: 中国电力出版社, 2004

21 世纪高等学校规划教材

ISBN 7-5083-2290-8

I. 超... II. ①宋... ②任... III. 超大规模集成电路—电路设计—高等学校—教材 IV. TN470.2

中国版本图书馆 CIP 数据核字 (2004) 第 076949 号

丛 书 名: 21 世纪高等学校规划教材

书 名: 超大规模集成电路设计

出版发行: 中国电力出版社

地址: 北京市三里河路 6 号 邮政编码: 100044

电话: (010) 88515918 传 真: (010) 88518169

本书如有印装质量问题, 我社负责退换

印 刷: 北京丰源印刷厂

开本尺寸: 185×233

印 张: 16.25

字 数: 353 千字

书 号: ISBN 7-5083-2290-8

版 次: 2004 年 9 月北京第 1 版

印 次: 2004 年 9 月第 1 次印刷

印 数: 0001—4000 册

定 价: 24.00 元

版权所有, 翻印必究

前 言

自从 1958 年美国德州仪器公司发明集成电路以来，特别是在最近的 20 年，集成电路技术的发展，已成为当代科技界最引人注目的焦点之一。在当今世界上，无论是科学技术、军事、经济，还是人们的日常生活，都早已和它密切结合，息息相关。对于从事电子、通信、计算机工作的各级科技人员，集成电路的基础知识已成为不可缺少的重要方面之一，集成电路的设计技能，也日益变成他们工作中的重要手段。

随着超大规模集成电路（VLSI）和专用集成电路（ASIC）的广泛应用，集成电路设计已经不再是集成电路行业单独包揽所能胜任的了。由于芯片内部电路的规模越来越大，线路越来越复杂，集成电路专家很难应付各种用户的要求。ASIC 技术的特点是提倡用户自行设计 IC。自行设计 ASIC 是电子、信息业发展的方向。目前许多集成电路工厂向用户开放，接受用户自行设计的芯片版图进行专用芯片的加工。电子专家只要掌握了 VLSI 设计技术，就可以设计自己的专用芯片，将原来安装在一块印刷电路板上的电路，集成在一个芯片内。从而大大缩小整机的体积，降低功耗，提高性能，增加可靠性和保密性，节省装配成本。现代电子产品的更新换代，很重要的一条，就是要依靠 VLSI 技术，要求电子产品设计师自己设计 ASIC。

2000 年，我国的集成电路设计公司已达 80 余家，芯片设计技术约和国外相差一代左右，设计线宽 $0.35\mu\text{m}$ ，以 SRAM 存储器为主的芯片集成度为 200 万门，以逻辑电路为主的芯片集成度达到 50 万门。随着芯片设计技术的不断提高，芯片的发展空间极大，急需大批 VLSI 的设计人才。为此，我们在有关文献的基础上编写了这本书。它可以作为电子科学系、计算机系与电子信息系本科生高年级及研究生学习超大规模集成电路设计的教材；还可以作为各种电子行业的设计师与相关工程技术人员的参考书和进修教材。

本书共分 8 章。第 1 章介绍集成电路的发展和意义，超大规模集成电路的优点、设计方法与设计流程。第 2 章比较系统地介绍了 VLSI 的设计基础，如 MOS 器件与 MOS 电路的设计、寄生电阻与寄生电容的估算、电路的延迟时间与大电容负载的驱动、电路的功耗与导电层的选择。第 3 章介绍集成电路的制造过程。第 4 章介绍集成电路的设计方法与设计规则，以及简单 MOS 电路的版图设计。第 5 章介绍 VLSI 的设计方法学，这一章首先阐述全定制电路的设计步骤与版图设计，以及深亚微米电路设计与全定制电路的阵列逻辑设计；然后阐述了 ASIC 的门阵列设计法、标准单元设计法。第 6 章介绍 FPGA 的原理与设计，这一章比较系统地介绍了美国 ALTERA 公司 MAX 和 FIEX 系列器件的结构性能和特点，以及利用 MAX+PLUS II 开发工具设计 ASIC 的方法。第 7 章讲述超大规模集成电路的可测试性设计。第 8 章介绍超大

规模集成电路设计的硬件描述语言 VHDL。

本书第 1、2、3、4、5 章由宋玉兴编著，第 6 章由赵雅兴编著，第 7 章由任长明编著，第 8 章由旷章曲编著。最后由宋玉兴、任长明统稿。在编著过程中得到赵鸿林、姚素英、李树荣、张生才、贾香恋、曲宏伟、赵毅强、牛秀文、孙宝琴、刘翱、沙亚男、张勇、张卫华、陈立强、赵磊等同志的支持与协助，在此表示衷心的感谢。

超大规模集成电路设计技术发展迅速，涉及面广，实用性强。我们和读者一样，也在不断学习。诚恳欢迎读者对书中所存在的问题提出批评意见。

作者
2004 年 6 月

目 录

前 言	
第 1 章 绪论	1
1.1 集成电路的发展和意义	1
1.2 超大规模集成电路的优点	2
1.3 VLSI 设计方法	3
1.4 设计流程	4
1.5 Cadence 系统简介	7
第 2 章 MOS 器件与电路设计基础	9
2.1 MOS 晶体管	9
2.2 MOS 反相器	15
2.3 MOS 开关	22
2.4 电阻估算	24
2.5 MOS 器件的电容	27
2.6 反相器的延迟	29
2.7 传输延迟	34
2.8 导电层的选用	36
2.9 大电容负载的驱动	37
2.10 功耗	40
习题与思考题	41
第 3 章 MOS 集成电路的制造过程	48
3.1 NMOS 集成电路的制造过程	43
3.2 CMOS 集成电路的制造过程	46
习题与思考题	52
第 4 章 集成电路的设计过程	53
4.1 MOS 电路掩模层的表示方法与条形图	53
4.2 设计规则	57
4.3 条形图到版图的转换	66
4.4 简单 MOS 电路版图布局	67
4.5 局部版图设计应注意的若干问题	79

习题与思考题.....	82
第 5 章 集成电路的设计方法学.....	83
5.1 全定制电路设计.....	83
5.2 全定制电路的阵列逻辑设计.....	88
5.3 门阵列设计方法.....	101
5.4 标准单元设计法.....	112
习题与思考题.....	117
第 6 章 FPGA 原理与设计.....	118
6.1 概述.....	118
6.2 ALTERA 可编程逻辑器件.....	126
6.3 MAX+plus II 开发工具与 FPGA 的设计.....	147
习题与思考题.....	178
第 7 章 VLSI 可测试性设计.....	179
7.1 VLSI 可测试性设计的重要意义.....	179
7.2 测试基础.....	180
7.3 可测试性结构设计.....	186
7.4 内含自测试技术.....	192
7.5 标准化测试体系结构设计方法——JTAG 法.....	195
7.6 标准测试存取口与边界扫描结构.....	199
习题与思考题.....	204
第 8 章 VHDL.....	205
8.1 VHDL 的构件.....	205
8.2 数据类型、运算符与表达式.....	210
8.3 并行语句与顺序语句.....	220
8.4 属性.....	228
8.5 子程序.....	232
8.6 配置.....	240
8.7 设计举例.....	245
习题与思考题.....	250
参考文献.....	251

第 1 章 绪 论

1.1 集成电路的发展和意义

自 1958 年美国德州仪器 (TI) 公司试制成第一块集成电路以来, 40 年后的今天, 集成电路技术发生了惊人的变化。在一个几百平方毫米面积的芯片上集成的晶体管数目已经超过 10 亿, 如 NEC 公司用 $0.15\mu\text{m}$ CMOS 工艺制成的 4GB DRAM, 芯片中含有 44 亿个晶体管, 芯片面积为 985.6mm^2 。又如英特尔公司用 $0.25\mu\text{m}$ 工艺生产的 333MHz 的奔腾 II 处理器, 在一个芯片中集成了 750 万个晶体管。

集成电路的发展经历了从小规模 (SSI)、中规模 (MSI)、大规模 (LSI)、超大规模 (VLSI) 阶段, 目前已进入特大规模 (ULSI) 阶段。20 世纪 80 年代出现的超大规模集成电路, 在单个芯片上的晶体管数为 2 万~50 万, 典型产品是 16 位与 32 位微处理器, 智能外设。

超大规模集成电路技术是在晶体管制造技术上发展起来的。集成电路的发明在于: 硅片内不再是单个的晶体管, 而是功能电路。若干个晶体管为一组, 互连成门电路、触发器等功能电路。每块芯片内含有一个功能电路。相对于后来的 VLSI, 早期的是小规模。但集成电路的发明意义重大, 是微电子技术发展史上的一次重大突破。

集成电路之所以能迅速发展, 完全是由于其巨大的经济效益。工业发达国家竞相投资, 对微电子这项高技术进行开发。我国“九五”期间投资 100 亿元人民币组建了集成电路“九〇九”专项工程。2002 年 9 月我国推出了首款可商业化、拥有自主知识产权、通用高性能的 CPU——“龙芯”1 号。它采用 $0.18\mu\text{m}$ 工艺制造, 主频最高达 266MHz。集成电路的生产已发展成新兴的工业支柱, 并且继续保持着高速发展的势头。

随着 VLSI 技术的发展, 已形成了大批量生产的传统集成电路 (IC) 和半定制、多品种、小批量生产的专用集成电路 (ASIC) 两大产品阵营。随着 ASIC 的广泛应用, 已经能够实现将一个电子系统集成在一个芯片之中, 这对设计工作来讲无疑是非常复杂和相当困难的。集成电路专家很难应付各种用户的要求。因此, 用户自行设计 ASIC 是电子信息业发展的方向: 集成电路工厂向用户开放, 接受用户自行设计的芯片版图, 进行专用芯片的加工。

过去电子专家只能利用传统的通用 IC 来设计制造他们的电子产品, 现在只要掌握了 VLSI 设计技术, 他们就可以设计自己的 ASIC。另外, 原来的 IC 芯片设计的传统方法——手工画图、刻红膜的方法已无法适应 ASIC 的发展要求, 急需在设计方法、设计工具方面来一个大的变革。1980 年, 美国的 Mead 和 Conway 提出了超大规模集成电路的设计和生产的分离原则,

指出 VLSI 设计者可以不必详细了解 IC 生产工艺, 就可以设计自己所需要的电路版图。这就使电子和计算机专业人员有了新的用武之地。

在美国许多计算机公司为了计算机更新换代, 雇用了大批 VLSI 设计工程师, 自己设计新的组件。据 DEC 公司估计, 自己设计可以节省 20% 的时间。计算机的生产过程正在发生变化。采用 VLSI 技术以后, 计算机的装配生产线可以压缩, 也就是说, VLSI 设计者可以取代生产线上的工人。于是, 美国大学计算机专业和电子专业, 普遍开设“VLSI 系统设计”课程, 以满足社会上的需要。目前, 我国的集成电路产业已进入 VLSI 阶段, 对 VLSI 设计工程师的需求会越来越迫切。这就是我们学习本课程的目的。

1.2 超大规模集成电路的优点

1. 降低生产成本

用 VLSI 组装电子产品可以大幅度地减少印刷电路板和接插件, 减小体积和重量, 降低装配和调试费用。随着 VLSI 和 ULSI 的不断出现和普遍采用, 计算机的体积成万倍的缩小, 成本成万倍的下降, 可靠性成万倍的提高, 功耗成万倍的减小。微处理器体积如此之小, 价格又如此便宜, 这就扩大了它的应用范围, 促使产量大增, 成本下降。VLSI 对降低雷达、宇航、计算机、飞行控制等各种电子设备的成本作出重要贡献。

2. 提高工作速度

由于 VLSI 内部连线很短, 从而缩短了延迟时间。而更重要的是由于电路在芯片内部, 不易受外部干扰的影响, 三极管负载极轻, 体积做得很小, 连线分布电容和三极管的极间分布电容都减小。VLSI 加工的技术越来越精细, 线条宽度从 $5\mu\text{m}$ 、 $3\mu\text{m}$ 逐步降到 $1\mu\text{m}$ 、亚微米、深亚微米, 目前的先进工艺水平是 $0.25\sim 0.18\mu\text{m}$ 。其目的—是为提高芯片的规模, 而更重要的是为了达到更高的工作速度。电路工作速度的提高, 主要是依靠减小尺寸获得。

3. 降低功耗

芯片内部电路尺寸小, 连线短, 分布电容小, 驱动电路所需的功率下降。芯片内部电路受外界干扰小, 可以采用较低的电压来降低功耗。功耗降低, 芯片发热减小, 可以提高芯片规模, 提高电路工作速度。

4. 简化逻辑电路

芯片内部电路受干扰小, 电路可以简化。在超大规模集成电路中, 单个三极管可当作一个开关用, 而在分立元件电路中一般较难实现。在 VLSI 内部门电路可以直接互连, 对分立式电路, 要有输入放大级电路才可以和别的电路相连, 节省了放大电路。

5. 优越的可靠性

采用 VLSI 后, 元件数目和外部的接触点都大为减少, 可靠性得到很大提高。芯片是大规模生产的, 封装前经严格测试, 封装好的芯片故障率非常低, 采用 VLSI 后, 计算机的可靠性提高了好几个数量级。

6. 体积小重量轻

芯片通常只有几克重，用它做成的电子产品当然也就又轻又小。这个优点不但对航空、航天等方面的应用极端重要，而且对日常生活用品也大有好处。电子手表、自动照像机、袖珍计算器、笔记本电脑等，都利用了 VLSI 的这个优点。

7. 缩短电子产品的设计和组装周期

一片 VLSI 组件可以代替大量的元、器件，组装工作极大的节省，生产线被压缩，加快了生产速度。在当今科技飞速发展的时代，产品更新换代极为迅速，自己设计新的高性能的 VLSI 芯片，在市场竞争中可以取得优势。因此，缩短设计和组装周期有着重要意义。

1.3 VLSI 设计方法

随着 IC 制作和设计水平的提高，进入 VLSI 时代，已能够将一个复杂系统集成到一个芯片之中。因此，VLSI 芯片设计不仅要进行电路设计，还要进行 VLSI 系统设计。对于自行设计 VLSI 芯片的用户来说，其主要侧重点应放在系统设计上。VLSI 系统设计的首要任务是解决 VLSI 设计的复杂性问题。因而 VLSI 设计方法学的研究得到广泛的重视。

目前 VLSI 系统设计最流行的是自顶向下的结构设计。它的基本策略是将一个复杂系统的功能分成可以独立设计的简单部分，然后将各部分拼接起来，就可完成整个系统的设计。实际上就是模块化的结构设计。但是仅用结构设计法减少 VLSI 设计复杂性还是有限的，通常普遍采用的策略是“约束设计法”。比如，门阵列和标准单元法就是一种约束设计法。但使用约束设计也需付出一定代价，通常都要损失布局密度。约束设计能增加可靠性和简单性，但要付出降低芯片某些性能的代价。因此，采用何种设计方法和约束条件，主要是均衡设计的复杂性和所设计芯片对性能的要求两者之间的关系。设计者应根据不同芯片的不同要求，确定采用哪种设计方法和约束条件。

根据不同要求，现有的各种设计方法如下：

1.3.1 全定制设计法

适用于得到最高速度、最低功耗、最省面积的芯片设计。由于全定制设计是基于晶体管级的芯片设计，从管子的尺寸、安放位置及管子间互连着手设计，因而设计时花费的人工最多，周期最长，比较适合于大批量生产的集成电路芯片设计。全定制设计可以分为手工布图设计和版图自动生成两大类。手工布图设计则是通过人机对话的办法在计算机上完成的。

手工布图是最老式的设计方法，但它可以设计出性能最好的 VLSI 与 ASIC，并且自动版图生成器所设计的版图经常要用手工设计的方法加以完善和调整。无论是数字集成电路，还是模拟集成电路，或者是数模混合电路，都可以用全定制的方法设计。对一些有特殊要求的芯片（如温度、辐射环境等），即使电路很简单，也应考虑采用全定制设计方式，其实标准单元和门阵列母片都是用全定制方式精心设计的。

1.3.2 半定制设计法

半定制设计法主要包括门阵列设计法、标准单元设计法、可编程逻辑器件设计法和可编程门阵列设计法。

1. 门阵列设计法

适用于设计周期短、成本低、批量小的芯片。其母片主要是门阵列 (Gate Array) 及门海 (Sea of Gate)。特点是芯片 (母片) 上预先已生成固定的晶体管阵列、固定的输入输出压焊块和固定的布线通道。设计人员只需根据电路性能要求完成布线设计, 实现电路要求。设计周期和制造周期大大缩短, 成本大幅度下降。但门的利用率低, 芯片占的面积也大。

2. 标准单元设计法

适用于性能指标较高、生产批量较大的芯片。设计时根据电路要求从单元库中调出所需单元电路和外围单元, 进行自动布局布线, 完成芯片全套版图设计。其特点是: 元件得到充分利用, 芯片面积小, 设计自由度大, 自动化程度高。但建立 (或引进) 一个单元库, 初始投资大、制造周期长、成本较高。

3. 可编程逻辑器件设计法

特点是由制造商提供通用芯片, 由设计人员根据电路要求, 通过开发工具进行“再加工”, 实现其特定逻辑。可编程逻辑器件具有规则的阵列结构, 可实现随机逻辑。自动化程度比较高, 方便用户, 周期短。主要包括可编程只读存储器 (PROM)、可编程逻辑阵列 (PLA)、通用阵列逻辑 (GAL) 和可编程时序机等。

4. 可编程门阵列设计法

现场可编程门阵列 (FPGA) 近年来得到迅速发展, 它集 PLD 器件现场可编程的设计灵活性和门阵列的高密度于一体。一出现, 就立即受到电路和系统设计者的喜爱, 成为当今 ASIC 发展中一个异军突起的新颖电路。FPGA 的规模比较大, 适用于时序、组合等各种逻辑电路应用场合, 它可以替代几十块甚至几百块通用集成电路芯片。其单片逻辑门数为 1200~20000 门, 并已成为系列化产品。美国 ALTERA 公司 1999 年推出的 APEX20K 系列产品, 片内门数最高可达 100 万门。整个设计过程采用最先进的电子 CAD 技术, 具有很高的一次成功率。

1.4 设计流程

总的来讲, IC 设计共经历三个子过程, 如图 1.1 所示。

(1) 高层次综合。将系统的行为、各个组成部分的功能及其输入和输出用硬件描述语言加以描述, 然后进行行为级综合。同时通过高层次的硬件模拟进行验证。

(2) 逻辑综合。通过综合工具将逻辑级行为描述转换成使用门级单元的结构描述 (门级的结构描述称为网表描述)。同时还要进行门级逻辑模拟和测试综合。

(3) 物理综合。将网表描述转换成版图即完成布图设计。这时对每个单元确定其几何形状、大小及位置, 确定单元间的连接关系。

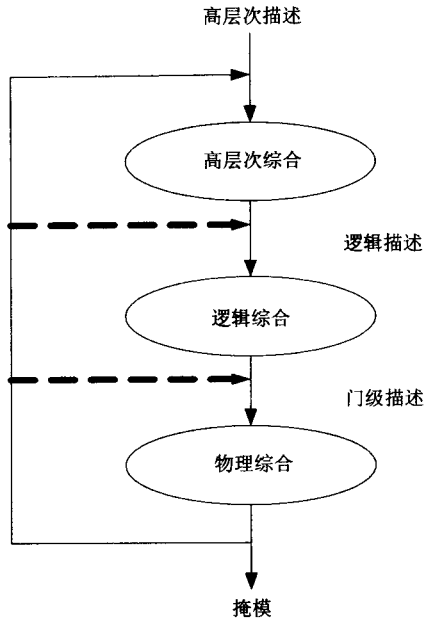


图 1.1 总的设计流程

下面将对设计流程作详细的介绍。
详细的设计流程如图 1.2 所示。

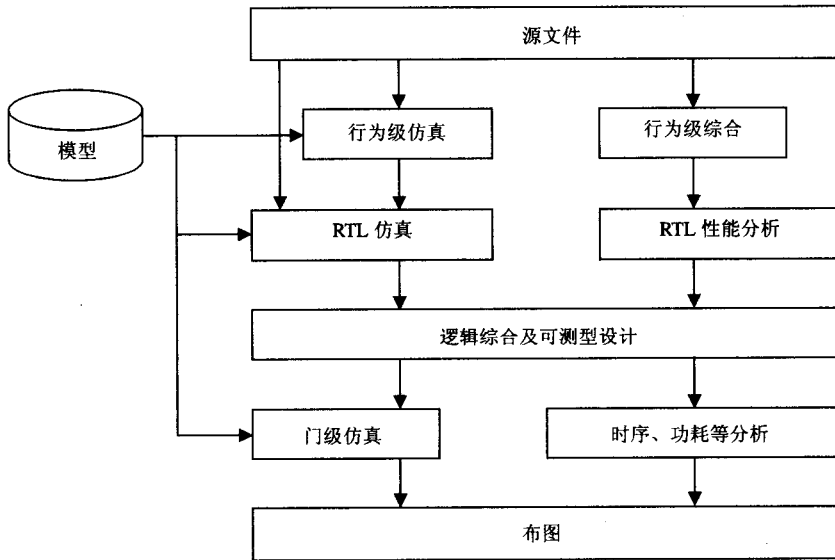


图 1.2 详细的设计流程

一般来讲，设计综合被定义为两种不同的设计描述之间的转换，我们这里谈到的综合是指一种将设计的行为描述转换成设计的结构描述的过程。

1. 高层次综合也称为行为级综合 (behavioral synthesis)

它的任务是将一个设计的行为级描述转换成寄存器传输级的结构描述。它首先翻译和分析设计的 HDL 语言描述，并在给定的一组性能、面积和/或功耗的条件下，确定需要哪些硬件资源，如执行单元、存储器、控制器、总线等 [通常称这一步为分配 (allocation)]，以及确定在这一结构中各种操作的次序 [通常称之为调度 (scheduling)]。同时还可通过行为级和寄存器传输级硬件模拟进行验证。

高层次综合的目的是在要满足目标和约束的条件下，找到一个代价最小的硬件结构，并使设计的功能最佳。

2. 逻辑综合

逻辑综合是将逻辑级的行为描述转换成逻辑级的结构描述，即逻辑门级的网表。逻辑级的行为描述可以是状态转移图、有限状态机，也可以是布尔方程、真值表或硬件描述语言。逻辑综合过程还包括一系列优化步骤，如资源共享、连接优化和时钟分配等。优化目标是面积最小、速度最快、功耗最低或它们之间的某种折衷。逻辑综合分成两个阶段：① 与工艺无关的阶段，这时采用布尔操作或代数操作技术来优化逻辑；② 工艺映像阶段，这时根据电路的性质（如组合型或时序型）及采用的结构（多层逻辑、PLD 或 FPGA）做出具体的映像，将与工艺无关的描述转换成门级网表或 PLD、FPGA 的执行文件。

逻辑综合优化完成后，还需要进行细致的时延分析和时延优化。此外，还要进行逻辑模拟。逻辑模拟是保证设计正确的关键步骤。综合是生成，模拟是验证。逻辑模拟是在逻辑设计阶段，对自动综合而成的或者人工设计的逻辑网络的逻辑行为作验证。

3. 物理综合

物理综合也称版图综合 (layout synthesis)。它的任务是将门级网表自动转换成版图，即进行布图，布图的详细步骤见图 1.3。

布图规则是对设计进行物理划分，同时对设计的布局进行规划和分析。在这一步骤中，面向物理的划分，其层次结构可以与逻辑设计时的划分有所不同。

布图是指将模块安置在芯片上的适当位置，并能满足一定的目标函数。一般布局时总是要求芯片面积最小，连线总长最短和电性能最优且容易布线。

布线是指根据电路的连接关系描述（即连接表），在满足工艺规则的条件和电学性能的要求下，在指定的区域（面积、

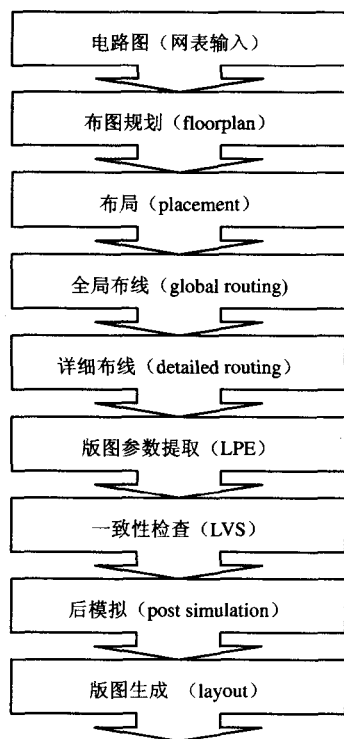


图 1.3 布图详细步骤

形状、层次等)内百分之百地完成所需的互连,同时要求尽可能优化连线长度和通孔数目。

在完成布局、布线后,要对版图进行设计规则检查、电学规则检查以及版图与电路图的一致性检查,在版图寄生参数提取的基础上再次进行电路分析(即后模拟)。

只有在所有的检查都通过并被证明正确无误后,才能将布图结果转换为掩模文件。然后由掩模文件设法生成掩模版,通常这是通过图形发生器或电子束制版系统得到的。

1.5 Cadence 系统简介

在 Cadence 软件中,库是一个很重要的概念。而且,从更广泛的意义上讲,所有的 EDA 软件都离不开库的支持。库的丰富程度在一定程度上决定着软件工具的实用性。Cadence 设计系统中库的调用,使它的软件工具可以分为四类:

- * 符号库——Concept-HDL 调用
- * 信噪库——SingNoise 调用
- * 逻辑功能库——Verilog-XL 调用
- * 物理库——Allegro 调用

对原理图的输入,其工具为 Concept-HDL,它可以灵活高效地将原理图送入计算机,并生成后继工具能够处理的数据。

设计转换和修改管理,实际上是原理图与 PCB 之间的一个纽带,负责将原理图中所表述的器件连接关系及元件封装说明翻译成 PCB 所能接受的格式,并将 PCB 信息反馈到原理图中,以保证原理图与 PCB 的同步。

物理设计与加工数据的生成,这一环境主要完成 PCB 版图的设计(包括布局、布线)和生成后继制造与加工 PCB 板所需要的各种数据文件。

在高速 PCB 规划设计环境中可对 PCB 版图进行电磁兼容性(EMC)和信号完整性分析,并将分析结果传到 Concept 和 Allegro,从而不断修改和完善 PCB 版图。这一工具在信号频率较高的 PCB 版图设计中尤为有用。

Cadence 设计系统中包括硬件描述语言 HDL 工具、IC 设计工具以及一些系统设计所使用的工具。HDL 工具支持三种数字模拟:Leapfrog、NC-Verilog、Verilog-XL。在我们的设计中经常采用的是 Verilog-XL。HDL 工具带有网表生成、编译器,拥有各种逻辑模型,支持逻辑综合、时序分析等。IC 设计工具还支持混合信号的模拟、数字电路的模拟、电路图设计和验证、版图设计和验证、时序验证等等。

Cadence 非常适用于深亚微米的设计。对于深亚微米的电路,在进行高层设计时必须考虑底层的物理实现,然而,在 Cadence 系统中由于内核(Core)的行为级模型有其物理实现的精确的延时信息,使得设计者可在设计的早期兼顾芯片的物理实现,从而可以较精确地估计互连的延时,以达到关键路径的延时要求。

作为流行的 EDA 工具之一,Cadence 一直以来都受到了广大 EDA 工程师的青睐。Cadence 几乎可以完成电子设计的方方面面,包括 ASIC 设计、FPGA 设计和 PCB 板设计。Cadence 在

模拟、电路图设计、自动布局布线、版图设计及验证等方面更有着绝对的优势。Cadence 与 Synopsys 的结合可以说是 EDA 设计领域的黄金搭档。此外，Cadence 公司还开发了自己的编程语言 skill，并为其编写了编译器，所有的 Cadence 工具都是用 Skill 语言编写的。

在实际设计中较常用到的 Cadence 的工具具有 Verilog HDL 仿真工具 Verilog-XL、电路设计工具 Composer、电路模拟工具 Analog Artist、版图设计工具 Virtuoso Layout Editor、版图验证工具 Dracula 和 Diva 以及自动布局布线工具 Preview 和 Silicon Ensemble。

第 2 章 MOS 器件与电路设计基础

MOS 器件是 VLSI 的基础，一块 VLSI 芯片中含有成千上万个 MOS 晶体管。因此，我们应对 MOS 器件的基本特性有比较深入的了解。VLSI 设计者只有正确理解和掌握了电路的电学特性和设计知识，才能胜任电路设计工作。尽管我们分析 MOS 晶体管特性的方法具有一定的近似性，但是概念正确、计算工作量小，可供设计者用人工计算的方法估算电路的特性。在此基础上，设计者可以借助于更为精确的电路模拟程序分析电路的电学特性，分析所设计的电路是否满足性能指标要求。我们通过学习 MOS 器件与电路的基本原理，为今后使用和理解电路分析软件，从事 ASIC 的设计打下基础。

2.1 MOS 晶体管

2.1.1 MOS 晶体管的电路符号与转移特性

MOS 晶体管的电路符号如图 2.1 所示。MOS 晶体管是根据器件内导电载流子来划分的。电子作为导电载流子的称为 NMOS 管，空穴作为导电载流子的称为 PMOS 管。MOS 器件有四个电极：栅极 G、源极 S、漏极 D 和衬底 B。衬底接偏压，以保证源、漏区与衬底之间的 PN 结为反向偏置，它不履行任何逻辑功能。因而在具体电路图中往往可以忽略，只需画出三个电极。

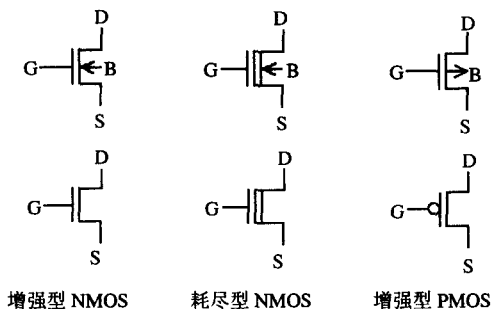


图 2.1 MOS 晶体管的电路符号

下面先讨论 NMOS 晶体管。一般 S 极接地，G 极加控制电压， V_{gs} 即可控制 D-S 极间的电流 I_{ds} 。NMOS 有增强型和耗尽型两种。增强型 NMOS 管在 $V_{gs}=0$ 时是不导通的。只有当 $V_{gs} > V_{tn}$ 时，管子才导通。 V_{tn} 是 NMOS 管的阈值电压也叫开启电压。N 沟增强型 MOS 管开启电压 $V_{tn} > 0$ 。

在 V_{ds} 一定的条件下, I_{ds} 随 V_{gs} 变化的曲线称为转移特性曲线。N 沟增强型 MOS 管的转移特性曲线如图 2.2 (a) 所示。N 沟耗尽型 MOS 管的转移特性如图 2.2 (b) 所示, 在 $V_{gs}=0$ 时, 耗尽型 NMOS 管是导通的, 只有当 $V_{gs} < V_{tn}$ 时, 管子才截止。耗尽型 NMOS 管的阈值电压也叫夹断电压, 其值为负。

PMOS 管和 NMOS 管有对偶关系, 两者的极性正好相反。P 沟增强型 MOS 管的栅压为 0 时截止, 只有当 V_{gs} 比 V_{tp} 更负时 ($V_{gs} < V_{tp}$) 才导通。P 沟耗尽型 MOS 管的栅压为 0 时导通, 只有当 $V_{gs} > V_{tp}$ (V_{gs} 比 V_{tp} 更正) 时才截止。见图 2.2 (c) 和 (d)。

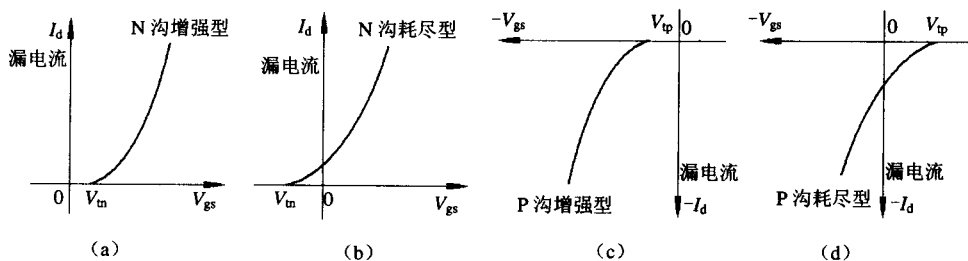


图 2.2 MOS 晶体管的转移特性曲线

2.1.2 增强型 NMOS 管的基本工作原理

图 2.3 表示 N 沟增强型 MOS 管的立体结构。在 P 型硅衬底上有两个高浓度的 N^+ 型扩散区, 分别做 S 和 D 区。S-D 之间是 G 极, G 极由高掺杂的多晶硅制成, G 极和衬底之间有薄的 SiO_2 绝缘层。G 极宽度为 W , 长度为 L , 它们对 MOS 管的特性有重要影响。设计制作时必须严格控制这些尺寸。其版图如图 2.4 所示。

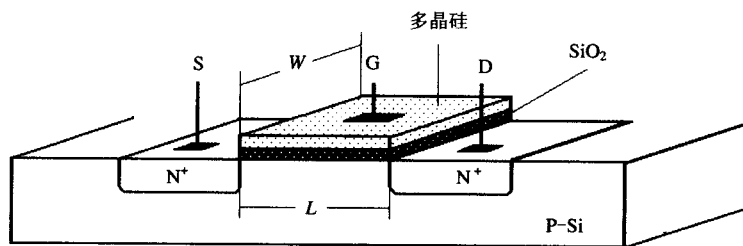


图 2.3 N 沟增强型 MOS 管的立体结构

下面介绍 N 沟增强型 MOS 管的工作原理。图 2.5 表示它的剖面图。图中 S 和 D 是对称的。分别与衬底形成两个 PN 结。在栅极未加电压时, S-D 之间不会导电。

当栅极加正电压 V_{gs} 时, 由于衬底接地, 栅与衬底之间产生电场 E , 方向向下, 由 G 指向 B, 见图 2.6。在电场 E 的作用下, P 型硅中的空穴向下移动, 在栅氧化层下面的硅表面处留下带负电的离子, 形成耗尽层。耗尽层中带负电的离子不导电。栅极— SiO_2 层—耗尽层可看作一个平行板电容器。耗尽层中的负电荷与栅极上的正电荷相等。P 型衬底中的