

高速数字系统设计

互连理论和设计实践手册

High-Speed Digital System Design

A Handbook of Interconnect Theory
and Design Practices

(美) Stephen H. Hall
Garrett W. Hall 著
James A. McCall
伍微 等译

High-Speed Digital System Design

A Handbook of
Interconnect Theory
and Design Practices

STEPHEN H. HALL
GARRETT W. HALL
JAMES A. MCCALL

CAMBRIDGE



机械工业出版社
China Machine Press



电子与电气工程丛书

高速数字系统设计

互连理论和设计实践手册

**High-Speed Digital System Design:
A Handbook of Interconnect
Theory and Design Practices**

(美) Stephen H. Hall
Garrett W. Hall 著
James A. McCall
伍微 等译



机械工业出版社
China Machine Press

本书详细讲解现代高速数字系统设计的理论与实现方法,剖析数字总线上的高频效应,介绍了多种成熟技术和应用实例,将通俗易懂的原理解释与大量实用问题解决方案相结合,为当前的数字系统设计技术提供实践指导。主要包括基本传输线理论、串扰和非理想传输线、封装、过孔、连接器、非理想电流回路、同步开关噪声、数字时序分析、辐射、高速测量技术等。

本书适合作为高等院校电子工程及相关专业的本科生和研究生的参考书,也可供从事数字电路设计的技术人员参考。

Stephen H. Hall, Garrett W. Hall, James A. McCall: *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices* (ISBN: 0-471-36090-2)

Authorized translation from the English language edition published by John Wiley & Sons, Inc.

Copyright © 2000 by John Wiley & Sons, Inc.

All rights reserved.

本书中文简体字版由约翰-威利父子公司授权机械工业出版社独家出版。未经出版者书面许可,不得以任何方式复制或抄袭本书内容。

版权所有,侵权必究。

本书法律顾问 北京市展达律师事务所

本书版权登记号:图字:01-2004-6187

图书在版编目(CIP)数据

高速数字系统设计/(美)霍尔(Hall, S. H.)等著;伍微等译. —北京:机械工业出版社, 2005.8

(电子与电气工程丛书)

书名原文: High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices

ISBN 7-111-16822-4

I. 高… II. ①霍…②伍… III. 数字系统—系统设计—高等学校—教学参考资料 IV. TP271

中国版本图书馆 CIP 数据核字(2005)第 073101 号

机械工业出版社(北京市西城区百万庄大街 22 号 邮政编码 100037)

责任编辑:傅志红 洪海丽

北京昌平奔腾印刷厂印刷·新华书店北京发行所发行

2005 年 8 月第 1 版第 1 次印刷

787mm×1092mm 1/16·15.75 印张

印数:0 001-4000 册

定价:33.00 元

凡购本书,如有倒页、脱页、缺页,由本社发行部调换
本社购书热线:(010)68326294

译者序

近年来,数字技术的发展日新月异。在20世纪90年代初,几十兆主频的x86还是新鲜事物,而到如今,频率高达3GHz的CPU也只不过是个人电脑的标准配置。在数字信号领域常用的DSP芯片,其主频从数十MHz上升到现在的1GHz也只用了20年。而在数字产品的生产中,20年前的制造工艺还是微米量级,现在已然步入90纳米工艺。

可见在当今的数字设计中,芯片的处理速度越来越快,面积越来越小,密度却越来越大。这在为用户带来方便的同时,也给数字设计者提出了巨大的挑战。以前低速设计中可行的方法,到高速设计中就变得步履维艰、寸步难行;理论上应该是正确的,但在实践中就是行不通;经历了千辛万苦、反复测试与验证,硬件板总算调通了,但好像是碰运气摸索出来的;调通之后,在大多数情况下可以正常工作,但偶尔还是会出现异常情况。国内同行有上述经历的,应该不在少数吧。

此外,目前国内大学院校的本科教学中,普遍以理论为主,许多实验设备还停留在模拟和低速的阶段。理论基础固然重要,但电路设计最终还是要面向市场、面向应用。因此,对于电子专业的学生,在掌握了基本的电磁理论和电路理论之后,还应该了解当今的高速数字系统设计技术。

本书是高速数字设计从入门到精通的最佳参考书之一。全书着眼于“高速”和“实用”,只介绍必要的理论知识,跳过了繁琐的公式推导,简明易懂。对于高速设计中必须解决的关键问题,如串扰、非理想效应、信号完整性、数字时序、辐射问题等,作者则是不吝词藻,详细加以阐述;对于实用的经验方法,书中更是用方框将其醒目地标注出来,方便读者使用。

本书提供了一整套实用的高速设计流程,从最初的时序表到流片,可谓巨细靡遗。另外,还给出了高速设计中的高精度测量方法。这些内容中,许多实例是作者亲自遇到的问题,其解决方案对工程设计实践具有重要的指导意义。

翻译过程是艰苦的,但其中也不乏动力——书中丰富的知识和精辟的论述,常常使译者叹为观止。译者诚恳地将本书介绍给大家,希望能对国内的同行有所帮助。

本书主要由伍微翻译,参与本书翻译的还有王瑛、向为、汪东、肖枫涛、孙书维、陈宝民、宋新、曹亚菲、刘明政、董亚卓、杨定新、李宝峰、肖国尊等人。Be Flying工作室负责人肖国尊负责在翻译过程中进行相关的协调工作,控制全书翻译质量及进度。此外,还要感谢同事和家人对翻译工作的鼓励与包容,正是由于他们的鼓励和包容,我们才能够完成全书的翻译工作。

敬请各位读者就本书提供反馈意见,我们希望通过读者的意见来了解自己的不足,以求在今后译作中更多地和更切实际地考虑读者的需要。读者可以将意见发送到 be-flying@sohu.com。

译者

2005年3月

前 言

本书基于硬件平台层次,介绍了现代高速数字系统设计所必需的实践方面和理论方面的知识。从基本的传输线理论到数字时序分析,再到高速测量技术及其他内容——这些必备的概念,本书将逐一为读者进行说明。这样做,可以在理论和实践应用之间达到特定的平衡,不仅便于读者理解问题的本质,而且为解决问题提供了实践指导。理论层的理解有助于读者摆脱当前实践应用的局限,进而能够解决本书中没有涉及的问题。书中的许多内容,在过去的数字设计中并非必需,但现在这些内容却是必不可少的。而标准的大学课程中,一般不涉及本书中的绝大部分内容,而且大学课程不会专门针对数字设计领域,尽管有证据说数字设计是电气工程中最重要产业之一。

本书重点在于设计可大批量生产的稳健的高速数字产品,比如计算机系统(设计时需要特别考虑计算机总线)。不过,书中的理论对于任何高速数字系统都是适用的。书中涵盖的所有方法,都已经在工业中应用于实际数字产品,且这些产品的大批量生产和销售已经获得成功。

已经完成基础电磁课程或微波设计课程的工程师、研究生以及本科学生,由于已具有相应的知识储备,所以容易完全理解本书中的理论。另一方面,若仅在实践层应用本书中的公式,则只需有基本的电路理论背景就可以了。

第1章解释了为什么理解书中所讲授的课程是重要的(作者是 Garrett Hall)。

第2章介绍了基本传输线理论和专用于数字技术的术语。该章为后续章奠定了基础(作者是 Stephen Hall)。

第3章和第4章介绍了串扰效应,解释了串扰效应与数字时序之间的关系,并研究了非理想传输线效应(作者是 Stephen Hall)。

第5章解释了芯片封装、过孔、连接器和影响数字系统性能的其他方面的作用(作者是 Stephen Hall)。

第6章解释了诸如同步开关噪声和非理想返回电流通路失真等难以理解的效应。如果不合理解决,这些效应可导致数字设计失效(作者是 Stephen Hall)。

第7章讨论了输出缓冲器建模的不同方法。输出缓冲器用于将数字信号驱动到总线上(作者是 Garrett Hall)。

第8章详细解释了系统级数字时序的若干方法。本章中描述了不同时序方案背后的理论,并将这些方案与书中的高速数字效应联系起来(作者是 Stephen Hall)。

第9章提出了设计中可能遇到的最严峻的挑战之一:如何处理对系统有影响的大量变量,以及如何减少变量以方便管理。该章还解释了如何将一个难以解决的问题转化为易于解决的问题,并介绍了一种专门的设计方法学,用于生产高性能数字产品(作者是 Stephen Hall)。

第10章内容的主题是辐射。辐射问题是一个让系统设计者很头疼的问题,这是因为,经常在系统原型建立完毕之后,才能发现辐射问题,此时改动代价高昂,时间也很有限(作者是 Garrett Hall)。

第 11 章介绍了在高速数字系统中进行精确测量的实用技术(作者是 James McCall)。

致谢

许多同仁为本书做出了直接或间接的贡献。我们非常有幸结识了这些优秀的工程师和杰出的同事。其中,为本书提供了巨大帮助的有:

Intel 公司的 Maynard Falconer 博士

Mayo Foundation 公司专用处理器开发小组的 Mike Degerstrom

Intel 公司的 Jason Mix 博士

PHI 公司的 Dorothy Hall

我们也要谢谢下列朋友。他们长期通力合作,确实对本书的出版起到了重要作用,在此对他们表示感谢:

俄勒冈研究生院, Intel 公司的 Howard Heck

Intel 公司的 Michael Leddige

Intel 公司的 Tim Schreyer 博士

Intel 公司的 Harry Skinner

Intel 公司的 Alex Levin

Intel 公司的 Rich Melitz

Mayo Foundation 公司专用处理器开发小组的 Wayne Walters

Mayo Foundation 公司专用处理器开发小组的 Pat Zabinski

Mayo Foundation 公司专用处理器开发小组的 Barry Gilbert 博士

科罗拉多州立大学 Melinda Picket-May 博士

还要特别感谢作者 Stephen 的妻子 Jodi Hall, 没有她的耐心和支持, 本书是不可能完成的。

目 录

译者序

前言

第 1 章 互连设计的重要性	1
1.1 基础	1
1.2 过去和未来	3
第 2 章 理想传输线基本原理	5
2.1 PCB 或 MCM 上的传输线结构	5
2.2 波的传播	6
2.3 传输线参数	6
2.3.1 特征阻抗	7
2.3.2 传播速度、时间和距离	9
2.3.3 SPICE 仿真中的等效电路模型	10
2.4 发送初始波和传输线反射	12
2.4.1 初始电波	12
2.4.2 多次反射	14
2.4.3 上升时间对反射的影响	20
2.4.4 电抗性负载的反射	21
2.4.5 消除反射的匹配方案	22
2.5 补充示例	25
2.5.1 问题	25
2.5.2 目标	25
2.5.3 计算 PCB 的横截面几何结构	25
2.5.4 计算传输延迟	26
2.5.5 确定接收端波形	27
2.5.6 创建等效电路	27
第 3 章 串扰	29
3.1 互感和互容	29
3.2 电感矩阵和电容矩阵	29
3.3 场仿真器	30
3.4 串扰感应噪声	31
3.5 用等效电路模型仿真串扰	35
3.6 串扰感应延迟时间和信号完整性变化	36
3.6.1 开关模式对传输线性能的影响	36
3.6.2 使用单线等效模型模拟多导线系统中的走线	40
3.7 串扰引起的阻抗变化	41
3.8 奇、偶模传输线对的匹配	43
3.8.1 Pi 型匹配网络	44

3.8.2 T 型匹配网络	45
3.9 串扰最小化设计	45
3.10 补充示例	46
3.10.1 问题	46
3.10.2 目标	47
3.10.3 计算串扰引起的阻抗变化和传播速度变化的最大值	47
3.10.4 判断串扰是否会导致误触发	48
第 4 章 非理想互连问题	51
4.1 传输线损耗	51
4.1.1 导线直流损耗	51
4.1.2 介质直流损耗	52
4.1.3 趋肤效应	52
4.1.4 与频率相关的介电损耗	60
4.2 介电常数的变化	62
4.3 走线弯曲	63
4.4 符号间干扰	65
4.5 90°转角效应	67
4.6 拓扑效应	68
第 5 章 连接器、封装和过孔	71
5.1 过孔	71
5.2 连接器	72
5.2.1 串联电感	73
5.2.2 并联电容	73
5.2.3 连接器串扰	73
5.2.4 电感耦合引起的连接器引脚场效应	74
5.2.5 EMI	76
5.2.6 连接器设计指南	76
5.3 芯片封装	78
5.3.1 常见的封装类型	78
5.3.2 创建封装模型	81
5.3.3 封装的影响	84
5.3.4 最佳引脚布局	88
第 6 章 非理想回路、同步开关噪声和功率传输	91
6.1 非理想电流回路	91
6.1.1 最小电感通路	91
6.1.2 信号通过地槽	92

6.1.3 切换参考面的信号	94	9.3.2 制板分析	148
6.1.4 以电源或地为参考面的信号	95	9.4 灵敏度分析	149
6.1.5 其他非理想回路	98	9.4.1 初步的趋势分析和显著性分析	150
6.1.6 差分信号	98	9.4.2 有序参数扫描	154
6.2 本地功率传输网络	99	9.4.3 解空间求解的第1阶段	155
6.2.1 高速 I/O 设计中求解本地 去耦需求	100	9.4.4 解空间求解的第2阶段	157
6.2.2 系统级功率传输	102	9.4.5 解空间求解的第3阶段	159
6.2.3 选择去耦电容	104	9.5 设计指南	159
6.2.4 功率传输系统的频率响应	105	9.6 参数提取	160
6.3 SSO/SSN	105	9.7 在设计系统时应遵循的通用经验 方法	160
第7章 缓冲器建模	109	第10章 辐射规范和系统噪声 最小化	163
7.1 模型分类	109	10.1 FCC 辐射规范	163
7.2 基本的 CMOS 输出缓冲器	110	10.2 辐射的物理原理	164
7.2.1 基本操作	110	10.2.1 差模辐射	164
7.2.2 为 CMOS 缓冲器建立线性 模型	114	10.2.2 共模辐射	168
7.2.3 为 CMOS 缓冲器建立行为 模型	119	10.2.3 波阻抗	171
7.3 在饱和区中工作的输出缓冲器	121	10.3 去耦与扼流	172
7.4 小结	122	10.3.1 系统级高频去耦	173
第8章 数字时序分析	123	10.3.2 扼流电缆、本地电源平面和 本地地平面	176
8.1 公用时钟时序	123	10.3.3 低频去耦与地平面隔离	182
8.2 源同步时序	127	10.4 补充的 PCB 设计准则、封装须知 与引脚布局	183
8.2.1 源同步时序方程	128	10.4.1 高速器件和高速走线的布局	183
8.2.2 根据眼图推导源同步时序 方程	131	10.4.2 串扰	183
8.2.3 其他源同步方案	131	10.4.3 引脚布局和封装选择	184
8.3 其他总线信号传输技术	132	10.5 机箱设计	184
8.3.1 时钟伴随	133	10.5.1 电磁屏蔽基本知识	184
8.3.2 时钟嵌入	133	10.5.2 孔径	186
第9章 设计方法学	135	10.5.3 谐振	189
9.1 时序	135	10.6 时钟频谱扩展	190
9.1.1 最差情况时序表	136	第11章 高速测量技术	193
9.1.2 统计时序表	138	11.1 数字示波器	193
9.2 时序度量、信号质量度量和测试 负载	140	11.1.1 带宽	193
9.2.1 参考电压的不确定度	140	11.1.2 采样	194
9.2.2 对参考负载进行仿真	140	11.1.3 其他效应	196
9.2.3 延迟时间	143	11.1.4 统计	197
9.2.4 延迟时间偏差	144	11.2 时域反射计	197
9.2.5 信号完整性	145	11.2.1 TDR 理论	198
9.3 设计优化	147	11.2.2 测量要素	199
9.3.1 图纸分析	147	11.3 TDR 的精度	201
		11.3.1 入射寄生效应	202

11.3.2	探针类型	203	11.8.2	仪器	211
11.3.3	反射	204	11.8.3	单端口测量(Z_0 、 L 、 C)	212
11.3.4	接口传输损耗	204	11.8.4	双端口测量(T_d 、衰减、 串扰)	214
11.3.5	电缆损耗	204	11.8.5	校准	217
11.3.6	幅度漂移误差	205	11.8.6	单端口测量校准	218
11.4	阻抗测量	205	11.8.7	双端口测量校准	218
11.4.1	阻抗的精确测量	205	11.8.8	校准验证	219
11.4.2	TDR 阻抗分析中的测量 区域	206	附录 A	阻抗公式的其他特性	221
11.5	奇模阻抗和偶模阻抗	207	附录 B	GTL 电流模式分析	223
11.6	串扰噪声	208	附录 C	数字信号的频域分量	229
11.7	传播速度	208	附录 D	有用的 S 参数变换	231
11.7.1	长度差分法	209	附录 E	分贝的定义	235
11.7.2	Y 截距法	209	附录 F	FCC 辐射限制	237
11.7.3	TDT 法	209	参考书目	239	
11.8	矢量网络分析仪	210	索引	241	
11.8.1	S 参数简介	211			

第 1 章 互连设计的重要性

在数字信号的高速传输中，就连光速也嫌太慢。一般说来，现代大批量生产的数字产品需要把时序控制在皮秒(ps)量级。光从人的鼻子传到眼睛所需时间大约是 100ps(100ps 内，光传播的距离约为 1.2 英寸(in[⊙]))。该时序级别不仅须维持在硅片级，还须维持在物理尺寸更大的系统板上，如计算机主板。这些系统的工作频率很高，导线的行为不再像简单的理想导线，而会呈现出高频效应，像传输线一样把电信号传到相邻器件，或从相邻器件接收电信号。如果不能合理处理这些传输线，它们可能在无意中破坏系统时序。数字设计已经达到甚至超过了模拟世界的复杂程度。但是，事情并非总是如此。数字技术是科技发展中一个引人注目的传奇，一个不断经历着思维变迁、工业革命、无可比拟的快速变革的历程。事实上，科技公司的市场营销部都有一个普遍的信条：“等到市场调查告诉你公众需要什么时，已经太晚了。”

快速变化的市场需求对电路设计技术提出了新的挑战，这正是本书需要解决的问题。其难点在于，现代数字设计需要以前不曾需要的知识。正因如此，目前许多数字系统设计者不具有现代高速设计必需的知识。这一事实导致大量错误的信息在工程界传播。通常，高速设计的概念被当作一种神秘的东西，其原因是设计者难以获取必需的知识。事实上，许多相同的概念在电气工程其他学科中已经沿用了几十年，比如射频设计和微波设计。但是大多数必要学科的参考书目，要么过于抽象，数字设计者不能立即应用；要么本质上实践性太强，无法包含足够的理论来完全理解该学科。本书直接将重点放在数字设计领域。同时，为了使工程师和学生可以直接应用，本书阐明了一些必要的概念，以便他们理解和解决目前面临或即将面临的问题。值得一提的是，本书中所有内容都已经成功应用于现代设计。

1

1.1 基础

众所周知，数字设计的基本思想是通过 0 和 1 表示的信号来传递信息。典型示例为传输和接收一系列不规则形状的电压信号，如图 1-1 所示，其中，高电压代表 1，低电压代表 0。传送数字信号的传导通路称为互连通路(interconnect)。互连通路表示从发送信号的芯片到接收该信号的芯片之间的整个电气通路，包括芯片封装、连接器、插槽、以及数不清的其他

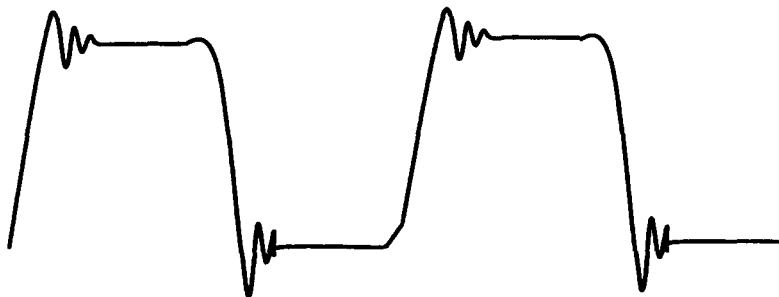


图 1-1 数字波形

⊙ 1 in=0.0254 m

装置。一组互连通路的集合称为总线(bus)。数字接收器能区分的高电压和低电压之间的区域称为阈域(threshold region)。接收器可将该区域内的电压转换为高或低。在硅片上,实际的转换电压会随着温度、供电电压、硅片制造工艺以及其他参数的变化而改变。从系统设计者的角度看,通常存在与接收信号的硅片相关的高、低电压门限,称为 V_{ih} 和 V_{il} , 高于高电压门限的电平或低于低电压门限的电平在任何条件下都能确保被接收到。因此,为了确保数据的完整性,设计者必须保证:在任何情况下,系统传送的高电压都不会低于 V_{ih} (即便是在很短的时间内), 传送的低电压都一直低于 V_{il} 。

为了使数字系统的运行速度最快,必须使跃过阈域的时间不确定性最小。这意味着数字信号的上升或下降时间越短越好。理想情况下使用无限快的边沿变化率,尽管许多实际问题不允许这样。实际中常遇到几百 ps 的边沿变化率。读者可以用傅里叶分析验证:边沿变化率越快,就可以在信号频谱中找到越高的频率。其中暗含了边沿变化率不可能无限快的原因。每条导线都有电容效应、电感效应、以及与频率相关的电阻效应。频率足够高时,它们都是不可忽略的。这种情况下,导线就不仅仅是导线,而且是一个有延迟和瞬时阻抗的分布式寄生元件,它会导致失真,在从驱动芯片传输到接收芯片的波形中表现为一个毛刺。这时,这段导线就是与周围所有器件耦合的一个元件,这些器件包括电源、接地装置和其他走线。信号并非完全存在于导线中,而是与导线周围的所有局部电磁场混合在一起的。一个互连通路上的信号与另一个互连通路上的信号会相互影响。此外,高频场合中,同一互连通路的不同部分(如封装、连接器、过孔和转角)之间会发生复杂的相互作用。所有这些高速效应往往会产生畸变以及失真的波形,这确实让设计者看到了高速逻辑信号完全不同的一面。一个简单任务中,为了保证合适时间内信号在 V_{ih} 和 V_{il} 间正确的跃迁,互连通路邻近处任何装置的物理属性和电气属性都有至关重要的作用。以上问题也决定了系统向空间辐射能量的多少,以及系统是否符合政府规定的辐射要求。我们将在后续章中看到如何解决这些问题。

当导线必须视为电容与电感的分布式级联时,它被称为传输线。通常,当电路的物理尺寸接近信号中最高有用频率对应的波长时我们这样认为,在数字领域中,因为边沿变化率在很大程度上决定了最高频谱,故可以把上升/下降时间与电路尺寸进行对照,如图 1-2 所示。在一个典型的电路板上,信号传输速率约为光速的一半(精确的公式将在后续章中给出)。所以 500ps 的边沿变化率在电路走线上对应的长度约为 3in。一般地,任何长度超过 1/10 边沿变化率的电路都应该被认为是传输线。

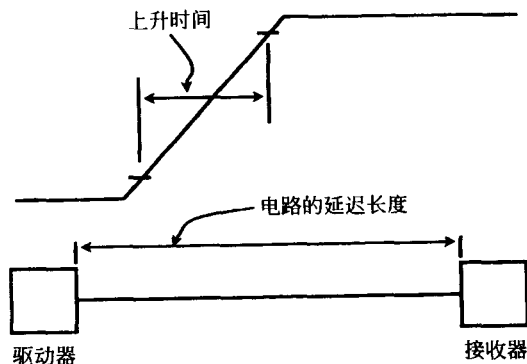


图 1-2 上升时间和电路长度

高速数字设计最难解决的问题之一是有许多相互关联的参数会影响数字设计结果，其中有些参数是可控的，有些则使设计者无法避免其随机的变化。高速数字设计难点之一是，无论这些参数可控与否，都需要考虑如何处理它们。忽略参数或给参数假定一个值通常可以简化问题，但这可能会导致不可预知的错误，而且出错之后将不可能找出问题的根源。对于现代设计者而言，随着实际应用中的时序限制越来越严格，过去的那些简化方法几乎没用。本书将说明如何合并那些会使问题难以驾驭的大量参数。如果没有处理大量参数的方法，那么，无论设计者在物理上对系统了解多少，设计最终只能求助于猜测。处理所有参数的最后一步通常是最困难的阶段，也是最容易被设计者忽略的阶段。设计者如果不能处理大量参数，则最终只能求助于检验一些“点解决方案”，并希望它们看起来可以代表所有已知条件。虽然有时这种方法不可避免，但这可能是一个危险的猜测游戏。当然，设计中总会有一定量的猜测，但是系统设计者的目标应该是使不确定性最小。

1.2 过去和未来

Intel 公司的创始人之一戈登·摩尔(Gordon Moore)预测，计算机性能每 18 个月将提高一倍。历史证实了这富有洞察力的预测。引人注目的是，计算机性能大约每 1.5 年提高一倍，价格随之降低。有关处理器性能的衡量指标之一是内部时钟频率。图 1-3 显示了过去的一些处理器以及它们对应的内部时钟速率。本书出版时，即便是图中最快的处理器也不算是很快了，主要原因在于计算机速度呈指数增加。随着内核频率的增加，从总线到处理器的信息传送将需要更高的数据速率，如图 1-4 所示。这使得互连时序预算呈指数下降。当数字波形到达接收器时，有些现象可能增加数字波形的时序不确定性，而时序预算的降低意味着对这些现象进行合理解释将是重要的。两个不可避免的障碍将继续困扰数字系统设计，其问题根源就在于此。第一个障碍是，数字设计中必须考虑的参数的绝对数量增加了。随着频率的增加，可以在低速应用中忽略的效应开始变得重要起来。一般说来，设计的复杂性随着参数数目的增加呈指数增加。第二个障碍是，那些可以在过去的设计中忽略的新效应必须高精度地建模。这些新模型经常需要具有三维特性，或需要数字设计者所熟悉领域之外的专业模拟技术。这些障碍在处理器周围的子系统上也许体现得更深刻，因为这些子系统发展较慢，但

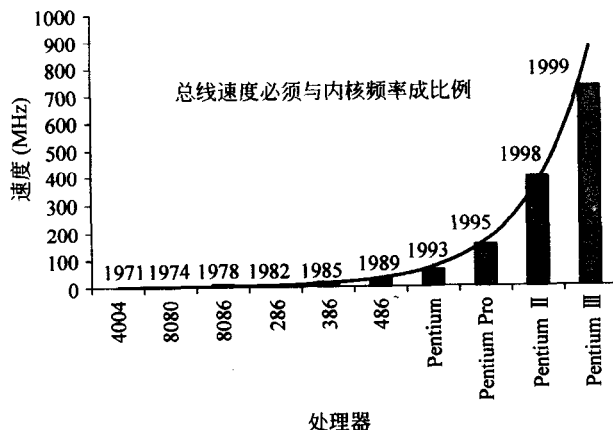


图 1-3 摩尔定律效应

仍然必须支持处理器不断增加的需求。

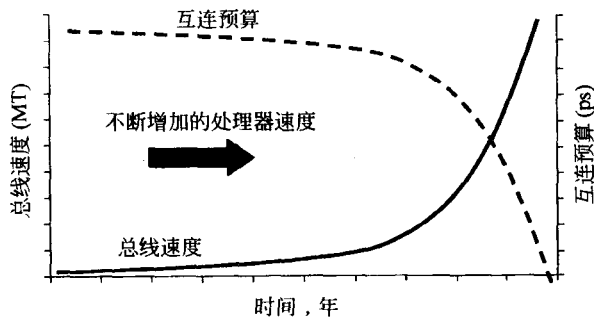


图 1-4 互连预算随着系统频率和性能的提高而减少

所有这些问题导致了现在的情况：有新的问题需要解决。有能力解决这些问题的工程师将掌控未来。本书将为读者提供必需的实践知识来应付现代高速数字设计，并提供充足的理论，使读者可以超越本书，解决作者们尚未遇到的问题。请继续阅读。

第2章 理想传输线基本原理

如今的高速数字系统中，需将 PCB (printed circuit board, 印制电路板) 或 MCM (multichip module, 多芯片模块) 的走线当作传输线处理。低速设计中，可以把互连通路建模为集总电容或简单的延迟线，在高速设计中则不行。这是因为在高速设计中，与传输线相关的时序，是总时序容限的重要部分。为了能够预测和控制传输线的电气特性，设计时必须特别关注 PCB 板的结构。本章将介绍在数字系统中典型的基本传输线结构，并给出理想情况下的基本传输线理论。另外，本章还提供了必需的知识基础，方便读者理解后续各章。

2.1 PCB 或 MCM 上的传输线结构

在典型的 PCB 或 MCM 上看到的传输线由导电的走线构成。这些走线埋在具有一个或多个参考面的介质材料(也称为绝缘材料)中，或者是附在介质材料的表面。典型的 PCB 板中，金属常使用铜，介质则使用 FR4(一种玻璃纤维)。数字设计中最常用的两种传输线是微带线和带状线。微带线(microstrip)通常分布在 PCB 板的表层，且只有一个参考面。微带线分为两种：埋层微带线和不埋层微带线。其中，埋层微带线(buried microstrip, 或 embedded microstrip)指传输线虽然嵌入在介质中，但仍然只有一个参考面。带状线(stripline)分布在内层，有两个参考面。图 2-1 是一个用走线连接各种元件的 PCB 板，这些走线分布在内层(带状线)和外层(微带线)上。取其相应的横截面，根据图中标记可以看出传输线相对于地平面和电源平面的位置。本书中，传输线通常以横截面的方式表示。这对后面将要介绍的各种传输线参数的计算和可视化来说，是非常有用的。

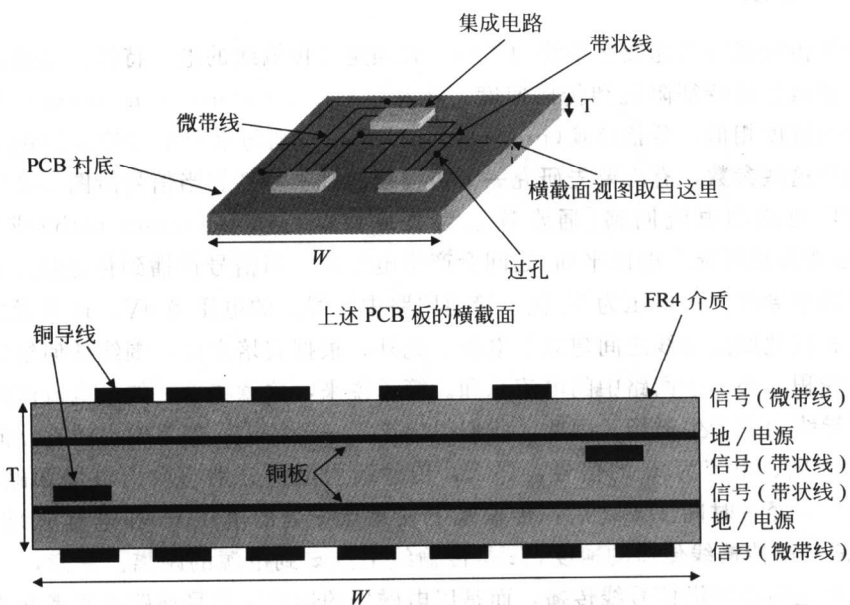


图 2-1 典型 PCB 板设计中的传输线示例图

7

如图 2-1 所示的多层 PCB 板上, 可以分布各种结构的带状线和微带线。为了能够预测传输线的电气特性, 需要对各个导线层和介质层(称为叠层(stackup))进行控制。高速系统中, 控制传输线的电气特性是至关重要的。本章中阐述的若干基本电气特性称为传输线参数(transmission line parameter)。

2.2 波的传播

8

高频场合中, 电信号沿 PCB 走线传输会产生传播延迟, 当数字信号的边沿变化率(上升/下降时间)小于该传播延迟时, 传输线效应将对信号产生较大的影响。电信号沿传输线传播, 就像水在横截面为方形的长水管中流动一样, 这种现象称之为电波传播(electrical wave propagation)。当水波沿水管流动时, 水前沿随之向前移动; 与此类似地, 当电波沿传输线传播时, 电信号随之传输。而且, 正如水将在有限时间内流过长度有限的水管, 电信号将在有限时间内通过长度有限的传输线。按照这种简单的方式进一步类推, 传输线上的电压可以比作水管中水的高度, 电流可以比作水流。图 2-2 描述了传输线的通用表示法。顶端导线是信号通路, 底端导线是电流回路。电压 V_i 是节点 A 处的初始电压, V_i 和 Z_i 构成输出缓冲器的戴维南等效电路, 常称之为信号源(source)或驱动器(driver)。

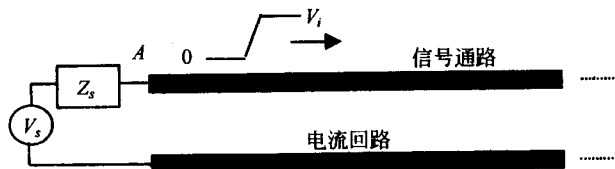


图 2-2 描述传输线上数字信号传播的典型方法

2.3 传输线参数

为了分析传输线对高速数字系统的影响, 必须定义传输线的电气特性。描述传输线基本电气特性的参数包括特征阻抗和传播速度。特征阻抗(characteristic impedance)与 2.2 节中类比的水管的宽度相似, 传播速度(propagation velocity)则与水管中水流动的速度类似。为了定义和推导这些参数, 有必要先研究一下传输线的基本特性。当信号沿图 2-2 中的传输线传播时, 信号通路和电流回路[通常称之为接地回路(ground return path)或交流地(ac ground), 参考面也可能是电源平面]之间会产生电势差。当信号传播到传输线上任意一点 z 时, 信号通路中导线上的电压为 V_i 伏, 接地回路中导线上的电压为 0V。这两者之间的电势差在信号线和接地回路导线之间建立了电场。此外, 根据安培定律, 围绕任何给定闭合回路的磁场, 其线积分必等于回路中的电流总和。简单说来, 这意味着, 如果电流流经导线, 那么电流将在导线周围产生磁场。因此, 我们得出这样一个结论: 如果输出缓冲器向传输线输出一个电压为 V_i 、电流为 I_i 的信号, 那么, 传输线周围将分别感应出电场和磁场。不过, 需要说明的是, 经过时间 z/v 之后, 传输线上任意点 z 处的电压 V_i 和电流 I_i 将会变为 0。其中, v 是信号沿传输线传播的速度, z 是传输线上点 z 到电源的距离。注意, 这里的分析表明, 信号不是简单地沿信号线传播, 而是以电磁场的形式在信号通路和参考面之间传播。

9

既然已经确定了传输线的基本电磁特性, 就可以为传输线的横截面建立一个简单的电路

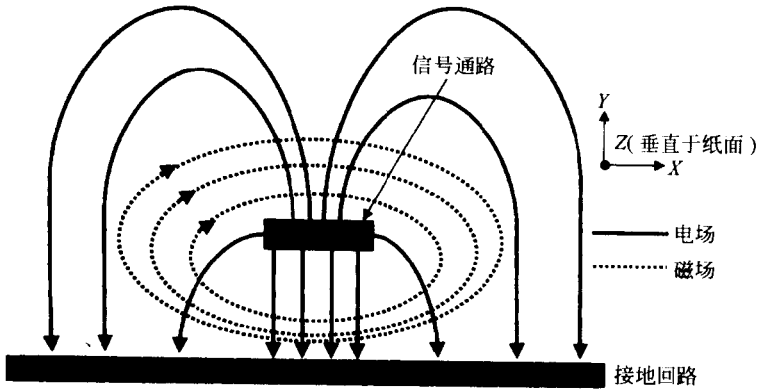


图 2-3 假定电信号垂直于纸面方向传播时，微带线横截面处的电磁场示意图

模型。图 2-3 描绘了微带传输线的横截面，以及与流经传输线的电流相关的电磁场模式。如果假定 z 方向(垂直于纸面)上没有电场或磁场传播分量，那么电场和磁场是正交的，称之为横向电磁场模式(transverse electromagnetic mode, TEM)。一般情况下，传输线传播 TEM 模式的电磁波，并且在频率相对较高的场合中，也可以近似这样认为。这样就可以沿 z 方向(垂直于纸面)上传播电磁波的传输线，分析传输线的某一个横截面微元(或切片)。图 2-3 显示了传输线上长度为 dz 的无限小横截面微元(切片)中，电场分量和磁场分量的分布情况。因为电磁场中储存着能量，所以我们在电路模型中加入储存这些能量的电路元件。传输线横截面微元中的磁场可以表示为一个串联电感 Ldz ，其中 L 是单位长度的感抗。 dz 段对应的信号通路和接地回路之间的电场可以表示为一个并联电容 Cdz ，其中 C 是单位长度的容抗。一个理想的模型由无穷多个这样的横截面微元级联而成。该模型可以描述一段无损耗的传输线(即无阻抗损耗的传输线)。

但是，因为 PCB 板中使用的金属并非完全导电，介质也并非完全绝缘，所以模型中必须加入损耗，其表现形式为一个串联电阻 Rdz 和一个接地并联电阻 Gdz ，其中 Gdz 为电导，单位为 S (S 表示 siemens(西门子)，即 $1/\Omega$)。图 2-4 显示了传输线上横截面微元的等效电路模型。串联电阻 Rdz 代表由于导线电导率有限而引起的损耗，并联电阻 Gdz 代表由于分隔导线和地平面的介质阻抗有限而引起的损耗，串联电感 Ldz 代表磁场，并联电容 Cdz 代表导线和地平面之间的电场。在本书的后续部分，这样一个横截面称之为 $RLCG$ 元件($RLCG$ element)。

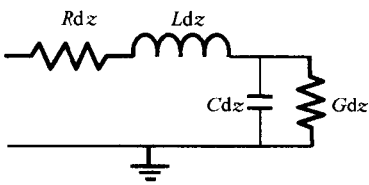


图 2-4 传输线上长度为 dz 的横截面微元的等效电路模型($RLCG$ 模型)

10

2.3.1 特征阻抗

传输线的特征阻抗 Z_0 。定义为传输线上任意点处的电压与电流的比值，即 $V/I = Z_0$ 。图 2-5 显示了传输线的两种表示方法。图 2-5a 使用前面已经建立的 $RLCG$ 元件模型，表示传输线上一段长度为 dz 的横截面微元，终端接一阻抗 Z_0 。图 2-5a 中， $RLCG$ 元件的特征阻抗定义为电压 V 与电流 I 的比值。假定负载 Z_0 恰好等于 $RLCG$ 元件的特征阻抗，则可以用图 2-5b 表示图 2-5a，代表无限长的传输线。传输线的完整模型由无限多个阻抗为 Z_0 的

11

RLCG 段组成, 图 2-5a 中的端接负载 Z_o 实际上表示了传输线模型中向后无限长延伸的 RLCG 段。因为端接负载上的电压电流比 (Z_o) 与 RLCG 段相同, 所以从电压源看过去, 图 2-5a 和 2-5b 是等效的。使用这种简化方法, 可以从无限长传输线模型中推导出特征阻抗。

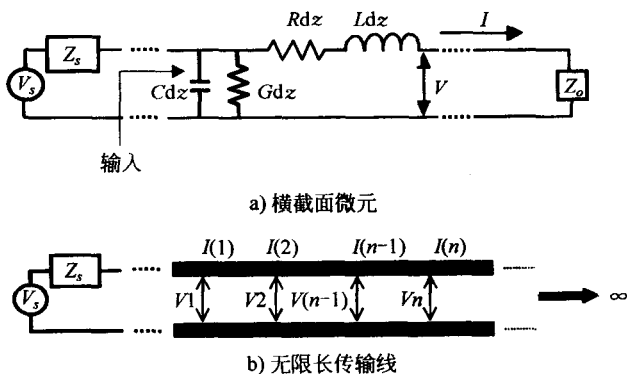


图 2-5 推导传输线特征阻抗的方法

分析图 2-5a 来推导传输线的特征阻抗。假定传输线的特征阻抗与终端阻抗 Z_o 相等, 求解图 2-5a 中等效电路的输入阻抗, 得公式(2-1)。为简化起见, 用一小段长度 Δz 代替微分长度 dz 。推导如下:

令

$$j\omega L(\Delta z) + R(\Delta z) = Z\Delta z \quad (\text{长度 } \Delta z \text{ 的串联阻抗})$$

$$j\omega C(\Delta z) + G(\Delta z) = Y\Delta z \quad (\text{长度 } \Delta z \text{ 的并联导纳})$$

则

$$Z(\text{input}) = Z_o = \frac{(Z_o + Z\Delta z)(1/Y\Delta z)}{Z_o + Z\Delta z + 1/Y\Delta z} \quad (\text{假定负载阻抗等于特征阻抗})$$

$$Z_o \left(Z\Delta z + Z_o + \frac{1}{Y\Delta z} \right) = (Z_o + Z\Delta z) \frac{1}{Y\Delta z}$$

$$\Rightarrow Z_o Z\Delta z + Z_o^2 + \frac{Z_o}{Y\Delta z} = \frac{Z_o}{Y\Delta z} + \frac{Z\Delta z}{Y\Delta z}$$

$$\Rightarrow Z_o (Z\Delta z + Z_o) = \frac{Z}{Y}$$

$$\Rightarrow Z_o Y (Z\Delta z + Z_o) = Z$$

$$\Rightarrow \lim_{\Delta z \rightarrow 0} [Z] = Z_o^2 Y$$

所以

$$\boxed{12} \quad Z_o = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2-1)$$

其中, R 的单位是 Ω /单位长度, L 的单位是 H/单位长度 (H 表示亨利), G 的单位是 S/单位长度, C 的单位是 F/单位长度 (F 表示法拉), ω 的单位是 rad/s (即弧度/秒)。相对于其他