



**The Introduction and Improvement
of EDA Technology**

EDA 技术入门与提高

王行 李衍 编著

*Specially Designed
for Engineers and Technicians of Electronics*



西安电子科技大学出版社

<http://www.xduph.com>

EDA 技术入门与提高

The Introduction and Improvement of EDA Technology

王行 李衍 编著

西安电子科技大学出版社

2005

内 容 简 介

本书通过大量实例,系统地介绍了应用 EDA 技术进行 FPGA/CPLD 器件的数字电路系统仿真设计的方法和技巧。本书主要包括如下内容:EDA 技术概述,可编程逻辑器件,使用 MAX+PLUS II 10.2 进行数字电路系统设计和仿真的方法,VHDL 硬件描述语言,有限状态机以及 FPGA/CPLD 器件的硬件连接等。

本书内容全面,叙述清晰,既可以作为学习 EDA 技术应用的基础教材,也可以作为电子类工程技术人员的参考书。

图书在版编目(CIP)数据

EDA 技术入门与提高 / 王行等编著.

—西安:西安电子科技大学出版社,2005.5

ISBN 7-5606-1503-1

I. E… II. 王… III. 电子电路—电路设计:计算机辅助设计 IV. TN702

中国版本图书馆 CIP 数据核字(2005)第 024791 号

策 划 毛红兵

责任编辑 张 友 毛红兵

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com>

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 陕西画报社印刷厂

版 次 2005 年 5 月第 1 版 2005 年 5 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 16.25

字 数 382 千字

印 数 1~4000 册

定 价 25.00 元

ISBN 7-5606-1503-1/TP·0799

XDUP 1774001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

EDA 是 Electronic Design Automation 的缩写, 即电子设计自动化, 是指使用计算机自动完成电子系统的设计。应用 EDA 技术进行电子产品的设计已成为当今电子设计工程师的一项基本技能。EDA 技术的应用分为两个层次, 较初级的层次是使用 PROTEL、Multisim 等电路设计软件对电路板进行设计仿真, 这一层次的应用在国内已经非常普遍; 较高层次是应用 MAX+PLUS II、Synplify 等 EDA 软件对可编程逻辑器件 FPGA/CPLD 进行设计和仿真编程, 最终实现芯片级的 ASIC 设计。较高层次的应用目前国内发展迅速, 市场上急需大量的这一层次的电子设计人员, 本书主要是针对这一层次的 EDA 电子设计人员编写的。本书主要介绍使用目前国内较常用的 EDA 软件 MAX+PLUS II 10.2 对 Altera 公司的系列 FPGA/CPLD 器件进行数字电路系统设计的方法, 以及 VHDL 硬件描述语言的基本知识。

本书共分 10 章。第 1 章简单介绍了 EDA 技术的发展过程和常用 EDA 软件的结构。第 2 章介绍了常见的可编程逻辑器件 FPGA/CPLD 的性能参数。第 3 章介绍了 EDA 软件 MAX+PLUS II 10.2 的安装及操作界面。第 4 章首先通过实例介绍了在 MAX+PLUS II 10.2 工作平台上使用原理图图形输入方式进行数字电路系统设计的步骤, 然后介绍了 MAX+PLUS II 10.2 提供的常用的设计模块。第 5 章通过简单的实例, 介绍了在 MAX+PLUS II 10.2 工作平台上使用硬件描述语言进行数字系统设计的步骤。第 6 章对 VHDL 硬件描述语言的语法进行了详细的讲解。第 7 章介绍了常见逻辑单元的 VHDL 描述, 使读者能够迅速地掌握对数字电路系统的行为级 VHDL 描述方法。第 8 章介绍了使用比较广泛的状态机的 VHDL 描述方式, 使读者能掌握简单状态机的描述方法, 进而能设计出较复杂的数字电路系统。第 9 章介绍了在进行数字电路系统设计时需要注意的一些

问题。第 10 章介绍了 FPGA/CPLD 器件配置的硬件连接方式。通过这 10 章的学习，读者将能够独立应用 EDA 技术进行数字电路系统的设计和实验。

本书由王行主编，参与本书编写工作的有李衍、杨杉、欧大生、于华民、谭笛、张家祥、方凌江、毛全胜、刘岩峰、卜先锦、张凤林、魏永森、蔡益朝、张涛、汪文元、李慧、陈光、冯静、张渺、任花梅等。在本书的编写过程中参考了许多专家和学者的著作和研究成果，在这里向他们表示衷心的感谢。

由于作者水平有限，书中难免会有不妥甚至错误之处，欢迎各位读者批评指正。

作者

2005 年 2 月 27 日

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术发展史	1
1.2 应用 EDA 技术的设计特点	3
1.3 EDA 工具软件结构	4
1.3.1 设计输入模块	5
1.3.2 HDL 综合器	5
1.3.3 仿真器	5
1.3.4 适配器(布局布线器)	6
1.3.5 下载器(编程器)	6
第 2 章 可编程逻辑器件	7
2.1 可编程逻辑器件概述	7
2.2 Altera 可编程逻辑器件	9
2.2.1 MAX 系列	9
2.2.2 FLEX 系列	11
2.2.3 Cyclone 系列	13
2.2.4 ACEX1K 系列	13
2.2.5 Stratix GX 系列	14
2.2.6 Stratix 系列	15
2.2.7 Excalibur 系列	16
2.3 其他可编程逻辑器件	16
2.3.1 Xilinx 公司产品	16
2.3.2 Lattice 公司产品	17
第 3 章 MAX+PLUS II 10.2 简介	19
3.1 MAX+PLUS II 10.2 设计步骤介绍	19
3.2 MAX PLUS II 10.2 的安装	20
3.2.1 MAX+PLUS II 10.2 的分类	20
3.2.2 MAX+PLUS II 10.2 的安装要求	20
3.2.3 MAX+PLUS II 10.2 的安装过程	21
3.2.4 第一次运行 MAX+PLUS II	26
3.3 MAX+PLUS II 10.2 的结构及工作环境	28
3.3.1 MAX+PLUS II 10.2 的结构	28
3.3.2 MAX+PLUS II 10.2 的工作环境	28

第4章 图形输入设计方法	33
4.1 四位加法器设计实例	33
4.1.1 四位加法器逻辑设计	33
4.1.2 半加器模块设计过程	35
4.1.3 全加器模块设计过程	43
4.1.4 四位加法器的设计过程	44
4.1.5 四位加法器设计分析	51
4.1.6 设计文件介绍	55
4.2 宏功能模块及其使用	63
4.2.1 时序电路宏模块	64
4.2.2 运算电路宏模块	71
4.2.3 2位十进制数字位移测量仪设计实例	74
4.3 LPM 宏模块及其使用	86
4.3.1 参数化时序单元宏模块	86
4.3.2 参数化运算单元宏模块	90
4.3.3 参数化存储器宏模块	95
4.3.4 其他模块	102
4.3.5 参数化宏模块的使用方法	102
4.4 波形输入设计方法	106
第5章 文本输入设计方法	109
5.1 文本输入界面	109
5.2 用 VHDL 实现四位加法器设计	111
第6章 VHDL 入门	116
6.1 VHDL 语言结构	116
6.1.1 实体定义	117
6.1.2 结构体	119
6.1.3 VHDL 库	121
6.1.4 VHDL 程序包	123
6.1.5 配置	126
6.2 VHDL 语言的词法元素	127
6.2.1 分界符	127
6.2.2 标识符	127
6.2.3 注释	129
6.2.4 字符文字	130
6.3 VHDL 语言的数据对象	132
6.4 VHDL 语言的数据类型	133
6.4.1 VHDL 标准程序包 STANDARD 中定义的数据类型	134

6.4.2	用户定义的数据类型	136
6.4.3	IEEE 预定义逻辑矢量位与矢量	140
6.4.4	数据类型转换	141
6.5	VHDL 运算操作符	142
6.5.1	逻辑(LOGICAL)运算符	142
6.5.2	算术(ARITHMETIC)运算符	143
6.5.3	关系(RELATIONAL)运算符	144
6.5.4	并置运算符	145
6.5.5	运算操作符的优先级	146
6.6	VHDL 语法基础	146
6.6.1	并行语句	146
6.6.2	顺序语句	163
第 7 章	常见逻辑单元的 VHDL 描述	177
7.1	组合逻辑单元的 VHDL 描述	177
7.1.1	基本逻辑门的 VHDL 描述	177
7.1.2	编码器、译码器和多路选通器的 VHDL 描述	181
7.1.3	加法器和求补器的 VHDL 描述	185
7.1.4	三态门及总线缓冲器	188
7.2	时序电路的 VHDL 描述	191
7.2.1	时钟信号和复位信号	191
7.2.2	触发器	194
7.2.3	寄存器	198
7.2.4	计数器	203
7.3	存储器的 VHDL 描述	210
7.3.1	存储器的数据初始化	210
7.3.2	ROM(只读存储器)的 VHDL 描述	211
7.3.3	RAM(随机存储器)的 VHDL 描述	212
7.3.4	先进先出堆栈 FIFO 的 VHDL 描述	214
第 8 章	有限状态机设计	217
8.1	状态机的优点及其转移图描述	217
8.1.1	状态机的特点	217
8.1.2	有限状态机的转移图描述	218
8.2	状态机的 VHDL 描述	219
8.2.1	状态说明部分	220
8.2.2	主控时序进程	220
8.2.3	主控组合进程	221
8.2.4	辅助进程	222

8.3 状态机编码.....	223
8.3.1 状态位直接输出型编码.....	223
8.3.2 顺序编码.....	225
8.3.3 一位热码编码(One Hot Encoding).....	225
8.4 状态机剩余状态码的处理.....	226
8.5 状态机设计实例.....	227
第 9 章 设计中的常见问题.....	232
9.1 信号毛刺的产生及消除.....	232
9.1.1 信号毛刺的产生.....	232
9.1.2 信号毛刺的解决方法.....	234
9.2 时钟问题.....	237
9.2.1 信号的建立和保持时间.....	237
9.2.2 全局时钟.....	238
9.2.3 门控时钟.....	238
9.2.4 多时钟系统.....	239
9.3 复位和清零信号.....	240
第 10 章 FPGA/CPLD 器件的硬件连接.....	242
10.1 编程工艺及方式介绍.....	242
10.2 ByteBlaster 下载电缆.....	242
10.3 JTAG 方式编程和配置.....	244
10.4 PS 配置方式.....	246
10.5 使用专用配置器件配置 FPGA.....	250

第1章 EDA 技术概述

21 世纪初,随着电子技术和计算机技术的飞速发展,新的高度集成的电子设计方法不断推出,电子产品的性能越来越好,更新的速度也越来越快。与此同时,市场对电子产品的设计提出了更为严格的要求,从而促进了电子设计自动化(EDA)技术的迅速发展。本章首先简要介绍 EDA 技术发展历程,然后说明采用 EDA 技术进行 FPGA/CPLD 器件设计的步骤及其特点,使读者对 EDA 技术及其在可编程逻辑器件上的应用有一个总体概念。

1.1 EDA 技术发展史

EDA 是 Electronic Design Automation 的缩写,即电子设计自动化,是指使用计算机自动完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术通过计算机完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理并得到设计结果,而且修改设计如同修改软件一样方便,从而极大地提高了设计效率。

从 20 世纪 60 年代中期计算机刚进入实用阶段开始,人们就希望使用计算机进行电子产品的设计,设计人员不断开发出各种计算机辅助设计工具来辅助电子系统的设计。随着电路理论和半导体工艺水平的提高,EDA 技术得到了飞速的发展。EDA 工具的作用范围从 PCB 板设计延伸到电子线路和集成电路设计,甚至延伸到了整个系统的设计。

在 EDA 技术发展的历程中,共经历了三个阶段。

1. CAD 阶段

CAD(Computer Aided Design, 计算机辅助设计)阶段是 EDA 发展的最初阶段,这一时期从 20 世纪 60 年代中期到 80 年代初期。在 20 世纪 70 年代 MOS 工艺已得到广泛的应用,可编程逻辑技术及其器件已经问世,计算机作为一种运算工具已在科研领域得到广泛应用。这一时期,计算机技术还不是非常先进,计算机的运算速度比较低,人工智能技术尚不发达,只能使用计算机实现一些简单的工作。这一时期的 EDA 技术只能称之为电子设计 CAD 技术,EDA 软件主要是一些功能简单的工具软件,但人们已经开始利用这些工具软件代替手工劳动,辅助进行集成电路版图编辑、PCB 布局布线等工作。通过计算机的使用,从而将设计人员从大量繁琐重复的计算和绘图工作中解脱出来。

20 世纪 80 年代初,随着电路集成规模的扩大,EDA 技术有了较快的发展。许多软件公司如 Mentor、DaisySystem 及 LogicSystem 等进入市场,开始供应带电路图编辑工具和逻

辑模拟工具的 EDA 软件。这个时期的软件主要针对产品开发,按照设计、分析、生产和测试等不同阶段,分别使用不同的软件,每个软件只能完成其中的一项工作,通过顺序循环使用这些软件,可完成设计的全过程。但这样的设计过程存在不同软件之间的接口处理繁琐、缺乏系统级的总体仿真的缺陷。

这一时期的工具软件的代表有现在常用的 Protel 的早期版本 Tango、用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等。

2. CAE 阶段

进入 20 世纪 80 年代后,随着计算机技术和电子技术的发展,EDA 技术发展到了 CAE (Computer Aided Engineering, 计算机辅助工程)阶段,这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果,各种设计工具(如原理图输入、编译与链接、逻辑模拟、测试码生成、版图自动布局以及各种单元库)已齐全。由于采用了统一数据管理技术,因而能够将各个工具集成为一个 CAE 系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种 ASIC(Application-Specific Integrated Circuit, 专用集成电路)得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。

3. EDA 阶段

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平达到深亚微米级,在一个芯片上可集成数百万乃至上千万只晶体管,工作速度可达到吉赫兹,这为制造出规模更大、速度更快和信息容量更大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,并促进了 EDA 技术的发展。此阶段主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,不仅极大地提高了系统的设计效率,而且使设计人员摆脱了大量的辅助性及基础性工作,将精力集中于创造性的方案与概念的构思上。

下面简单介绍这个阶段 EDA 技术的主要特征。

(1) 高层综合(HLS, High Level Synthesis)的理论与方法取得较大进展,将 EDA 设计层次提高到了行为级(又称系统级),并划分为逻辑综合和测试综合。逻辑综合就是对不同层次和不同形式的设计描述进行转换,通过综合算法,以具体的工艺背景实现高层目标所规定的优化设计;通过设计综合工具,可将电子系统的高层行为描述转换到低层硬件描述和确定的物理实现,使设计人员无需直接面对低层电路,不必了解具体的逻辑器件,从而把精力集中到系统行为建模和算法设计上。测试综合是以设计结果的性能为目标的综合方法,以电路的时序、功耗、电磁辐射和负载能力等性能指标为综合对象。测试综合是保证电子系统设计结果稳定可靠工作的必要条件,也是对设计进行验证的有效方法,其典型工具有 Synopsys 公司的 Behavioral Compiler 和 MentorGraphics 公司的 Monet、Renoir。

(2) 采用硬件描述语言 HDL(Hardware Description Language)来描述 10 万门以上的设计,并形成了 VHDL(Very High Speed Integrated Circuit HDL)和 VerilogHDL 两种标准硬件描述语言。它们均支持不同层次的描述,使得对复杂 IC 的描述规范化,便于传递、交流、保存与修改,也便于重复使用。它们多应用于 FPGA/CPLD/EPLD 的设计中,大多数 EDA 软件

都兼容这两种标准。硬件描述语言的使用使电子设计成果以自主知识产权的方式得以明确表达和确认成为可能,大型的芯片生产商不再将大部分资金用于芯片生产线,而是转而进行具有知识产权的芯片 IP 核的设计,然后寻找加工厂商进行生产。

(3) 采用平面规划(Floorplaning)技术对逻辑综合和物理版图设计进行联合管理,做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能更进一步进行综合与优化,并保证所作的修改只会提高性能而不会对版图设计带来负面影响。这在深亚微米级布线延时已成为主要延时的情况下,加速设计过程的收敛对设计成功是有所帮助的。在 Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的增加,其测试难度与费用急剧上升,人们由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,于是开发了扫描插入、BLST(内建自测试)、边界扫描等可测性设计(DFT)工具,并已集成到 EDA 系统中。其典型产品有 Compass 公司的 Test Assistant 和 Mentor Graphics 公司的 LBLSTArchitect、BSDArchitect、DFTAdvisor 等。

(5) 带有嵌入 IP 模块的 ASIC 设计提供软硬件协同系统设计工具。协同验证弥补了硬件设计和软件设计流程之间的空隙,保证了软硬件之间的同步协调工作。协同验证是当今系统集成化的核心,它以高层系统设计为主导,以性能优化为目标,融合了逻辑综合、性能仿真、形式验证和可测性设计,其代表产品如 MentorGraphics 公司的 SeamlessCAV。

(6) 建立并行设计工程 CE(Concurrent Engineering)框架结构的集成化设计环境,以适应当今 ASIC 设计的要求。在这种集成化设计环境中,使用统一的数据管理系统与完善的通讯管理系统,由若干相关的设计小组共享数据库和知识库,并行地进行设计,而且在各种平台之间可以平滑过渡。

目前,全球范围内有近百家厂商提供 EDA 工具软件,这些公司大体可分两类:一类是 EDA 专业软件公司,其推出的 EDA 系统标准化程度较高,兼容性好,注意追求技术上的先进性,适用于学术性基础研究,这方面较著名的公司有 Mentor Graphics、Cadence Design Systems、Synopsys、Viewlogic Systems 和 Altum 等;另一类是半导体器件厂商,为了销售其产品而开发 EDA 工具,用这些 EDA 工具器件的工艺特点进行优化设计,提高资源利用率,降低功耗,改善性能,这方面较著名的公司有 Altera、Xilinx、AMD、TI 和 Lattice 等。

1.2 应用 EDA 技术的设计特点

与采用传统的电子设计技术相比,应用 EDA 技术的可编程逻辑器件设计具有以下的特点。

1. 强大的系统建模与电路仿真功能

EDA 技术中最具代表性的功能是日益强大的逻辑设计仿真测试功能。利用该功能,只需通过计算机,就能在各种不同层面对所设计的电子系统的性能特点进行准确的测试与仿真,在完成实际系统的安装后,还能对系统上的目标器件进行边界扫描测试。这一切都极大地提高了大规模系统电子设计的自动化程度。

与传统的使用专用功能器件等分离元件构成的应用电子系统的技术性能和设计手段相

比, EDA 技术及其设计系统具有明显的优势。

2. 采用硬件描述语言(HDL)进行设计

应用 EDA 技术后, 用户可以采用 HDL 对电子芯片进行设计。可以用 HDL 对数字电子系统进行抽象的行为描述或具体的内部线路结构描述, 从而在电子设计的各个阶段、各个层次进行计算机模拟验证, 无需构建实际的电路, 这样既能保证设计过程的正确性, 又可以大大降低设计成本, 缩短设计周期。

使用 HDL, 用户能进行方便的文档管理。使用 HDL 进行设计后, 用户可以使用库(Library)实现设计的复用, 通过库的不断扩充, EDA 工具将能够完成更多的自动设计过程。

通过 HDL 进行的设计具有自主知识产权。这一点对电子芯片生产厂家来说非常重要, 未来的芯片厂商将会把资金重点投到芯片 IP 核的开发上, 芯片的生产可交由专业的生产商组织。

3. 开发技术的标准化、规范化以及 IP 核的可利用性

传统的电子设计方法缺乏标准规范, 设计效率低, 系统性能差, 开发成本高, 市场竞争能力小。以单片机或 DSP 开发为例, 每一次新的开发, 必须选用具有更高性价比和更适合设计项目的处理器, 但由于不同的处理器其结构、语言和硬件特性有很大差异, 设计者每一次都必须重新了解和学习相关的知识, 例如重新了解器件的详细结构和电气特性, 重新设计该处理器的功能软件, 甚至重新购置和了解新的开发系统和编译软件。

采用 EDA 技术的可编程逻辑器件的设计就完全不同。EDA 的设计语言是标准化的, 不会由于设计对象的不同而改变, EDA 软件平台支持任何标准化的设计语言; 采用 EDA 技术进行设计, 其设计成果具有通用性和规范的接口协议、良好的可移植性与可测试性, 为高效高质的系统开发提供了可靠的保证。因此, EDA 技术适用于高效率、大规模系统设计的自顶向下设计方案。传统的电子设计技术没有规范的设计工具和表达方式, 所以无法实现这种先进的设计方案。

4. 对设计者的硬件知识和硬件经验要求低

传统的电子设计对于电子设计工程师的要求非常高, 不仅需要在电子技术理论和设计实践方面拥有很深的造诣, 还必须熟悉各种在线测试仪表和开发工具的使用方法及性能指标。而采用 EDA 技术对设计者的要求就低得多, 使用标准化的硬件描述语言, 设计者能更大程度地将自己的才智和创造力集中在设计项目性能的提高和成本的降低上, 而将更具体的硬件实现工作让专业部门来完成。

1.3 EDA 工具软件结构

本节主要介绍当今广泛使用的以开发 FPGA 和 CPLD 为主的 EDA 工具软件结构。应用 EDA 的设计工具软件在 EDA 技术应用中占据及其重要的位置, EDA 技术是利用计算机完成电子设计全程自动化, 基于计算机环境的 EDA 软件是 EDA 技术的基础。以 EDA 设计流程中涉及的主要软件包分类, 用于可编程逻辑器件的 EDA 工具软件的结构大致可以分为五个模块: 设计输入模块、HDL 综合器、仿真器、适配器和下载器。

1.3.1 设计输入模块

设计输入模块用于进行电子设计的输入,通常支持多种表达方式的电子设计输入,如原理图输入方式、状态图输入方式、波形输入方式以及 HDL 语言的文本输入方式等。

可编程逻辑器件厂商提供的 EDA 开发工具中都含有这类输入编辑器,如 Xilinx 的 Foundation, Altera 的 MAX+PLUS II、Quartus II 等。

由专业的 EDA 工具供应商提供的设计输入工具一般与该公司的其他电路设计软件整合,比较有代表性的有 Innovada 公司的 eProduct Designer 中的原理图输入管理工具 Dx Designer,它既可作为 PCB 设计的原理图输入环境,又可作为 IC 设计、模拟仿真和 FPGA 设计的原理图输入环境。比较常见的还有 Cadence 公司的 Orcad 中的 Capture 工具等。这一类工具一般都设计成通用型的原理图输入工具。由于针对 FPGA/CPLD 设计的原理图需要特殊原理图库(含原理图中的 Symbol)的支持,因此其输出并不与 EDA 流程的下一步设计工具直接相连,而是通过 EDIF 文件进行传递。

HDL 采取的是文本输入方式,用普通的文本编辑器即可完成其语句的输入。常用的文本编辑器有 UltraEdit、Vim、XEmacs 等,绝大部分 EDA 工具中都提供 HDL 编辑器,如 Aldec 公司的 ActiveHDL 中的 HDL 编辑器、MAX+PLUS II 中的 Text Editor 文本编辑器等。

某些 EDA 设计输入工具把图形设计与 HDL 文本设计相结合,如在提供 HDL 文本编辑器的同时提供状态机编辑器,用户可用转移图描述状态机,直接生成 HDL 文本输出。在这些输入工具中,比较流行的有 VisualHDL、FPGA Adantage、ActiveHDL 中的 Active State 等,尤其是 HDL Designer Series 中的各种输入编辑器,可以接受诸如原理图、状态图、表格图等输入形式,并将它们转换成 HDL(VHDL/Verilog HDL)文本表达方式,很好地解决了通用性(HDL 输入的优点)与易用性(图形法的优点)之间的矛盾。

1.3.2 HDL 综合器

由于目前通用的 HDL 语言为 VHDL、VerilogHDL,因此这里介绍的 HDL 综合器主要是针对这两种语言的。

硬件描述语言最初是用于电路逻辑的建模和仿真的,Synopsys 公司推出了第一个 HDL 综合器后,其他公司相继推出基于 HDL 的综合器,至此,HDL 才被直接用于电路的设计。

由于 HDL 综合器实现上的困难,因此成熟的 HDL 综合器并不多。比较常用且性能良好的 FPGA/CPLD 设计的 HDL 综合器有 Synopsys 公司的 FPGA Compiler 和 FPGA Express 综合器、Synplicity 公司的 Synplify Pro 综合器和 Exemplar Logic 公司的 Leonardo Spectrum 综合器等。

1.3.3 仿真器

仿真器有基于元件(逻辑门)的仿真器和 HDL 语言的仿真器之分,基于元件的仿真器缺乏 HDL 仿真器的灵活性和通用性,在此主要介绍 HDL 仿真器。

在 EDA 设计技术中仿真的地位十分重要,行为模型的表达、电子系统的建模、逻辑电路的验证以及门级系统的测试,每一步都离不开仿真器的模拟检测。在 EDA 发展的初期,快速地进行电路逻辑仿真是当时的核心问题,即使在现在,各设计环节的仿真仍然是整个

EDA 工程流程中最耗时间的一个步骤, 因此仿真器的仿真速度以及仿真的准确性、易用性成为了衡量仿真器的重要指标。按对设计语言的处理方式分类, 仿真器可分为编译型仿真器和解释型仿真器。

编译型仿真器的仿真速度较快, 但需要预处理, 因此不便于即时修改。解释型仿真器的仿真速度一般, 但是可随时修改仿真环境和条件。

按处理的硬件描述语言类型分, HDL 仿真器可分为如下几种:

- VHDL 仿真器
- VerilogHDL 仿真器
- 混合型 HDL 仿真器, 可同时处理 Verilog 与 VHDL
- 其他 HDL 仿真器, 针对其他 HDL 语言的仿真, 例如 AHDL

ModelTechnology 公司的 ModelSim 是一个出色的 VHDL/VerilogHDL 混合型仿真器。它也属于编译型仿真器, 仿真执行速度较快。Cadence 公司的 Verilog-XL 是最好的 Verilog 仿真器之一。

按仿真的电路描述级别的不同, HDL 仿真器可以单独或综合完成以下各仿真步骤:

- 系统级仿真
- 行为级仿真
- RTL 级仿真
- 门级时序仿真

按仿真时是否考虑硬件延时分类, 仿真可分为功能仿真和时序仿真。根据输入仿真文件的不同, 仿真可以由不同的仿真器完成, 也可由同一个仿真器完成。

几乎所有 EDA 厂商都提供基于 VerilogHDL 和 VHDL 的仿真器。常用的 HDL 仿真器除上面提及的 ModelSim 外, 还有 Aldec 的 Active HDL、Synopsys 的 VCS 和 Cadence 的 NC-Sim 等。

1.3.4 适配器(布局布线器)

适配器的任务是完成目标系统在器件上的布局布线。适配通常由可编程逻辑器件的厂商提供的专门针对器件开发的软件来完成。这些软件可以单独或嵌入在厂商的针对自己产品的集成 EDA 开发环境中。例如 Lattice 公司在其 ispEXPERT 开发系统嵌有自己的适配器, 但同时提供性能良好、使用方便的专用适配器 ispEXPERT Compiler; Altera 公司的 EDA 集成开发环境 MAX+PLUS II、Quartus II 中都含有嵌入的适配器 Fitter; Xilinx 公司的 Foundation 和 ISE 中也同样含有自己的适配器。

适配器最后输出的是各厂商自己定义的下载文件, 用于下载到器件中以实现设计。

1.3.5 下载器(编程器)

下载器(编程器)把设计下载到相应的实际器件, 完成硬件设计。

第2章 可编程逻辑器件

使用 EDA 技术进行电路设计离不开可编程逻辑器件,本章将介绍常用的可编程逻辑器件。

2.1 可编程逻辑器件概述

可编程逻辑器件是指可以通过编制硬件描述程序,实现预定的逻辑功能的电子器件。FPGA(现场可编程门阵列)与 CPLD(复杂可编程逻辑器件)是目前应用较广泛的两种可编程逻辑器件,它们是在 PAL 和 GAL 等逻辑器件的基础之上发展起来的。FPGA/CPLD 的规模比 PAL 和 GAL 器件大得多,可以替代几十甚至几千块通用 IC 芯片。这样的 FPGA/CPLD 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展,许多公司都开发出了多种可编程逻辑器件,比较典型的的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列。

CPLD 通常是基于乘积项(product-term)技术,采用 EEPROM(或 Flash)工艺,如 Altera 公司的 MAX 系列、Lattice 公司的大部分产品及 Xilinx 公司的 XC 9500 系列,这种 CPLD 都支持 ISP 技术在线编程,也可用编程器编程,并且可以加密。FPGA 通常是基于查找表(LUT, Look Up Table)技术采用 SRAM 工艺制造的。如 Altera 公司的 FLEX、ACEX、APEX 系列和 Xilinx 公司的 Spartan、Virtex 系列,由于 SRAM 工艺的特点——掉电后数据会消失,因此调试期间可以用下载电缆配置 FPGA/CPLD 器件,调试完成后,需要将数据固化在一个专用的 EEPROM 中(用通用编程器烧写)。上电时,由这片配置 EEPROM 先对 FPGA/CPLD 加载数据,十几毫秒后, FPGA/CPLD 即可正常工作(亦可由 CPU 配置 FPGA/CPLD)。

对用户而言, CPLD 与 FPGA 的内部结构稍有不同,但用法一样,所以多数情况下不加区分。

1. FPGA/CPLD 的优点

FPGA/CPLD 芯片都是特殊的 ASIC 芯片,除了具有 ASIC 的特点之外,还具有以下几个优点:

(1) 芯片容量大。随着超大规模集成电路(VLSI, Very Large Scale IC)工艺的不不断提高,单一芯片内部可以容纳上百万个晶体管。FPGA/CPLD 芯片的规模也越来越大,其单片逻辑门数已达到上百万,所能实现的功能越来越强,同时还可以实现系统集成。

(2) 质量可靠。FPGA/CPLD 芯片在出厂之前 100% 都做过测试, 不需要设计人员承担投片风险和费用。设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的功能设计。所以 FPGA/CPLD 的资金投入少, 节省了许多潜在的花费。

(3) 可重复使用。使用 FPGA/CPLD 芯片, 用户可以反复地编程、擦除、使用或者在外围电路不动的情况下, 用不同软件实现不同的功能。FPGA/CPLD 软件包中有各种输入工具、仿真工具、版图设计工具及编程器等全线产品, 使电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真, 直至最后芯片的制作。当电路有少量改动时, 更能显示出 FPGA/CPLD 的优势。电路设计人员使用 FPGA/CPLD 进行电路设计时, 不需要具备专门的 IC(集成电路)深层次的知识。FPGA/CPLD 软件易学易用, 可以使设计人员集中精力进行电路设计, 快速将产品推向市场。

2. 分类

FPGA 的发展非常迅速, 形成了各种不同的结构。根据不同的分类方法, FPGA 可分为多种类型:

(1) 按逻辑功能块的大小分类, FPGA 可分为细粒度 FPGA 和粗粒度 FPGA。细粒度 FPGA 的逻辑功能块较小, 资源可以充分利用, 但连线 and 开关多, 速度慢; 粗粒度 FPGA 的逻辑功能块规模大, 功能强, 但资源不能充分利用。

(2) 从逻辑功能块的结构上分类, FPGA 可分为查找表结构、多路开关结构和多级与非门结构。

(3) 根据 FPGA 内部连线结构的不同, FPGA 可分为分段互连型 FPGA 和连续互连型 FPGA 两类。分段互连型 FPGA 中具有多种不同长度的金属线, 各金属线段之间通过开关矩阵或反熔丝编程连接, 走线灵活方便, 但走线延时无法预测; 连续互连型 FPGA 是利用相同长度的金属线连接, 布线延时是固定的和可预测的。

(4) 根据编程方式, FPGA 可分为一次编程型和可重复编程型两类。

一次编程型 FPGA 采用反熔丝(anti-fuse)技术, 只能编程一次, 因此产品初期开发过程比较麻烦, 成本较高, 但这类器件集成度高、布线能力强、阻抗低、寄生电容小、速度快、功耗低, 此外还具有加密位、防拷贝、抗辐射、抗干扰、不需外接 PROM 或 EPROM 的特点, 所以在一些有特殊要求的领域中运用较多, 如军事及航空航天。Actel 公司和 Quicklogic 公司提供此类产品。

可重复编程型 FPGA 采用 SRAM 开关元件或快闪 EPROM 控制的开关元件, 配置数据存储在 SRAM 或快闪 EPROM 中。SRAM 型 FPGA 的突出优点是可反复编程, 系统上电时, 给 FPGA 加载不同的配置数据就可完成不同的硬件功能, 甚至在系统运行中改变配置, 实现系统功能的动态重构。快闪 EPROM 型 FPGA 具有非易失性和可重复编程的双重优点, 但不能动态重构, 功耗也较 SRAM 型高。

3. 组成

概括地说, FPGA/CPLD 器件均由以下三部分组成:

- 逻辑阵列块(LAB, Logic Array Block)
- 输入/输出块(IOB, IO Block)
- 可编程连线阵列(PIA, Programmable Interconnect Array)