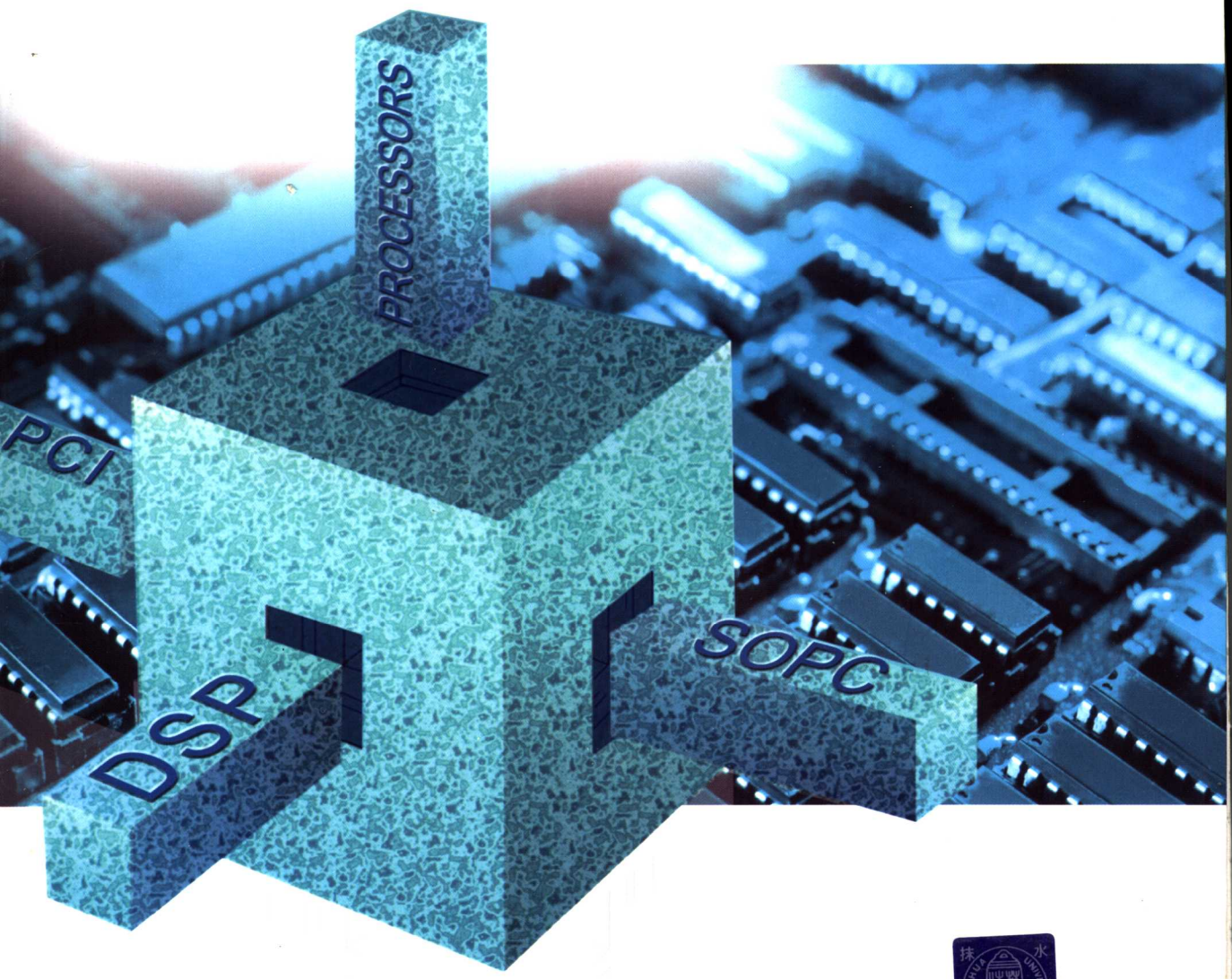
SOPC 技术实用教程

潘 松 黄继业 曾 毓 编著



清华大学出版社

SOPC 技术实用教程

潘　松　黄继业　曾　毓　编著

清华大学出版社
北　京

内 容 简 介

本书介绍了在电子工程技术前沿领域中正被日益广泛应用的 SOPC 解决方案及其技术。内容包括实现 SOPC 解决方案相关的工具软件及其使用方法、设计理论和设计实例。主要分为三部分：(1) SOPC 设计环境工具软件 Quartus II 的使用方法；(2) SP Builder 和 MATLAB 的现代 DSP 硬件设计技术及其相关的 Nios 系统硬件加速器与自定制指令的设计方法；(3) SOPC Builder 的 Nios 嵌入式系统软硬件开发技术。具体内容包括 Quartus II 基本用法、设计流程向导、常用的优化技术、逻辑锁定优化技术、嵌入式逻辑分析仪使用方法、Cyclone 等 FPGA 器件用法及其配置方法，基于 DSP Builder 的 DSP 与数字通信模块设计方法，Nios 嵌入式系统硬件配置与生成、系统综合、软件调试以及指令定制等。

本书可作为电子类各专业本科生、研究生的教材和相关领域工程技术人员的参考书；也可作为本科 EDA 技术课程的后续课程教材和现代电子系统设计、电子设计竞赛、DSP 应用系统、数字通信系统以及 Nios 嵌入式系统高层次开发的参考书。

图书在版编目（CIP）数据

SOPC 技术实用教程/潘松，黄继业，曾毓编著. —北京：清华大学出版社，2005.3
ISBN 7-302-09848-4

Ⅰ.S…　Ⅱ.① 潘…　② 黄…　③ 曾…　Ⅲ. 微处理器-系统设计-教材　Ⅳ. TP332

中国版本图书馆 CIP 数据核字（2004）第 112069 号

出 版 者：清华大学出版社　　**地　　址**：北京清华大学学研大厦
http://www.tup.com.cn　　**邮　　编**：100084
社 总 机：010-62770175　　**客户服务**：010-62776969
组稿编辑：曾　刚
文稿编辑：马子杰
封面设计：秦　铭
版式设计：赵丽娜
印 刷 者：北京国马印刷厂
装 订 者：三河市金元装订厂
发 行 者：新华书店总店北京发行所
开　　本：185×260　**印张**：27　**字数**：574 千字
版　　次：2005 年 3 月第 1 版　2005 年 3 月第 1 次印刷
书　　号：ISBN 7-302-09848-4/TP·6790
印　　数：1～5000
定　　价：36.00 元

前　言

SOPC（System On Programmable Chip）即可编程的片上系统，或者说是基于大规模FPGA的单片系统。SOPC的设计技术是现代计算机辅助设计技术、EDA技术和大规模集成电路技术高度发展的产物。SOPC技术的目标就是试图将尽可能大而完整的电子系统，包括嵌入式处理器系统、接口系统、硬件协处理器或加速器系统、DSP系统、数字通信系统、存储电路以及普通数字系统等，在单一FPGA中实现，使得所设计的电路系统在其规模、可靠性、体积、功耗、功能、性能指标、上市周期、开发成本、产品维护及其硬件升级等多方面实现最优化。SOPC技术是一门全新的综合性电子设计技术，涉及面广，本书只是将其最基础、最接近实际应用中的一小部分呈现给读者。

SOPC在电子设计技术上给出了一种以人的基本能力为依据的软硬件综合解决方案。

由于同时涉及底层的硬件系统设计和相应的软件设计，在系统优化方面有了前所未有的自由度。SOPC技术使开发者更能动地在软硬件系统的综合与构建两个方面有了充分发挥自己创造性和想象力的巨大空间，从而使得从多角度、多因素和多结构层面上大幅度优化自己的设计成为可能。事实上，诸如单片机、DSP或ARM系统等基于传统开发技术的设计流程而言，不存在严格意义上的硬件设计，而只有软件设计。这是因为，一旦方案确定，硬件系统的核心器件是现成的，功能是确定的，结构是固定的，指令系统是不可更改的，从而导致硬件组织方案和连接方案是限定的，用户只能被动地遵循和适应，这时的硬件“设计”只能流于拼装和连接。系统构成后的惟一任务是依据既定的指令系统来编程，除了系统功能和算法可以通过软件改变外，系统的性能和指标已无从改变，设计者的创新能力、想象力和优化设计能力的发挥空间已被选定的硬件性能所界定。没有了创造，更谈不上超越了，进而导致了系统的综合性能基本取决于器件原有的性能和指标。换言之，传统技术是以既定的硬件及其性能而非以人的能力为主轴的技术。这样不难明白，在这个以硬件决定“创造”的世界里，为什么在优秀的8031单片机出现以后，仍然层出不穷地涌现出其他各种功能和性能的单片机；而同样是DSP处理器，C5X系列与C6X系列器件则把开发者带到完全不同的技术领域和功能范畴。显然，硬件的可设计性和用户目标的适应性在系统性能指标上占有更大的份额，而SOPC技术的优势正在于是设计者本身而非器件设计商去更有效地占据这一份额。

SOPC在应用理论和知识构成上，达到了一种有机融合。

基于SOPC的结构特点，SOPC系统的开发对于设计者的知识范围有了更高的要求。除了必须了解基本的EDA软件、硬件描述语言和FPGA器件相关知识外，还必须熟悉计算机组成与接口、汇编语言和C语言、DSP算法、数字通信、嵌入式系统开发、嵌入式操作系统、片上系统构建与测试等知识。这样，SOPC技术的普及必将有力地推动电子信息及工程类各学科分支与相应的课程类别间的融合。这种融合在SOPC技术中已不是简单的合并与算术相加，而是有机的融汇和充满设计者创新意识的升华。例如可以利用Matlab/DSP

Builder/Quartus II 完成纯硬件的 DSP 算法模型及实现，进而构成嵌入式系统外围接口的协处理模块，再进一步构成软件程序中的精简指令，从而实现完全自主的、真正意义上的硬件设计和系统优化。

与现有的诸多电子系统设计理念和解决方案相比，SOPC 技术更具代表性、主流性、规范性与普遍性。

SOPC 从设计层次上讲，分硬件设计和软件设计；从设计流程上讲，是典型的自顶向下的流程；从设计手段上讲，相比于传统技术，更广和更深入地利用了计算机，而计算机技术无疑是当今的主流技术。在这一平台上，学科知识的融合，设计手段的融合，测试技术的融合，使 SOPC 设计者最大限度地在优化系统的性能上得以发挥自己的聪明才智，不再如传统技术中那样，把大量的时间花费在无谓的软硬件构建细节上，从而使人们常说的“动手能力”成了计算机应用能力的组成部分，而非仅为诸如“焊接”、“钻孔”和“连线”等操作行为的代名词了。

从未来的电子系统设计技术走势上看，SOPC 技术更具发展性和前瞻性。

“From Concept to System in minutes”显然是现代电子技术追求的方向和境界。在那里，人们可以远离“十年磨一剑”的经验、变化无端的硬件结构、空耗时光而难得要领的排错，潜心于已把握的知识、智慧与灵感，把电路模型、系统模型、功能模型、行为模型及数学模型直接通过计算机在短时间内形成高效实用的电子线路系统，这不能不说是一种大胆的设想。然而，在 SOPC 领域，这种设想已得到了部分的实现。

SOPC 与 EDA 技术一样，不能简单归属于哪一个学科分支。广义地讲，它是一种理念、一种思想方法、一种境界、一种趋势。

作为 EDA 技术教学实验课程的后续课程，本教材尽管在知识结构上作了一定的衔接安排，但仍假设读者已有了 VHDL 和 FPGA 器件、DSP 算法，以及计算机组成与接口方面的基础知识。本书试图为 EDA 技术的学习与实践者在进一步学习基本设计理论与技术的过程中提供更广阔的实践空间，与此同时，进一步熟悉现代电子系统设计的分析方法和技术特点。

SOPC 技术无疑为现有的 EDA 课程与实验同工程实践相结合，打开了一条崭新的通道，而在理论知识、硬件结构和实现技术的融合上对促进学生创新能力的培养上起到了画龙点睛的功效。

SOPC 技术是发展的，内容是变化的，涉及面也在不断扩充。本书不可能以概代全，以点代面，完整全面地介绍 SOPC 技术，只期望给读者提供一点新素材，一点新启示和一点新方法，在系统开发技术的学习和实践中多一条可选择的道路。

本书的撰写得到了 ALTERA 公司大学计划部的主要负责人 Bob Xu 先生的大力支持，在此表示衷心的谢意！

与作者联系的电子邮箱是：span88@mail.hz.zj.cn。

作　者

2004 年 6 月

目　录

第1章 概 述

自20世纪下半叶以来，微电子技术得到了迅速发展，集成电路设计和工艺技术水平有了很大的提高，单片集成度中每片已能包含上亿个晶体管，从而使得将原先由许多IC组成的电子系统集成在一个单片硅片上成为可能，构成所谓的片上系统(System On Chip，SOC)，或系统芯片。与普通的集成电路相比，系统芯片不再是一种功能单一的单元电路，而是将信号采集、处理和输入输出等完整的系统功能集成在一起，成为一个专用功能的电子系统芯片。而其设计思想也有别于普通IC。SOC把系统的处理机制、模型算法、芯片结构、各层次电路及器件的设计紧密结合，在一片或数片单片上完成整个复杂系统的功能。SOC的出现，是电子系统设计领域的一场革命，它对电子信息产业的影响将不亚于集成电路的诞生所产生的影响。因此，当今电子系统的设计已不再是利用各种通用IC进行PCB板级的设计和调试，而是转向以大规模FPGA或ASIC为物理载体的系统芯片的设计，前者称为SOPC（System On Programmable Chip，简称为可编程片上系统），后者为SOC。另一方面，由于集成电路工艺的成熟和EDA工具的迅速发展，使得电子系统的设计者并不需要过多地关注半导体集成工艺，完全可以利用现有的成熟工艺，在EDA工具的帮助下完成整个系统从行为算法级（系统级）到物理结构级的全部设计，并最终在FPGA上实现，或委托IC制造商进行ASIC生产。

SOC和SOPC的设计是以IP（Intellectual Property Core）为基础的，以硬件描述语言为主要设计手段，借助于以计算机为平台的EDA工具进行的。SOPC技术主要是指面向单片系统级专用集成电路设计的计算机技术，与传统的专用集成电路设计技术相比，其特点有：

- 设计全程，包括电路系统描述、硬件设计、仿真测试、综合、调试、系统软件设计，直至整个系统的完成，都由计算机进行。
- 设计技术直接面向用户，即专用集成电路的被动使用者同时也可能是专用集成电路的主动设计者。
- 系统级专用集成电路的实现有了更多的途径，即除传统的ASIC器件外，还能通过大规模FPGA等可编程器件来实现。

1.1 SOC单片系统

集成规模和系统功能达到什么程度才能算作SOC，并没有严格的界定，但广义而言，SOC应该指在单片上集成系统级多元化的大规模功能模块，从而构成一个能够处理各种信息的集成系统。这个集成系统通常由一个主控单元和一些功能模块构造而成，主控单元通

常是一个处理器，这个处理器既可以是一个普通的微处理器的核，也可以是一个数字信号处理器（DSP）的核，还可以是一个专用的运算控制逻辑单片，在这个主控单元的周围，根据系统所完成的工作配置系统的功能模块，完成信号的接收、预处理、转换以及信号执行等任务。在 SOC 上可能集成了传感器、模拟信号处理电路、A/D 与 D/A 电路、数字信号处理电路等多元化的模块。在 SOC 中，将硬件逻辑与智能算法集成在一起。从系统集成的角度看，SOC 是以不同模型的电路集成、不同工艺的集成作为支持基础的，所以，要实现 SOC，首先必须重点研究器件的结构与设计技术、VLSI 设计技术、工艺兼容技术、信号处理技术、测试与封装技术等，这是 SOC 设计技术的一个重要方面，即 SOC 单片系统本身的设计和构建。另一方面，是 SOC 的应用技术，对现有的 SOC，针对既定的功能要求，进行工程开发的技术，这将涉及到比前者更多的工程技术人员的参与。

狭义地讲，SOC 是一种结合了许多功能模块和微处理器核心的单芯片电路系统，如 ARM RISC（ARM Reduced Instruction Set Computer）、MIPS RISC、DSP 或其他的微处理器核心，加上通信的接口单元，如通用串行总线端口 USB、MAC/PHY、GSM/GPRS 通信接口、IEEE1394 接口、蓝牙模块接口等。这些单元以往都是依照各单元的功能做成一个独立的处理芯片。如一个蓝牙模块，就是结合了蓝牙接口芯片，加上嵌入式系统微处理器，做在一个电路板上，如此会耗费许多的电路空间，而且也不具有经济效益，若是将嵌入式系统微处理器与蓝牙通信接口单元放在同一芯片上，就成为一个 SOC 系统，可以大幅缩小整个系统所占的面积，在大量生产的情况下，生产成本远低于原本需要多片芯片制成的电路系统。

SOC 嵌入式系统微处理器所具有的其他优势有：

- 利用改变内部工作电压的方案，降低芯片功耗。
- 减少芯片对外管脚数，简化制造过程。
- 减少外围驱动接口单元及电路板间的信号传递，可以加快微处理器数据处理的速度。
- 内嵌的线路可以避免外部电路板上信号传递时所造成的系统干扰。

片内使用 IP 构建是 SOC 的一个重要特性。当需要推出新产品时，SOC 开发人员可以将原来的 IP 转移到新的嵌入式系统上，或者只需更改一小部分电路，就可符合产品所需要的功能要求，这就是对 IP 的重要利用。同时，可以做最有效率的使用，借以缩短产品的开发周期，降低开发的复杂度（通过把更多的特性和性能添加到更小的 IP 中，提升了满足大部分开发技术挑战的可能性）。

可重复利用的 IP 大致包含了原件库、宏及特殊的专用 IP。例如通信接口 IP、多媒体压缩解压 IP，或是输入输出接口 IP 等，此外，各家开发厂商所拥有的微处理器 IP，如 ARM 公司的 RISC 架构的 ARM 核，MIPS 公司的 MIPS RISC 核等，许多芯片设计厂商可以向这些 IP 拥有厂商购买所需要的 IP，再加上一些外围 IP，就可以制成一个高度整合性的 SOC 嵌入式系统了。

SOC 以嵌入式系统为核心，集软、硬件于一体，并追求产品系统最大包容的集成，是微电子领域IP设计的必然趋势和最终目标，也是现代化电子系统设计开发的最佳选择。SOC 是一种系统集成芯片，其系统功能可以由全硬件完成，也可以由硬件和软件协同完成（如含有嵌入式处理器的 SOC）。目前，所谓的 SOC，主要指的是后者。

因此，无论是专用SOC还是通用SOC，它们在结构上都有相似的特点，都是以嵌入式系统结构为基础，集软、硬件于一体的系统级芯片，其中通常集成了一个或若干个处理器，包括RISC处理器、DSP以及为某些专门应用设计的专用指令集处理器(Application Specific Instruction Set Processor)，这些处理器是SOC的一个组成部分，和SOC的其他部件融合在一起。

在SOC中，系统的控制任务通常由RISC CPU担任。RISC是精简指令计算机(Reduced Instruction Set Computer)的英文缩写，是20世纪70年代提出的计算机系统结构设计的一种思路。

1.2 SOPC及其技术

微电子技术的近期发展成果，为SOC的实现提供了多种途径。对于经过验证而又具有批量的系统芯片，可以做成专用集成电路ASIC而大量生产。而对于一些仅为小批量应用或处于开发阶段的SOC，若马上投入流片生产，需要投入较多的资金，承担较大的试制风险。最近发展起来的SOPC技术则提供了另一种有效的解决方案，即用大规模可编程器件的FPGA来实现SOC的功能。

可编程逻辑器件产生于20世纪70年代。其出现的最初目的是为了用较少的PLD品种替代种类繁多的各式中小规模逻辑电路。在30多年的发展过程中，PLD的结构、工艺、功耗、逻辑规模和工作速度等都得到了重大的进步。尤其是在20世纪90年代，出现了大规模集成度的FPGA，单片的集成度由原来的数千门，发展到数十万甚至数百万门。芯片的I/O口也由数十个发展至上千个端口。有的制造商还推出了含有硬核嵌入式系统的IP。因此，完全可能将一个电子系统集成到一片FPGA中，即SOPC，为SOC的实现提供了一种简单易行而又成本低廉的手段，极大地促进了SOC的发展。

SOPC技术是美国Altrea公司于2000年最早提出的，并同时推出了相应的开发软件Quartus II。SOPC是基于FPGA解决方案的SOC，与ASIC的SOC解决方案相比，SOPC系统及其开发技术具有更多的特色，构成SOPC的方案也有如下多种途径。

1. 基于FPGA嵌入IP硬核的SOPC系统

即在FPGA中预先植入嵌入式系统处理器。目前最为常用的嵌入式系统大多采用了含有ARM的32位知识产权处理器核的器件。尽管由这些器件构成的嵌入式系统有很强的功能，但为了使系统更为灵活完备，功能更为强大，对更多任务的完成具有更好的适应性，通常必须为此处理器配置许多接口器件才能构成一个完整的应用系统。如除配置常规的SRAM、DRAM、Flash外，还必须配置网络通信接口、串行通信接口、USB接口、VGA接口、PS/2接口或其他专用接口等。这样会增加整个系统的体积、功耗，而降低系统的可靠性。但是如果将ARM或其他知识产权核，以硬核方式植入FPGA中，利用FPGA中的可编程逻辑资源和IP软核，直接利用FPGA中的逻辑宏单元来构成该嵌入式系统处理器的接口功能模块，就能很好地解决这些问题。对此，Altera和Xilinx公司都相继推出了这方面的器件。例如，Altera的Excalibur系列FPGA中就植入了ARM922T嵌入式系统处理器；

Xilinx 的 Virtex-II Pro 系列中则植入了 IBM PowerPC405 处理器。这样就能使得 FPGA 灵活的硬件设计和硬件实现更与处理器的强大软件功能有机地相结合，高效地实现 SOPC 系统。

2. 基于 FPGA 嵌入 IP 软核的 SOPC 系统

将 IP 硬核直接植入 FPGA 的解决方案存在如下几种不够完美之处：

- 由于此类硬核多来自第 3 方公司，FPGA 厂商通常无法直接控制其知识产权费用，从而导致 FPGA 器件价格相对偏高。
- 由于硬核是预先植入的，设计者无法根据实际需要改变处理器的结构，如总线规模、接口方式，乃至指令形式，更不可能将 FPGA 逻辑资源构成的硬件模块以指令的形式形成内置嵌入式系统的硬件加速模块（如 DSP 模块），以适应更多的电路功能要求。
- 无法根据实际设计需求在同一 FPGA 中使用多个处理器核。
- 无法裁减处理器硬件资源以降低 FPGA 成本。
- 只能在特定的 FPGA 中使用硬核嵌入式系统，如只能使用 Excalibur 系列 FPGA 中的 ARM 核，Virtex-II Pro 系列中的 PowerPC 核。

如果利用软核嵌入式系统处理器就能有效地克服解决上述不利因素。

目前最有代表性的软核嵌入式系统处理器分别是 Altera 的 Nios 和 Nios II 核，及 Xilinx 的 MicroBlaze 核。特别是前者，即 Nios CPU 系统，使上述 5 方面的问题得到很好地解决。

Altera 的 Nios 核是用户可随意配置和构建的 32 位/16 位总线（用户可选的）指令集和数据通道的嵌入式系统微处理器 IP 核，采用 Avalon 总线结构通信接口，带有增强的内存、调试和软件功能（C 或汇编程序程序优化开发功能）；含由 First Silicon Solutions（FS2）开发的基于 JTAG 的片内设备（OCI）内核（这为开发者提供了强大的软硬件调试实时代码，OCI 调试功能可根据 FPGA JTAG 端口上接收的指令，直接监视和控制片内处理器的工作情况）。此外，基于 Quartus II 平台的用户可编辑的 Nios 核含有许多可配置的接口模块核，包括：可配置高速缓存（包括由片内 ESB、外部 SRAM 或 SDRAM，100MB 以上单周期访问速度）模块，可配置 RS232 通信口、SDRAM 控制器、标准以太网协议接口、DMA、定时器、协处理器等。在植入（配置进）FPGA 前，用户可根据设计要求，利用 Quartus II 和 SOPC Builder，对 Nios 及其外围系统进行构建，使该嵌入式系统在硬件结构、功能特点、资源占用等方面全面满足用户系统设计的要求。Nios 核在同一 FPGA 中被植入的数量没有限制，只要 FPGA 的资源允许。此外，Nios 可植入的 Altera FPGA 的系列几乎没有限制，在这方面，Nios 显然优于 Xilinx 的 MicroBlaze。

另外，在开发工具的完备性方面、对常用的嵌入式操作系统支持方面，Nios 都优于 MicroBlaze。就成本而言，由于 Nios 是由 Altera 直接推出而非第 3 方产品，故用户通常无需支付知识产权费用，Nios 的使用费仅仅是其占用的 FPGA 逻辑资源费。因此，选用的 FPGA 越便宜，则 Nios 的使用费就越便宜。

特别值得一提的是，通过 Matlab 和 DSP Builder，或直接使用 VHDL 等硬件描述语言设计，用户可以为 Nios 嵌入式处理器设计各类加速器，并以指令的形式加入 Nios 的指令系统，从而成为 Nios 系统的一个接口设备，与整个片内嵌入式系统融为一体。例如，用户可以根据设计项目的具体要求，随心所欲地构建自己的 DSP 处理器系统，而不必拘泥于其

他 DSP 公司已上市的有限款式的 DSP 处理器。

3. 基于 HardCopy 技术的 SOPC 系统

通过强化 SOPC 工具的设计能力，在保持 FPGA 开发优势的前提下，引入 ASIC 的开发流程，从而对 ASIC 市场形成直接竞争。这就是 Altera 推出的 HardCopy 技术。

HardCopy 就是利用原有的 FPGA 开发工具，将成功实现于 FPGA 器件上的 SOPC 系统通过特定的技术直接向 ASIC 转化，从而克服传统 ASIC 设计中普遍存在的问题。

与 HardCopy 技术相比，对于系统级的大规模 ASIC（SOC）开发，有不少难于克服的问题，其中包括开发周期长、产品上市慢，一次性成功率低、有最少的投片量要求、设计软件工具繁多且昂贵、开发流程复杂等。例如，此类 ASIC 开发，首先要求有高的技术人员队伍、高达数十万美元的开发软件费用和高昂的掩膜费用，且整个设计周期可能长达一年。ASIC 设计的高成本和一次性低成功率很大部分是由于需要设计和掩膜的层数太多（多达十几层）。然而如果利用 HardCopy 技术设计 ASIC，开发软件费用仅 2000 美元（Quartus II），SOC 级规模的设计周期不超过 20 周，转化的 ASIC 与用户设计习惯的掩膜层只有两层，且一次性投片的成功率近乎 100%，即所谓的 FPGA 向 ASIC 的无缝转化。而且用 ASIC 实现后的系统性能将比原来在 HardCopy FPGA 上验证的模型提高近 50%，而功耗则降低 40%。一次性成功率的大幅度提高即意味着设计成本的大幅降低和产品上市速度的大幅提高，3 种 SOC 方案的比较如表 1-1 所示。

表 1-1 3 种 SOC 方案的比较

项 目	基于 ASIC 的 SOC	基于 FPGA 的 SOC（SOPC）	基于 HardCopy 的 SOC
单片成本	低	较高	较低
开发周期	长（超过 50 周）	短（少于 10 周）	较短（少于 20 周）
开发成本	设计工程成本高 掩模成本高 软件工具成本高 （超过 30 万美元）	设计工程成本低 无掩模成本 软件工具成本低 （低于 2000 美元）	设计工程成本低 掩模成本低 软件工具成本低 （低于 2000 美元）
一次投片情况	一次投片成功率低、成本高、耗时长	可现场配置	一次投片成功率近乎 100%，成本低、耗时短
集成技术	0.25μs~65nm	0.25μs~90nm	0.25μs ~90nm
可重构性	不可重构	可重构	不可重构

HardCopy 技术是一种全新的 SOC 级 ASIC 设计解决方案，即将专用的硅片设计和 FPGA 至 HardCopy 自动迁移过程结合在一起的技术，首先利用 Quartus II 将系统模型成功实现于 HardCopy FPGA 上，然后帮助设计者把可编程解决方案无缝地迁移到低成本的 ASIC 上的实现方案。这样，HardCopy 器件就把大容量 FPGA 的灵活性和 ASIC 的市场优势结合起来，实现对于有较大批量要求并对成本敏感的电子系统产品上。从而避开了直接设计 ASIC 的困难，而从原型设计提升至产品制造，通过 FPGA 的设计十分容易地移植到 HardCopy 器件上，达到降低成本，加快面市周期的目的。HardCopy 器件（如 HardCopy Stratix