

微處理機系統 的實用界面技術

(修訂版)

JAMES W. COFFRON 原著
WILLIAM E. LOND

王晉良 譯



微處理機系統 的實用界面技術

(修訂版)

王晉良 譯

儒林圖書公司 印行

版權所有
翻印必究

微處理機系統的實用界面技術

原著發行日期：1983年

原著書名：PRACTICAL INTERFACING
TECHNIQUES FOR
MICROPROCESSOR SYSTEMS

原著者：James W. Coffron William E. Long 賴

譯者：王晉良 科學譯

發行人：楊鏡秋

出版者：儒林圖書有限公司

地址：台北市重慶南路一段111號

電話：3812302 3110883 3140111

郵政劃撥：0106792-1號

吉豐印刷廠有限公司承印

板橋市三民路二段居仁巷一弄五十三號

行政院新聞局局版台業字第1492號

中華民國七十三年四月初版

中華民國七十五年二月修訂

定價新台幣 280 元正

前 言

本書所要探討的內容是有關如何將現有的微電腦 (micro computer)、迷你電腦 (mini computer)、或者家用電腦 (home computer) 系統加上界面，以便擴充其能力。討論的重心將放在：(1)功能已達原先設計極限的電腦系統，(2)缺乏某些使用者所希望具有的功能之電腦系統。本書主要是為首次接觸界面技術 (interfacing techniques) 的工程師、技術員、或者有志於此的讀者而寫；當然，假若閣下想搜尋一些實際上的建議和新觀念，本書也必定能夠使您滿意。

電腦的使用者經常會發現，假若工作目標超越系統的容量，必須要增加記憶體 (memory) 才能完成；或者可能為了某些新的應用，得加入一些額外的輸入 / 輸出埠 (I/O port)。然而，不管是增加記憶體，增加系統的彈性 (flexibility)，或者是以不同的方式與外界通訊，這些問題就是所謂的界面 (interfacing)。在寫這本書

時，我們盡量選擇一些較重要的題材，以便能提供給讀者最好的能力，解決經常碰到的界面問題。

本書涵蓋的題材有：

- (1) 對僅讀記憶體 (ROM)，靜態隨機存取記憶體 (static RAM)，動態隨機存取記憶體 (dynamic RAM) 的界面。
- (2) 對各種輸入 / 輸出埠結構 (I/O port architectures) 的界面。
- (3) 對 ECL, CMOS 等邏輯系列的界面。
- (4) 對掃描 7 線段顯示器 (scanned 7-segment display) 控制的界面。
- (5) 對類比 / 數位 (A/D)，數位 / 類比 (D/A) 轉換的界面。
- (6) 對可程式輸入 / 輸出晶片 (programmable I/O chip)，S-100 匯流排 (bus)，串列 / 並行 (serial/parallel) 資料傳輸。視頻鍵盤終端機 (video keyboard terminal) 等的界面。
- (7) 其他。

另外有一章專門探討 TRS-80 (一種流行的家用電腦) 的界面。讀者若想對本書的內容作進一步的了解可參考前面的目錄。

本書內容安排情形如下：

首先，我們從硬體觀點來探討電路、裝置 (device) 的硬體結構 (hardware architecture)，它們如何工作？如何使用它們？我們盡量給一些實際，有用的資料，這包含線路間的連接、各種裝置、和接腳 (pin) 數目，並且說明這些裝置的工作情形與使用法，爲了能成功地建立線路並作測試，讀者務必對每一題材所給予的

資料做通盤性的了解。

其次，我們探討如何將所有的資訊 (information) 以一種清楚而容易了解的語言 (language) 表示，每一個線路的工作情形將做詳細的解釋，在這過程中，以很多的插圖描述出一些重要的觀點。最後，有一個項目，由於較麻煩，爲了避免讀者混淆，將不做深入探討。

電腦在今天已不是什麼神秘的東西了。不過，對一個大的電腦系統而言，仍是相當複雜的，還好，由於各種觀察結構，工作程序，及合併細部線路的良好方法相繼出現，已大爲減輕早期電腦系統的複雜度，最後，衷心期盼本書幫助各位打開電腦神秘之窗，帶領大家走在時代的尖端。

目 錄

前 言

第一章 界面的硬體結構 (3 匯流排結構)

(3-BUS ARCHITECTURE)	1
1-1 簡 介	1
1-2 3 匯流排結構	2
1-3 從中央處理單元把資料寫入記憶體	5
1-4 從記憶體讀取資料	9
1-5 將資料寫入輸出裝置	10
1-6 從輸入裝置讀取資料	12
1-7 3 匯流排結構摘要	13
1-8 對製作 3 匯流排結構的一些意見	14
1-9 8085 位址匯流排	14
1-10 對資料匯流排的一些意見	19
1-11 8085 中被緩衝的資料匯流排	21
1-12 8085 控制匯流排	22
1-13 8085 摘要	24
1-14 用 Z 80 製作 3 匯流排結構	26
1-15 Z 80 的位址匯流排	26

1-16	Z 80 的資料匯流排	28
1-17	Z 80 的控制匯流排	29
1-18	本章摘要	31
第二章	對ROM與RAM的界面	33
2-1	記憶體的靜態電氣路徑	34
2-2	有關ROM的位址和被緩衝資料的路徑	36
2-3	有關ROM的未緩衝資料路徑	40
2-4	一個完整的 $4K \times 8$ 僅讀記憶體	43
2-5	獨立輸入 / 輸出靜態RAM的資料路徑	46
2-6	對獨立輸入 / 輸出記憶體的讀取和寫入	48
2-7	一個完整的獨立輸入 / 輸出記憶體	50
2-8	共同式輸入 / 輸出RAM的資料路徑	54
2-9	共同輸入 / 輸出RAM的完整概要圖	58
2-10	記憶體的時序考慮	62
2-11	本章摘要	66
第三章	一般輸入與輸出的裝置的界面	67
3-1	定位埠的輸入 / 輸出結構	69
3-2	裝置 / 埠－輸入 / 輸出結構	76
3-3	線性選擇輸入 / 輸出結構	79
3-4	記憶體對應式輸入 / 輸出結構	80
3-5	CPU 和各種輸入 / 輸出結構間的通訊	82
3-6	本章摘要	94

第四章 滙流排負載效應和靜態的電氣參數 (BUS-LOADING EFFECTS AND STATIC ELECTRICAL PARAMETERS)..... 97

- 4-1 TTL 內部結構的複習..... 98
- 4-2 數位積體電路的參數和資料表..... 101
- 4-3 對位址滙流排加上負載..... 112
- 4-4 資料滙流排上的界面負載..... 120
- 4-5 本章摘要..... 122

第五章 動態RAM的界面(INTERFACING TO DYNAMIC RAMS)..... 127

- 5-1 動態隨機存取記憶體概述..... 127
- 5-2 一個實際的動態RAM晶片..... 134
- 5-3 多工化位址輸入..... 138
- 5-4 產生 $\overline{RAS}$ 訊號..... 141
- 5-5 產生MUX和 $\overline{CAS}$ 訊號..... 144
- 5-6 RAM資料的讀取和寫入..... 147
- 5-7 RAM的輸入訊號界面..... 149
- 5-8 動態RAM的再生..... 150
- 5-9 猝發式再生電路..... 152
- 5-10 動態RAM與Z80之界面..... 156
- 5-11 RAM記憶結構的討論..... 159
- 5-12 $\overline{RAS}$ 、 $\overline{CAS}$ 和MUX訊號產生的討論..... 163
- 5-13 一個完整的8K×8動態RAM系統..... 167
- 5-14 本章摘要..... 173

第六章	對CMOS和ECL邏輯系列的界面	175
6-1	CMOS 邏輯系列	176
6-2	TTL 和CMOS 的界面	186
6-3	射極耦合邏輯.....	192
6-4	TTL 和ECL 間的界面.....	200
6-5	本章摘要.....	204
第七章	對掃描 7 線段顯示器的界面與控制	205
7-1	簡 介.....	205
7-2	7 線段數字.....	206
7-3	將一些顯示器連接起來.....	210
7-4	線段和陰極的界面.....	213
7-5	顯示器掃描的軟體.....	217
7-6	執行程式.....	227
7-7	共同陽極顯示器的界面.....	229
7-8	本章摘要.....	232
第八章	非TTL電壓的界面——光學隔離器的使用 (USE OF OPTICAL ISOLATORS)	233
8-1	簡 介.....	233
8-2	產生正負脈衝.....	238
8-3	輸入非標準的 TTL 脈衝.....	244
8-4	光學耦合器.....	248
8-5	光學隔離器用在微處理機的界面上.....	253
8-6	本章摘要.....	256

第九章	界面中的數位對類比轉換	257
9-1	簡 介	257
9-2	數位對類比轉換的基本觀念	259
9-3	電流輸出DAC	261
9-4	電流對電壓的轉換	265
9-5	從一個電路增加輸出驅動力	267
9-6	DAC 電路分析	268
9-7	將 DAC 連接到微處理機系統	269
9-8	本章摘要	272
第十章	類比對數位轉換	275
10-1	簡 介	275
10-2	類比對數位轉換的基本觀念	277
10-3	建立一個不昂貴的ADC	278
10-4	ADC 的硬體	282
10-5	控制 ADC 的軟體	285
10-6	利用單一裝置來作 A / D 轉換	285
10-7	ADC 的硬體界面	292
10-8	ADC 與 CPU 界面的軟體	295
10-9	本章摘要	295
第十一章	TRS-80 模型 III 與輸入 ，輸出裝置的界面	297
11-1	簡 介	297
11-2	TRS - 80 的雙向資料匯流排和三態控制	298
11-3	TRS - 80 的控制匯流排和三態控制	301

11-4 一般用途的 I / O 電路	304
11-5 與 I / O 電路的界面	310
11-6 本章摘要	315

第十二章 8255 可程式輸入 /

輸出晶片的界面

12-1 簡 介	317
12-2 8255 晶片概觀	318
12-3 用在界面上的微處理機訊號	320
12-4 CPU 與 8255 的連接	321
12-5 產生埠選擇 (晶片選擇) 訊號	324
12-6 完整的連接	326
12-7 8255 埠的界面電路	328
12-8 雙向資料匯流排驅動器的連接	332
12-9 控制 8255 晶片的軟體	337
12-10 本章摘要	339

第十三章 S-100 匯流排界面

13-1 簡 介	341
13-2 S - 100 匯流排的接腳定義	346
13-3 系統控制訊號的產生	346
13-4 記憶體讀取訊號的產生	350
13-5 $\overline{IOW}$ 和 $\overline{IOR}$ 控制訊號的產生	351
13-6 界面控制線摘要	353
13-7 S - 100 匯流排	353
13-8 S - 100 匯流排與鍵盤的界面	358

13-9	S - 100 界面第二個例子	363
13-10	遠置裝置	371
13-11	EPROM與S-100 匯流排的界面	375
13-12	本章摘要	377
 第十四章 電腦系統的串列界面		
14-1	串列，並列界面的比較	380
14-2	鮑速率和時序	381
14-3	並列對串列的轉換	384
14-4	起始、停止，和同位位元	387
14-5	串列通訊用的USART	390
14-6	8251 USART 概觀	391
14-7	8251 與微處理機匯流排的連接	395
14-8	位準轉移和RS - 232	398
14-9	如何接收RS - 232 電壓	400
14-10	控制 8251 的軟體	403
14-11	傳送單一字元的軟體程式	410
14-12	8251 USART 的一個回波程式	411
14-13	本章摘要	412
 第十五章 像頻鍵盤終端機第一部分		
	: 電視接收機的界面	413
15-1	VKT 概觀	414
15-2	電視接收機的界面	418
15-3	用數位元件產生水平同步和空白脈衝	426
15-4	用數位元件產生鉛直空白和鉛直同步脈衝	434

15-5	像頻訊號.....	438
15-6	檢驗混合像頻訊號.....	442
15-7	本章摘要.....	445

第十六章	像頻鍵盤終端機第二部分 ：字元產生器的使用.....	447
16-1	簡 介.....	447
16-2	單一字元的產生.....	448
16-3	整個螢幕顯示.....	454
16-4	水平同步和RS 0 - RS 3	456
16-5	設定電視螢幕顯示的格式.....	460
16-6	VKT電子電路概觀	464
16-7	顯示記憶體.....	466
16-8	顯示記憶體硬體.....	470
16-9	本章摘要.....	471

第 一 章

界面的硬體結構(3 匯流排結構) (3-BUS ARCHITECTURE)

1-1 簡 介

本章我們將介紹並描述一些微處理機系統結構 (microprocessor system architecture)，以解決在發展或擴充某一特殊系統時可能遭遇到的界面問題。這個結構對大多數的8或16位元 (bit) 微處理機系統和家用電腦系統均有效，如能對此結構作透徹的了解，則可將界面問題簡化。

在本書中我們會介紹許多微處理機系統和家用電腦系統的界面例子，而這些例子都將根據本章所呈現的結構。很幸運地，對結構的了解有助於解決微處理機系統其它方面的問題；所以，對本章內容的了解將可減輕諸位在發展一個新系統或者新的系統應用時所可能遭遇到的困難。

在本書中所描述的結構稱為3匯流排(3-BUS)系統結構，這個

結構在“ Practical Hardware Details for the 8080, 8085, Z80, and 8600 ”這本書中有很詳細的敘述。雖然並不是所有的廠商都用 3 匯流排結構，但對大多數的微處理機系統而言，這個結構的確是相當普遍的。

爲了描述這種結構，我們使用兩種不同的微處理機—8085 和 Z80，從這些微處理機的詳細討論中，諸位就有能力弄清楚其他的 8 位元、16 位元微處理機。我們將這些數處理機設計成 3 匯流排結構並說明我們的觀點；如此一來，任何硬體的工作情形便能以這種方式來分析。

讓我們先來對系統匯流排（system bus）下個定義。本書中所謂的系統匯流排乃是指電子信號及信號線的聚集（collection of electronic signals and signal lines）或者是依照功能組合而成的路徑（paths）。在方塊圖（block diagram）中，每一匯流排都有共同的起點和共同的目的點。用另一種說法就是所有在同一匯流排上的信號都有共同的功能。有關係統匯流排，最簡單的例子就是電源匯流排（power bus），這一匯流排只有一個訊號在裏邊，其起點就是電源供應器（power supply），其目的點就是系統中的元件。

1-2 3 匯流排結構

微處理機系統或家用電腦系統三個主要匯流排爲

- (1) 位址匯流排（address bus）
- (2) 資料匯流排（data bus）
- (3) 控制匯流排（control bus）

我們之所以包含家用電腦，乃是因爲這類系統與微處理機系統有相

同的特性。家用電腦或者個人電腦，今天在世界上已經被當作微處理機系統的一個部分集合（sub-set）。

在微處理機控制的系統當中，任何一個硬體動作（hardware action）都可以用 3 匯流排的方式來實行。有一點我們得注意的是：3 匯流排結構並不是描述複雜動作的一種最簡單方式，它之所以被採用乃是因為它將微處理機系統的複雜動作以一種簡單，容易了解的模型展現出來。

如前面所言，3 匯流排模型能精確描述微處理機系統的七個硬體動作。這七個硬體動作如下：

1. 從中央處理單元（CPU）把資料寫入（write）記憶體（memory）。
2. 從記憶體讀取（read）資料到中央處理單元。
3. 從中央處理單元把資料寫入輸出埠（output port）。
4. 從輸入埠（input port）讀取資料到中央處理單元。
5. 中央處理單元的中斷動作（interrupt）。
6. 由 CPU 控制的記憶體直接資料存取（direct memory access, 簡稱 DMA）。
7. 中央處理單元對內部暫存器（internal registers）的處理。

注意：這些硬體動作的發生事實上就是執行軟體指令（software instructions）所產生的結果。

微處理機系統中的每一個硬體動作都包含於上面所敘述的七種動作之內。值得一提的是，並不是所有的微處理機都具有上述的七