



**Assembly Language Program Design
Based on the TMS320C5000 DSP**

TMS320C5000 系列 DSP 汇编语言程序设计

张勇 曾炽祥 周好斌 陈滨 编著
贾晓天 主审



西安电子科技大学出版社
<http://www.xduph.com>

TMS320C5000 系列 DSP

汇编语言程序设计

张勇 曾炽祥 周好斌 陈滨 编著
贾晓天 主审

西安电子科技大学出版社

2004

内 容 简 介

本书是《C/C++语言硬件程序设计——基于 TMS320C5000 系列 DSP》一书(西安电子科技大学出版社出版)的姊妹篇,书中全面、详细地介绍了使用汇编语言开发 TMS320C5000 系列 DSP 应用系统的方法。全书共分为 9 章,内容包括 TMS320C54x 系列 DSP 硬件结构、TMS320C55x 系列 DSP 硬件结构、典型 DSP 硬件电路系统的设计、C54x 和 C55x 汇编语言、浮点运算汇编程序设计、同步串口汇编程序设计、异步串口汇编程序设计、BOOT 汇编程序设计和应用实例。本书的最大特色在于通过完整的程序实例介绍相关的内容。

本书是作者近几年来不间断地从事 TMS320 系列 DSP 系统设计、开发和教学的技术结晶,书中将基于 TMS320C5000 的汇编语言程序设计从一个容易理解和接受的角度展开论述,旨在普及汇编语言的应用。

本书不仅可以作为从事 DSP 开发的电子工程技术人员以及 DSP 爱好者的参考书,也可以作为电子通信类相关专业研究生和高年级本科生学习 DSP 及其程序设计的教科书。

图书在版编目(CIP)数据

TMS320C5000 系列 DSP 汇编语言程序设计 / 张勇等编著.

—西安: 西安电子科技大学出版社, 2004.12

ISBN 7-5606-1468-X

I. T… II. 张… III. 汇编语言—程序设计 IV. TP313

中国版本图书馆 CIP 数据核字 (2004) 第 121011 号

策 划 李惠萍 陈宇光

责任编辑 李惠萍

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com>

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2004 年 12 月第 1 版 2004 年 12 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 20

字 数 475 千字

印 数 1~4000 册

定 价 30.00 元

ISBN 7-5606-1468-X/TP·0782

XDUP 1739001-1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜, 谨防盗版。

前 言

随着微电子技术、计算机技术和通信技术的迅猛发展,数字化技术已广泛深入地应用于国防、科技和国民经济的各个领域,甚至在社会活动和个人生活中都随处可见。数字化技术的基础和核心是通用数字信号处理器(DSP)及其相应的程序软件,这就使得 DSP 及其应用程序在科技、国防、国民经济、社会和个人生活中占有特殊地位。因此,开发应用 DSP 及其软件是当今科学和社会发展的需要。

DSP 芯片的最大优越性在于其具有可重复编程的能力。将各种不同应用的数字信号处理技术以软件的形式下载到 DSP 芯片中,可以实现相应的通信和控制功能。DSP 的发展和应用使得软件开发和硬件设计变得相对独立,DSP 是数字信号处理的核心,DSP 硬件系统具有灵活的可编程性。

汇编语言以其“体积”小和效率高而受到专业硬件程序设计人员的青睐,是被实践证明了的开发硬件系统最优秀的语言。但其易学难用,因为作为一门程序设计语言,汇编语言的指令很容易掌握,但它却很难应用于开发项目中。本书将基于 TMS320C5000(简称 C5000)的汇编语言程序设计从一个容易理解和接受的角度展开论述,使汇编语言表现为一个易学易用的程序工具。

学习基于 C5000 的汇编语言程序设计需要深入理解 C5000 的硬件结构、指令,并具有一个相应的硬件平台,本书前五章完成了这个任务。第一章和第二章分别介绍了 TMS320C54x(简称 C54x)和 TMS320C55x(简称 C55x)的结构。第三章以 VC5410 为核心 DSP 芯片,选取了实现异步串行通信、USB、编码等功能的接口芯片,详细阐明了制作一个 DSP 通用功能板的具体方法,并给出了电路原理图。第四章和第五章给出了 C54x 和 C55x 汇编语言的程序框架,并使用这个程序框架测试和发布了 C54x 和 C55x 的全部汇编指令。值得一提的是,本书给出的 C54x 和 C55x 汇编语言程序框架具有实用性、规范性和开放性的特点。第六章至第八章均以第三章中介绍的 DSP 功能板为硬件平台,以完整的程序实例和程序代码说明相关的主题,这是本书的最大特色所在。第六章介绍了使用汇编语言设计浮点程序的具体方法和程序实例。第七章、第八章分别介绍了借

助同步串行口(McBSP)实现语音通信和借助异步串行口与计算机通信的程序设计及其方法。第九章基于第三章介绍的功能板讨论 VC5410 的 BOOT 程序设计及其方法。

一个典型的 DSP 系统总是需要完成数据采集、存储与处理、结果数据输出这一流程。数据采集和结果数据输出多使用 DSP 的片上外设,数据存储与处理则可能需要借助 CPU 和外部存储空间来完成,本书的实例部分涵盖了这方面的内容。

本书不仅可以作为从事 DSP 开发的电子工程技术人员以及 DSP 爱好者的参考书,也可以作为电子通信类相关专业研究生和高年级本科生学习 DSP 及其程序设计的教科书。为了对每一章的学习作一个测试,每章后都附有习题。阅读本书请严格按章节顺序,而且一般不能速成,需要一定的实践。

感谢我的导师陈天麒教授、洪时中研究员在我攻读硕、博期间给予的精心指导,感谢我的姐姐张莹给予我的资助,感谢西安电子科技大学出版社陈宇光副总编给予的支持。

由于作者水平有限,书中难免有误,请读者不吝指正(zhnyong@21cn.com)。

编著者

2004 年 10 月于电子科技大学

目 录

第一章 TMS320C54x 定点 DSP

硬件结构.....	1
1.1 引言.....	1
1.2 C54x 内部结构.....	2
1.2.1 总线结构.....	3
1.2.2 内部存储器.....	3
1.2.3 中央处理单元(CPU).....	4
1.2.4 数据寻址.....	5
1.2.5 程序存储器寻址.....	5
1.2.6 流水线操作.....	5
1.2.7 片上外设.....	5
1.3 存储器.....	5
1.4 中央处理单元(CPU).....	9
1.4.1 CPU 状态和控制寄存器.....	10
1.4.2 算术逻辑单元(ALU).....	12
1.4.3 累加器 A 和 B.....	13
1.4.4 筒形移位器.....	13
1.4.5 乘法器/加法器单元.....	14
1.4.6 比较选择和存储单元(CSSU).....	15
1.4.7 指数编码器.....	16
1.5 寻址.....	16
1.5.1 立即数寻址.....	17
1.5.2 绝对寻址.....	17
1.5.3 累加器寻址.....	17
1.5.4 直接寻址.....	18
1.5.5 间接寻址.....	19
1.5.6 存储器映射寄存器寻址.....	22
1.5.7 堆栈寻址.....	23
1.5.8 数据类型.....	23
1.6 本章小结.....	24
习题.....	24

第二章 TMS320C55x 定点 DSP

硬件结构.....	25
2.1 引言.....	25
2.2 CPU 结构.....	26
2.2.1 内部数据和地址总线.....	26
2.2.2 存储器接口单元(M 单元).....	27
2.2.3 指令缓冲单元(I 单元).....	27
2.2.4 程序流单元(P 单元).....	28
2.2.5 地址数据流单元(A 单元).....	29
2.2.6 数据计算单元(D 单元).....	30
2.2.7 地址总线 and 数据总线.....	32
2.2.8 指令流水线.....	34
2.3 CPU 寄存器.....	35
2.3.1 累加器(AC0~AC3).....	39
2.3.2 转换寄存器(TRN0, TRN1).....	39
2.3.3 暂存寄存器(T0~T3).....	39
2.3.4 用于寻址数据空间和 I/O 空间的 寄存器.....	40
2.3.5 程序流寄存器(PC, RETA, CFCT).....	44
2.3.6 中断管理寄存器.....	45
2.3.7 循环控制寄存器.....	48
2.3.8 状态寄存器(ST0_55~ST3_55).....	49
2.4 存储器和 I/O 空间.....	55
2.4.1 存储器映射.....	55
2.4.2 程序空间.....	56
2.4.3 数据空间.....	57
2.4.4 I/O 空间.....	58
2.5 堆栈操作.....	58
2.5.1 数据堆栈和系统堆栈.....	58
2.5.2 堆栈配置.....	59

2.5.3 快返回与慢返回	60	第五章 TMS320C55x 汇编语言	171
2.6 中断和复位操作	61	5.1 引言	171
2.6.1 中断介绍	61	5.2 汇编语句测试程序	172
2.6.2 中断向量与优先级	62	5.3 C55x 汇编语言指令	175
2.6.3 可屏蔽中断	63	5.3.1 操作数	175
2.6.4 不可屏蔽中断	64	5.3.2 指令并行特性	181
2.6.5 DSP 硬件复位	65	5.3.3 指令	182
2.6.6 软件复位	65	5.4 本章小结	183
2.7 寻址方式	67	习题	183
2.7.1 绝对寻址方式	67	第六章 浮点运算汇编程序设计	184
2.7.2 直接寻址方式	68	6.1 引言	184
2.7.3 间接寻址方式	71	6.2 计算 $\sin x$ 值	185
2.7.4 循环寻址	78	6.2.1 计算基础	185
2.8 本章小结	81	6.2.2 数值定标	185
习题	81	6.2.3 程序设计	185
第三章 典型 DSP 应用系统的设计	82	6.3 计算 $\cos x$ 值	194
3.1 引言	82	6.3.1 计算方法与数值定标	194
3.2 应用系统设计分析	83	6.3.2 程序设计	195
3.3 DSP 功能板芯片资料	83	6.4 正弦查找表	200
3.3.1 TMS320VC5410	83	6.4.1 生成正弦查找表	200
3.3.2 SST39VF400	90	6.4.2 程序设计	201
3.3.3 TLC320AD50C	95	6.5 FIR 滤波器设计	204
3.3.4 TLC274	98	6.5.1 SIMULINK 仿真分析	205
3.3.5 TL16C550FN	98	6.5.2 C54x FIR 汇编程序设计	206
3.3.6 MAX232	102	6.6 开方运算	215
3.3.7 TPS73HD325	102	6.6.1 算法分析	215
3.3.8 PDIUSB12	103	6.6.2 程序设计	215
3.3.9 GAL16V8	104	6.7 本章小结	221
3.3.10 应用系统原理图	104	习题	221
3.4 本章小结	108	第七章 同步串行通信汇编程序设计	222
习题	108	7.1 引言	222
第四章 TMS320C54x 汇编语言	109	7.2 程序实现功能	223
4.1 引言	109	7.3 程序设计	223
4.2 汇编语句测试程序	110	7.3.1 简单 McBSP 口通信程序	223
4.3 C54x 汇编语言指令	112	7.3.2 语音 FIR 滤波程序	228
4.4 本章小结	170	7.3.3 观察滤波效果	234
习题	170		

7.4 本章小结.....	239	9.2 程序实现功能.....	266
习题.....	239	9.3 程序设计.....	266
第八章 异步串行通信汇编程序设计.....	240	9.4 本章小结.....	272
8.1 引言.....	240	习题	272
8.2 程序实现的功能.....	241	附录	273
8.3 程序设计.....	242	附录 A techor ICE DSP 仿真器.....	273
8.3.1 主机程序设计	242	附录 B FFT 算法	273
8.3.2 目标机程序设计	250	B.1 DFT 和 IDFT 的同一性.....	273
8.4 本章小结.....	264	B.2 CCStudio 程序设计	278
习题.....	264	附录 C GAL 16V8 控制逻辑.....	287
第九章 BOOT 汇编程序设计.....	265	附录 D C55x 指令汇总	288
9.1 引言.....	265	结束语	312

第一章 TMS320C54x 定点 DSP 硬件结构

1.1 引言

美国德州仪器公司(简称 TI)是全球最大的数字信号处理器研发生产中心。目前,得到广泛应用的 TI 公司的数字信号处理芯片(DSP 芯片)有以下几个系列: TMS320C2000、TMS320C3x4x、TMS320C5000、TMS320C6000 和 TMS320DM 等,而其中高性价比的 TMS320C5000 系列 DSP 的应用最为普遍。

TMS320C5000(简称 C5000)系列 DSP 均为低功耗定点 DSP,工作频率在 100~250 MHz 范围内,主要包括 TMS320C54x(简称 C54x)和 TMS320C55x(简称 C55x)两个子系列。本章将介绍 C54x 系列 DSP 的内部结构、存储器配置及片上外设等硬件资源,下一章将介绍 C55x 系列 DSP 的硬件结构。与本章内容密切相关的 TI 技术文档为 SPRU131,这些内容是汇编语言程序设计的硬件基础。

众所周知,汇编语言程序是由汇编指令组成的,汇编指令实质上 and C 语言语句一样,都不是可直接执行的,CPU 只认识由 0 或 1 组成的门电路电平开关机器语言。汇编指令是机器指令的一种助记符形式,与 C 语言语句不同的是,汇编指令与机器指令具有近似的“一一对应”关系,而一条 C 语言语句则往往需要至少六条以上的机器语句才能完成。

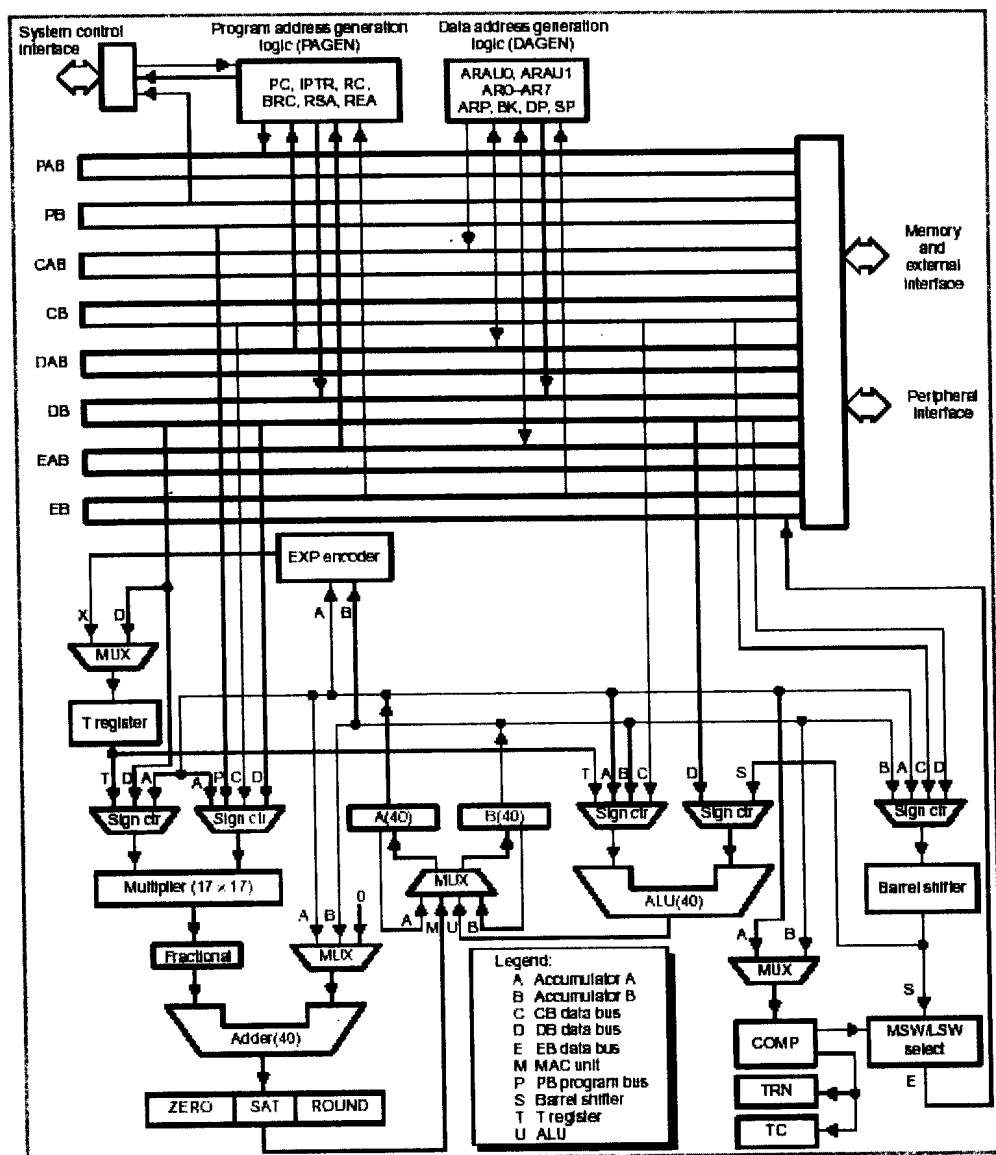
既然汇编语言是机器语言的一种助记符形式,那么汇编指令也必然是机器语言语句的一种助记符表示,因此汇编指令直接对应于控制 CPU 的动作,直接作用于 DSP 片上的各种资源。所以,熟悉 DSP 硬件结构是掌握汇编语言的前提。

DSP 硬件结构可以分为相对独立的三个部分:其一是 CPU 结构,一般地,DSP 开发商不会公开 DSP 核(CPU)的结构,但是,总线结构是公开的,DSP 核的功能和总线接口是公开的;其二是存储器,存储器类型较多,这里的存储器指的是与 DSP 实时交换数据的存储器,DSP 的存储器配置十分灵活;其三是片上外设,即 DSP 与外部编码器等数字化芯片的接口,这部分的特色在于可配置性。

本章将基于 C54x DSP 介绍其硬件结构。

1.2 C54x 内部结构

C54x DSP 的内部结构如图 1-1 所示。



System control interface: 系统控制接口; Program address generation logic(PAGEN): 程序地址产生逻辑

Data address generation logic(DAGEN): 数据地址产生逻辑;

Accumulator B: 累加器 B;

DB data bus: DB 数据总线;

MAC unit: 乘加单元;

Barrel shifter: 筒形移位器;

Accumulator A: 累加器 A

CB data bus: CB 数据总线

EB data bus: EB 数据总线

PB program bus: PB 程序总线

Tregister: T 寄存器; ALU: 算术逻辑单元

图 1-1 C54x 内部结构

以下内容均围绕图 1-1 展开论述，是对图 1-1 的解释和细化。

1.2.1 总线结构

C54x DSP 采用改进型哈佛总线结构，具有 8 根 16 bit 的总线，即 4 根程序/数据总线和 4 根地址总线，主要作用为：程序总线(PB)传送来自程序存储器的指令代码和立即数；三条数据总线(CB、DB 和 EB)用于 CPU、数据地址产生逻辑、程序地址产生逻辑、片上外设和数据存储器间传输和交换数据，其中，CB 和 DB 从数据存储器读取数据，EB 向数据空间写数据；四条地址总线(PAB、CAB、DAB 和 EAB)传送指令执行所需要的地址，C54x DSP 利用两个辅助寄存器算术单元(ARAU0 和 ARAU1)能在一个指令周期内产生两个数据存储器地址。

PB 能将程序空间的数据操作数(如系数表数据)传送到乘法器和加法器进行乘/加操作，或通过数据搬移指令(MVPD 和 READA)传送给数据空间。PB 的这种能力配合双操作数读的特性，支持 3 操作数指令的单周期执行(如 FIRS 指令)。

C54x DSP 具有一条片内双向总线，用于对片上外设进行寻址，这条总线通过 CPU 接口的总线交换器连接到 DB 和 EB 总线。访问该总线需要两个或更多的时钟周期，这取决于外设结构。读写访问的总线使用情况如表 1-1 所示。

表 1-1 读写访问的总线使用情况

访问类型	地址总线				数据总线			
	PAB	CAB	DAB	EAB	PB	CB	DB	EB
程序读	√				√			
程序写	√							√
单数据读			√				√	
双数据读		√	√			√	√	
长数据读		√(hw)	√(lw)			√(hw)	√(lw)	
单数据写				√				√
数据读/数据写			√	√			√	√
双数据读/系数读	√	√	√		√	√	√	
外设读			√				√	
外设写				√				√

注：表 1-1 中，hw=长字的高 16 位，lw=长字的低 16 位。

1.2.2 内部存储器

C54x DSP 存储空间由三个独立映射空间构成，即程序空间、数据空间和 I/O 空间，同时，C54x DSP 内部提供了一定容量的物理存储器，如只读存储器(ROM)、双访问 RAM(DARAM)和单访问 RAM(SARAM)等等。这些物理存储区域只有被映射到程序或数据存储空间上时才能被访问，这个映射过程称为存储器配置，可以将 DARAM 和/或 SARAM 配置成数据空间或程序空间。C54x DSP 具有 26 个 CPU 寄存器以及一些外设寄存器，这些寄存器被固定地映射到数据空间的第 0 页。C54x DSP 的片上物理存储器的情况如表 1-2 所示。

表 1-2 一些 C54x DSP 芯片的片上物理存储器

存储器类型	C541	C542	C545	C546	C548	C549	C5402	C5410	C5420
ROM	28 KB	2 KB	48 KB	48 KB	2 KB	16 KB	4 KB	16 KB	0
DARAM	5 KB	10 KB	6 KB	6 KB	8 KB	8 KB	16 KB	8 KB	32 KB
SARAM	0	0	0	0	24 KB	24 KB	0	56 KB	168 KB

片内 ROM 一般被映射到程序空间,有时也可映射到数据空间,并且可以根据需要屏蔽 ROM 区。大多数 DSP 器件的 ROM 中固化了一个 BootLoader 程序,用于器件上电时从外部存储器向程序映射空间装入程序。

不同 DSP 片内双访问 RAM(DARAM)的数量是不同的, DARAM 分为几个块,每块均可以在一个机器周期内被访问两次。DARAM 通常被映射到数据空间,主要用来存储数据,也可以映射到程序空间,用来存储程序代码。

不同 DSP 的片内单访问 RAM(SARAM)的数量也不相同, SARAM 分为几个块,每个块在一个周期内进行一次读或一次写操作。SARAM 可以被映射到数据空间,也可以被映射到程序空间,用来存储程序代码。

1.2.3 中央处理单元(CPU)

全部 C54x DSP 的 CPU 结构是相同的,包括:一个 40 bit 的算术逻辑单元(ALU),两个 40 bit 的累加器,一个筒形移位器,一个 17×17 bit 的乘法器,一个 40 bit 的加法器,一个比较、选择和存储单元(CSSU),一个数据地址产生单元,一个程序地址产生单元。

1. 算术逻辑单元(ALU)

ALU 可与两个 40 bit 的累加器(A 和 B)一起完成二进制补码运算,ALU 本身也可实现布尔逻辑运算。ALU 的输入有:16 bit 立即数,来自数据空间的 16 bit 数据,暂存器 T 中的 16 bit 数据,来自数据空间的两个 16 bit 数据,来自数据空间的 32 bit 数据,来自累加器的 40 bit 数据。

ALU 本身也可以当作两个较小的 16 bit 的 ALU 来使用,同时执行两个 16 bit 的数据操作。

2. 累加器

累加器 A 和 B 用于保存 ALU 或乘/加单元的输出,用于向 ALU 提供输入,累加器 A 还可用作乘/加器的输入。每个累加器均分为三部分,即保护位域(位 39~32)、高 16 bit(位 31~16)和低 16 bit(位 15~0)。

3. 筒形移位器

C54x DSP 的筒形移位器的输入来自 40 bit 的累加器或数据存储器(占用 CB 或 DB 总线),其输出送至 40 bit 的 ALU 或数据存储器(占用 EB 总线)。筒形移位器可以对输入数据进行 0~31 bit 的左移或 0~16 bit 的右移,移位值由指令的移位计数域、状态寄存器 ST1 的移位计数域(ASM)或暂存器 T 定义。筒形移位器和指数译码器能在一个时钟周期内规一化累加器的数值,输出的最低位(LSB)被填充 0,最高位(MSB)被填充 0 或符号扩展(当 ST1: SXM=1

时)。附加的移位功能帮助处理器完成数字定标、位提取、位扩展、溢出保护等操作。

4. 乘/加器单元

乘/加器单元能在一个指令周期内完成一个 17×17 bit 的二进制补码乘法运算和一个 40 bit 的加法运算。乘/加器单元由七个元素组成：一个乘法器、一个加法器、有符号/无符号输入控制逻辑、小数控制逻辑、一个零检测器、一个二进制补码取整器、溢出/饱和逻辑以及一个 16 bit 的暂存器(T)。乘法器有两个输入操作数：一个来自暂存器 T、数据存储器操作数或累加器 A；另一个来自程序存储器、数据存储器、累加器 A 或为一个立即数。

5. 比较、选择和存储单元(CSSU)

比较、选择和存储单元(CSSU)执行累加器的高字和低字的数值大小比较，影响到状态寄存器 ST0 中的测试/控制标志位(TC)和转换寄存器(TRN)，将累加器中的较大的字存放在数据存储器中。CSSU 可以加速 Viterbi 蝶形算法。

1.2.4 数据寻址

C54x DSP 支持七种基本的寻址方式：立即寻址，指令对立即数进行译码；绝对寻址，指令使用固定地址进行译码；累加器寻址，用累加器 A 中的内容作为地址对程序存储器进行访问；直接寻址，借助 DP 指针或 SP 指针寻址数据空间；间接寻址，借助辅助寄存器访问数据空间；存储器映射寄存器寻址；堆栈寻址。

1.2.5 程序存储器寻址

谈到寻址，一般是指数据空间的寻址，程序空间的寻址是靠程序计数器(PC)来完成的。程序地址产生逻辑(PAGEN)负责管理 PC 的值；当顺序执行时，PC 的值连续变化；当有中断跳转或调用子程序时，PC 的当前值被存储在堆栈中，当跳转或调用程序返回时，PC 的值从堆栈中恢复出来。

1.2.6 流水线操作

指令流水线是指指令执行期间同时并行完成的一系列操作。C54x DSP 有六级流水线，即预取指、取指、译码、寻址、读操作数和执行。

1.2.7 片上外设

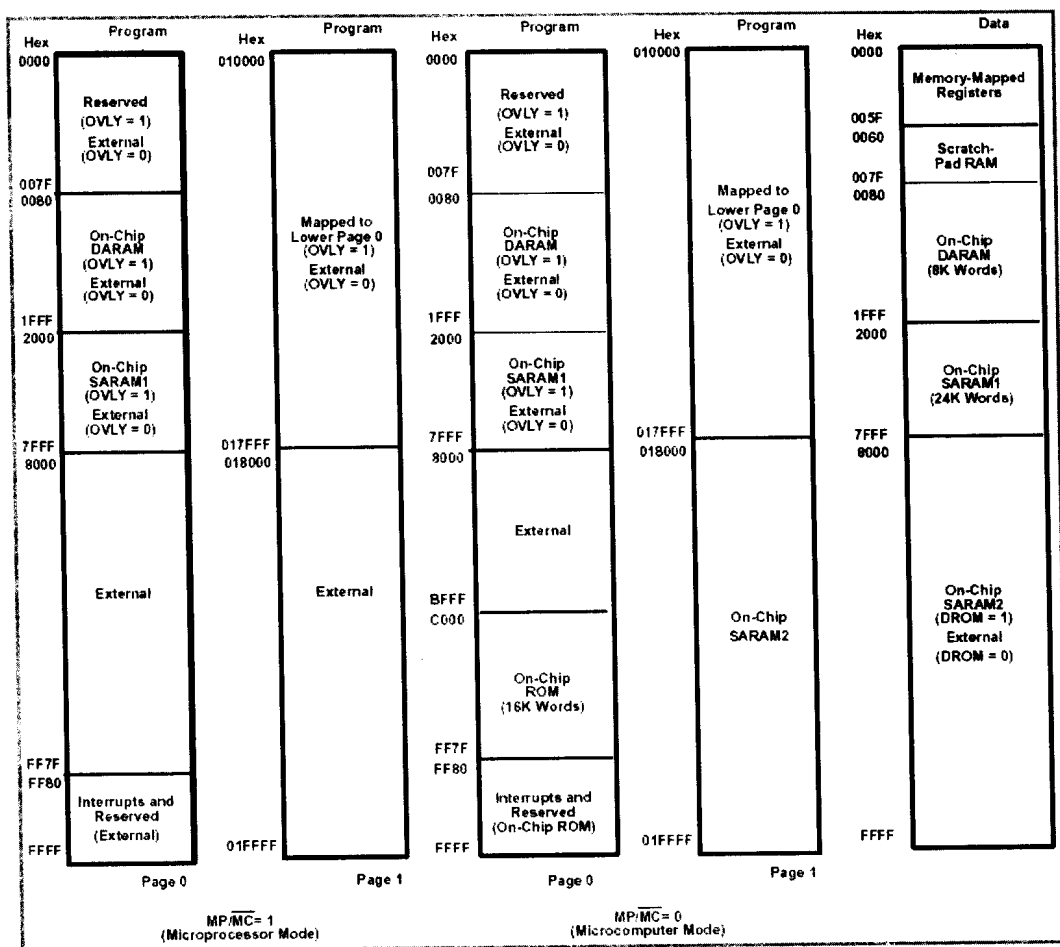
所有的 C54x DSP 的 CPU 结构是相同的，但是连接到 CPU 的片上外设一般并不相同，常见的外设包括：通用 I/O 引脚、软件可编程的等待状态发生器、可编程的块切换逻辑、时钟发生器、定时器、直接内存访问控制器(DMA)、标准串行口、时分复用串行口(TDM)、缓冲串行口(BSP)、多通道缓冲串行口(McBSP)、主机接口(HPI8 或 HPI16)等等。

1.3 存 储 器

C54x 片上一般具有一定数量的物理 RAM 和/或 ROM，但是在 DSP 范畴内谈到存储空间往往是指映射的存储空间。C54x 具有独立编址的 64 KW(1W=16 bit)程序空间、64 KW 数

据空间和 64 KW 的 I/O 空间, 程序空间一般可以进一步扩展。片上物理 RAM 或 ROM 需要映射到存储空间上才能被访问。需要注意的是, 片上物理 RAM 可以同时映射到程序空间和数据空间的同一段地址区域内, 这时如果分配成了程序区, 则相应区段不能再分配给数据区; 如果片外有两个 RAM, 则可以将其中一个映射到程序区, 另一个映射到数据区, 这样程序区 and 数据区就会具有完全独立的物理内存。独立的 64 KW 的 I/O 寻址能力主要提供 C54x 对 I/O 空间映射外设的访问。

下面以最有代表性的 TMS320VC5410(简称 VC5410)为例, 分析一下其存储空间, 参见图 1-2 所示。



Program: 程序空间; Data: 数据空间; Hex: 十六进制数形式; Reserved: 保留; External: 外部

Memory-Mapped Registers: 存储器映射寄存器; Scratch-Pad RAM: 暂存 RAM

On-Chip DARAM: 片上双访问 RAM; On-Chip SARAM: 片上单访问 RAM

Mapped to Lower Page 0: 映射到主数据页 0 的低端; On-Chip ROM: 片上 ROM

Interrupts and Reserved: 中断向量和保留区; Page 0: 主数据页 0; Page 1: 主数据页 1

Microprocessor Mode: 微处理器模式; Microcomputer Mode: 微计算机模式

图 1-2 VC5410 的存储器映射

从图 1-2 可以看出, 程序空间的映射有两种模式, 数据空间的映射只有一种模式。

对于数据空间, 存储器映射寄存器固定占据 0000~005Fh; 暂存板 RAM 占据 0060~007Fh; 片上双访问 RAM 映射至 0080~1FFFh; 片上 SARAM1 映射至 2000~7FFFh; 片上 SARAM2 映射至 8000~FFFFh(DROM=1 时), 当 DROM=0 时, 8000~FFFFh 映射至外部存储空间。

对于程序空间, 其映射模式如下:

(1) 当 MP/MC=1、OVLY=1 时, 0000~007Fh 保留; 0080~1FFFh 映射了片上双访问 RAM; 2000~7FFFh 映射了片上 SARAM1; 8000~FFFFh 和 018000~01FFFFh 映射到外部存储空间; 010000~017FFFh 映射到程序空间 0000~7FFFh 上。

(2) 当 MP/MC=1、OVLY=0 时, 主程序页 0 和主程序页 1 均映射到外部存储器上。

(3) 当 MP/MC=0、OVLY=1 时, 0000~007Fh 保留; 0080~1FFFh 映射了片上双访问 RAM; 2000~7FFFh 映射了片上 SARAM1; 8000~BFFFh 映射到外部存储器上; C000~FFFFh 映射到片上 ROM; 010000~017FFFh 映射到程序空间 0000~7FFFh 上; 018000~01FFFFh 映射到片上 SARAM2。

(4) 当 MP/MC=0、OVLY=0 时, 0000~BFFFh 映射到外部; C000~FFFFh 映射至片上 ROM; 010000~017FFFh 映射至外部; 018000~01FFFFh 映射至片上 SARARM2。

图 1-3 和图 1-4 分别给出了 OVLY=0 和 OVLY=1 时的 VC5410 的扩展程序空间映射情况。

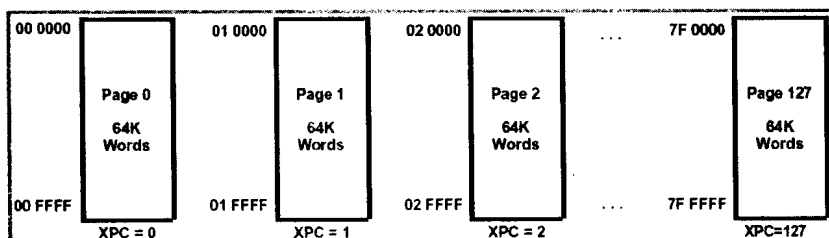


图 1-3 VC5410 的扩展程序空间映射(OVLY=0)

从图 1-3 可以看出, 当 OVLY=0 时, 扩展的程序空间(XPC=1~127)均映射至外部存储器。

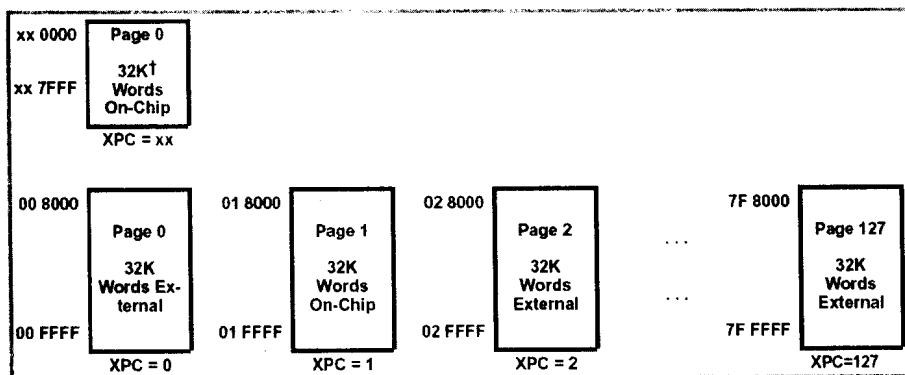
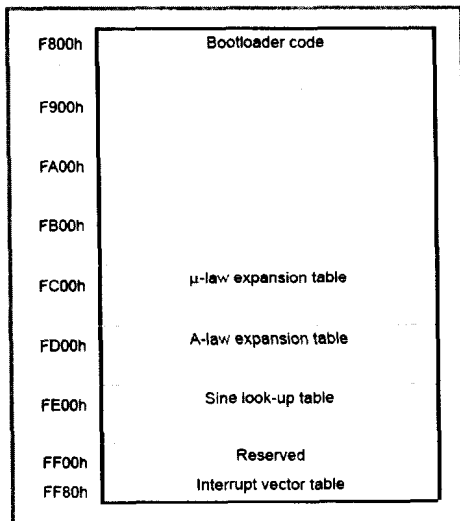


图 1-4 VC5410 的扩展程序空间映射(OVLY=1)

从图 1-4 可以看出, 当 OVLY=1 时, 扩展的程序空间只有每页的高端 xx8000~xxFFFFh 映射到外部存储器, 低端均映射至主程序页 0 的低端。

VC5410 片上具有 16 KW 的 ROM、8 KW 的 DARAM、56 KW 的 SARAM。16 KW 片上 ROM 的编址为 C000~FFFFh，ROM 内容如图 1-5 所示。

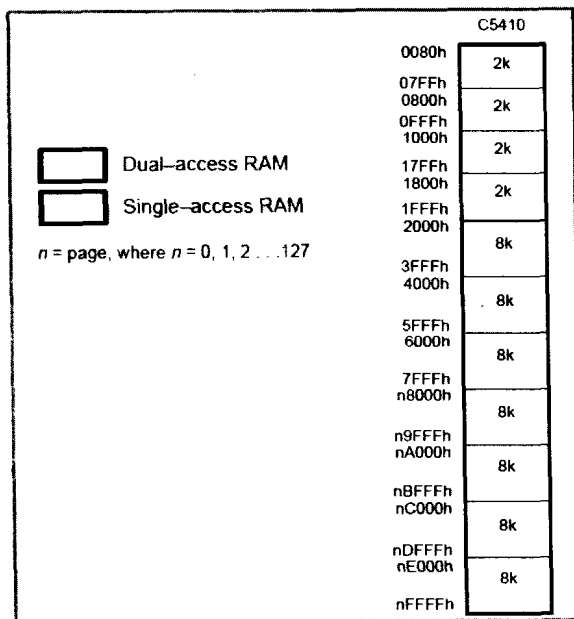


Bootloader code:

Bootloader code: Bootloader 代码; μ -law expansion table: μ 律压扩表
A-law expansion table: A 律压扩表; Sine look-up table: 正弦查找表
Reserved: 保留; Interrupt vector table: 中断向量表

图 1-5 ROM 的内容

VC5410 片上 RAM 的物理组织如图 1-6 所示。



Dual-access RAM: 双访问 RAM;

Single-access RAM: 单访问 RAM。

n: 主程序页页号, $n=0,1,\dots,127$

图 1-6 VC5410 片上 RAM 的物理编址

数据空间的第 0 页(0000h~007Fh)一般不能被分配数据, 其中主要包括以下内容:

(1) 26 个 CPU 映射寄存器占有 0000h~001Fh;

(2) 外设映射寄存器占有 0020h~005Fh;

(3) Scratch-pad RAM 块占有 0060h~007Fh。

CPU 的存储器映射寄存器如表 1-3 所示。

表 1-3 CPU 存储器映射寄存器

地址(十六进制)	名称	描 述
0	IMR	中断屏蔽寄存器
1	IFR	中断标志寄存器
2~5	—	测试保留
6	ST0	状态寄存器 0
7	ST1	状态寄存器 1
8	AL	累加器 A 低字(位域 15~0)
9	AH	累加器 A 高字(位域 31~16)
A	AG	累加器 A 保护位域(位域 39~32)
B	BL	累加器 B 低字(位域 15~0)
C	BH	累加器 B 高字(位域 31~16)
D	BG	累加器 B 保护位域(位域 39~32)
E	T	暂停寄存器
F	TRN	转换寄存器
10	AR0	辅助寄存器 0
11	AR1	辅助寄存器 1
12	AR2	辅助寄存器 2
13	AR3	辅助寄存器 3
14	AR4	辅助寄存器 4
15	AR5	辅助寄存器 5
16	AR6	辅助寄存器 6
17	AR7	辅助寄存器 7
18	SP	堆栈指针
19	BK	循环缓冲区大小寄存器
1A	BRC	块重复计数器
1B	RSA	块重复首地址寄存器
1C	REA	块重复末地址寄存器
1D	PMST	处理器模式状态寄存器
1E	XPC	扩展程序计数器
1F	-	保留

1.4 中央处理单元(CPU)

下面依次介绍 CPU 的各功能模块: CPU 状态和控制寄存器、算术逻辑单元(ALU)、累加器 A 和 B、筒形移位器、乘加单元、比较选择和存储单元 CSSU 以及指数编码器。