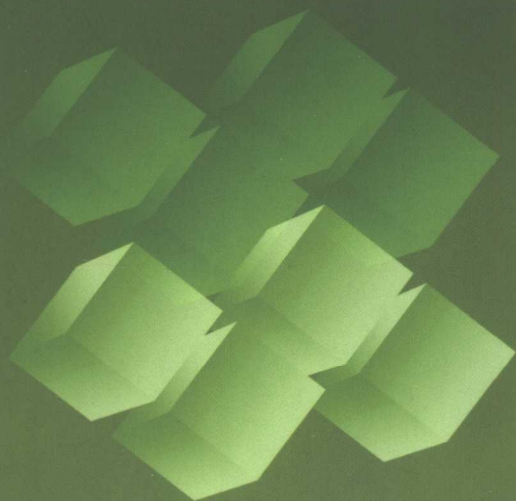


基于FPGA的 可编程SoC设计

董代洁 郭怀理 曹春雨 编著



北京航空航天大学出版社

内 容 简 介

本书针对 Xilinx 公司基于 FPGA 的可编程片上系统,讲解了可编程片上系统的发展、系统的组成,描述了 Xilinx 片内微处理器软核 MicroBlaze 及硬核 PowerPC 的基本结构,讲解了可编程片上系统开发工具的功能和使用。该系统为设计者提供了丰富的设计手段和各种标准的周边设备控制器,并且提供了这些设备的驱动和调用方式。书中叙述了片内系统硬件设计和软件设计的方法,以及如何进行硬件的验证(仿真)和软件验证(调试),通过系统中的设计向导按部给出了创建一个带 CPU 软核的系统设计的设计流程,最后详细列举了两个设计实例。

本书适用于从事硬件系统的开发研究人员,高校、科研院所相关专业的研究生、本科生,以及对该领域感兴趣的计算机爱好者。

图书在版编目(CIP)数据

基于 FPGA 的可编程 SoC 设计/董代洁等编著. —北京:
北京航空航天大学出版社, 2006. 6

ISBN 7-81077-851-X

I. 基… II. 董… III. 可编程序逻辑器件—系统设计 IV. TP332.1

中国版本图书馆 CIP 数据核字(2006)第 028716 号

基于 FPGA 的可编程 SoC 设计

董代洁 郭怀理 曹春雨 编著

责任编辑 韩文礼

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhpess@263.net

北京市松源印刷有限公司印装 各地书店经销

*

开本:787×1092 1/16 印张:19.0 字数:486 千字

2006 年 6 月第 1 版 2006 年 6 月第 1 次印刷 印数:5 000 册

ISBN 7-81077-851-X 定价:26.00 元

前 言

半导体技术日新月异,使得基于 FPGA 的可编程片上系统(SoPC)技术近年来有了快速的发展。FPGA 可重复修改的特点以及可编程片上系统开发软件的不断跟进,使得在一个芯片内进行系统级的设计变得容易。过去对于 FPGA 的开发使用主要是在逻辑设计方面,设计是从最基本的逻辑设计入手,虽然也有各种 IP Core 作为支持,但是它们大多还是收费的 IP Core;现在的 FPGA 在速度和容量上突飞猛进,使得 FPGA 能容纳系统一级的硬件及可以将一些软件代码存储在 FPGA 片内,与之相应的系统开发软平台件提供了硬件软件及验证调试的综合开发平台,它比一般的嵌入式系统具有更多的灵活性,系统硬件和系统软件都可以根据用户的需要来定制和裁剪。新的设计一般是随着软件平台的设计向导并根据用户需求建立一个包括 CPU 的基本的系统,然后再进行进一步的添加和设计。厂家还提供了许多通用的 IP Core,这样一来设计就变得更加模块化,使得我们可以在较短的时间内设计出复杂的系统来。软硬件设计都在一个平台下进行,下载到 FPGA 的内容也包括硬件系统和 CPU 的执行代码。如此看来,以后的很多应用都可以只有一个芯片了。

本书主要围绕着可编程片上系统的发展、组成和应用做了详尽的讲解。

第 1 章主要介绍可编程器件及可编程片上系统的发展,以及 Xilinx 公司和 Altera 公司相关技术的概述,并且例举 FPGA 芯片结构作为补充。

FPGA 由于其优良的特点,目前在硬件设计中得到了非常普遍的应用。最早生产 FPGA 的厂家是美国的 Xilinx 公司,因此第 2 章系统地讲解了片上系统领域中 Xilinx 可编程嵌入式系统的核心技术。内容主要有片内微处理器软核和硬核、片内系统组成及系统总线、常用的 IP CORE 及设备驱动和操作系统,对于读者来说相当实用。

第 3,4 章介绍了 EDK 可编程片上系统的开发工具,并且引入 EDK6.3i 工具使用指南,讲解了嵌入式系统工具结构 XPS 工作室等相关内容。其中,EDK6.3i 使用指南一共有 12 节内容。

第 5 章介绍了基于 FPGA 的 USB 和 MP3 播放器两个较容易理解的应用实例,供读者学习参考。其中提供了总体的设计方案、片内系统设计流程、详细设计和实现,以及 Windows 下应用软件设计和设备驱动程序的设计等。

最后的附录提供了详尽的 USB 设备源程序,供读者在设计实践中查阅参考。

相信在阅读完本书后,读者能够对可编程片上系统有一个全面而深入的了解。本书适用于从事硬件系统的开发研究人员,高校、科研院所相关专业的研究生、本科生,以及对该领域感兴趣的计算机爱好者。

最后要特别感谢北京邮电大学的曹春雨同学为本书第 3 章的编写提供的大量帮助。

作 者

2006 年 3 月

单片机与嵌入式系统应用



www.mesnet.com.cn

何立民教授主编

中央级科技期刊

月刊

北京航空航天大学出版社 承办



引领嵌入式技术时代潮流
反映嵌入式系统先进技术
推动嵌入式应用全面发展

本刊栏目设置

业界论坛

创新观念、技术评述、学术争论以及方向性、技术性指导

专题论述

单片机与嵌入式系统领域的热点技术、观念及综合分析

技术纵横

国内外先进技术的宏观纵览，全局资料分析、介绍和述评

新器件新技术

先进器件、先进技术及其在系统中的典型应用方法

应用天地

具有重要参考价值的科技成果与典型应用的技术交流

经验交流

嵌入式系统应用中的深入体验和开发经验交流

学习园地

介绍嵌入式系统新领域的基础知识

产业技术与信息

为产业界提供技术与信息发布平台，推广厂家的最新成果

编读往来

嵌入式系统领域的科技活动及产业动态报道

本刊反映了单片机与嵌入式系统领域的最新技术，包括：单片机与嵌入式系统的前沿技术与应用分析；新器件与新技术；软、硬件平台及其应用技术；应用系统的扩展总线、外设总线与现场总线；SoC总线技术、IP技术与SoC应用设计；嵌入式系统的网络、通信与数据传输；嵌入式操作系统与嵌入式集成开发环境；DSP领域的新器件、新技术及其典型应用；EDA、FPGA/CPLD、SoPC器件及其应用技术；单片机与嵌入式系统的典型应用设计。

专业期刊
专家办刊

着眼世界
面向全国

应用为主
读者第一

出版日期：每月1日出版

国际标准16开本形式出版

每期定价：6元 全年定价：66元

国内统一刊号：CN 11-4830/V

国际标准刊号：ISSN 1008-623X

邮发代号：2-765

地址：北京市海淀区学院路37号《单片机与嵌入式系统应用》杂志社 邮编：100083
投稿专用邮箱：paper@mesnet.com.cn 广告部专用邮箱：adv@mesnet.com.cn
电话：010-82338009（编辑部）82317029，82313656（广告部）82317043（网络部）
传真：010-82317043 网址：http://www.mesnet.com.cn

欢迎投稿 欢迎订阅 欢迎刊登广告 欢迎索取样刊

目 录

第 1 章 概 述	1
1.1 可编程器件及可编程片上系统的发展	1
1.2 Xilinx 公司几种适合系统级设计的 FPGA	2
1.3 Altera 公司器件简介	4
1.4 FPGA 芯片结构举例	6
1.4.1 结构概述	6
1.4.2 输入输出模块	7
1.4.3 配置逻辑模块	10
1.4.4 块存储	11
1.4.5 可编程布线矩阵	12
1.4.6 时钟分配	14
1.4.7 边界扫描	16
第 2 章 Xilinx 可编程嵌入式系统的组成	18
2.1 片内微处理器软核 MicroBlaze 和硬核 PowerPC	18
2.1.1 片内微处理器软核 MicroBlaze	18
2.1.2 片内微处理器 PowerPC	21
2.2 片内系统组成及系统总线	25
2.2.1 系统结构	25
2.2.2 片内微处理器硬核 Power PC	26
2.2.3 系统中存储器地址分配	32
2.3 MicroBlaze 的几种系统设计方案	33
2.4 常用的 IP CORE 及设备驱动	37
2.4.1 普通目的 I/O 设备	37
2.4.2 外部存储器控制器	40
2.4.3 中断控制器	49
2.4.4 定时器/计数器	56
2.4.5 串行接口控制器	61
2.4.6 用户核模板	65
2.4.7 EDK 自由 IP Core 列表	67
2.5 软件平台及操作系统	68

第 3 章 可编程嵌入式系统工具介绍	71
3.1 嵌入式系统工具结构	71
3.1.1 工具结构总览	71
3.1.2 工具流	71
3.1.3 一些有用工具应用	74
3.2 Xilinx 平台工作室(XPS)	76
3.2.1 过程支持	76
3.2.2 工具支持	77
3.2.3 项目管理	77
3.2.4 XPS 接口	78
3.2.5 平台管理	79
3.2.6 软件应用管理	79
3.2.7 流工具设置和需求文件	80
3.2.8 工具调用	80
3.2.9 PBD 编辑器接口	80
3.3 基本系统创建器	81
3.4 创建周边设备向导	85
3.4.1 调用创建周边设备向导	85
3.4.2 创建新的外围设备	87
3.4.3 引入已存在的周边设备	94
3.5 平台生成器	97
3.6 仿真模型生成器	100
3.7 库生成器	104
3.8 平台指定应用	106
3.9 位流初始化	115
3.10 编程 Flash 存储器	115
3.11 GNU 编译工具	117
3.12 GNU 调试工具	119
3.13 Xilinx 微处理器调试器	121
第 4 章 EDK6.3i 使用指南	124
4.1 用 Base System Builder(BSB)建立新的工程	124
4.2 设计实现	133
4.3 在上面的工程中添加一个 IP CORE	136
4.4 添加应用软件	143
4.5 设置一个新的软件工程	144
4.6 用 IP Creation Wizard 创建一个用户 IP CORE Memory Controller	151
4.7 实现用户 IP 的 User Logic 部分	157

4.8 用 IP Creation Wizard 调入用户 IP Core	158
4.9 加用户 IP Core 到设计中	164
4.10 设计实现	171
4.11 应用软件	172
4.12 用 GNU Debugger 调试	182
第 5 章 设计实例	193
5.1 设计一个 USB 设备	193
5.1.1 设计方案	193
5.1.2 片内系统设计流程	196
5.1.3 编写 USB 设备驱动、应用软件,进行简单的数据传输	209
5.2 基于 FPGA 的 MP3 播放器参考设计	214
5.2.1 设计概述	214
5.2.2 系统总体框架及系统功能描述	215
5.2.3 MP3 算法	220
5.2.4 详细设计和实现	228
附 录 USB 设备固件源程序	247
(1) MainLoop. C	247
(2) EPPHAL. C	253
(3) ISR. C	254
(4) D12CI. C	261
(5) CHAP_9. C	268
(6) PROTODMA. C	278
(7) USB100. H	279
(8) MAINLOOP. H	286
(9) CHAP_9. H	291
(10) ISR_ H	292
(11) D12CI. H	292
(12) EPPHAL. H	294

第 1 章 概 述

1.1 可编程器件及可编程片上系统的发展

片上可编程系统技术的发展得益于可编程器件的发展。可编程器件(PLD)最早是在 20 世纪 70 年代开始出现的,目前可编程逻辑器件得到了快速的发展,已包括简单 PLD(SPLD)、复杂 PLD(CPLD)和现场可编程门阵列(FPGA)等各类器件。其共同特点是器件内部硬件资源可由用户借助计算机辅助设计方法进行硬件逻辑设计,并且可以反复擦写。在发现了硬件逻辑设计错误时不必像以往那样割线、改板等复杂的工作,而是在软件平台上改变设计、编译、下载就行了,改变硬件设计就像改变软件程序一样方便。因此提高了系统硬件设计的灵活性,并可缩短设计周期,降低设计成本,为复杂系统快速设计实现提供了可能。SPLD 和 CPLD 的主要区别在于其 SPLD 集成度较低,通常只有数百门的逻辑规模。SPLD 根据内部可编程阵列连线方式的不同,又可分为可编程逻辑阵列(PLA)、通用阵列逻辑(GAL)和 PROM 器件等。CPLD 基本上可视为多个 SPLD 的单片集成,它们普遍采用电可写编程技术,其规模可达十万门以上。SPLD 和 CPLD 的主要优点是器件内部延时可以预知,故容易消除竞争冒险,便于设计使用,但其可编程“与阵”和“或阵”结构使芯片内的逻辑功能受到限制,影响了设计的灵活性。20 世纪 80 年代中期出现的 FPGA 采用不同于 SPLD/CPLD 的结构,此类器件主要由可编程逻辑单元和可编程互连网络构成。逻辑单元用于实现各种逻辑和存储功能,并可通过互连网络相互连结,其最后形成的逻辑层次数目没有限制,因而能实现更复杂的逻辑。目前 FPGA 已成为应用最为广泛的一类 PLD 器件。

FPGA、CPLD 由于其优良的特点,目前在硬件设计中得到了非常普遍的应用。最早生产 FPGA 的厂家是美国的 Xilinx 公司,目前已有多家公司也在生产 FPGA,如 Altera、Lattice 和 Actel 等。

半导体工艺的进步使可编程器件的容量、速度、功能都有了巨大的发展,并且使得在一个芯片内进行系统级的设计成为可能。

Xilinx 目前主要有两大系列的 FPGA。一个系列是 Spartan,它是一种高性价比的产品,其最新产品 Spartan-3E 达到 10 万系统门售价低于 2 美元,是目前业界最低成本的一种 FPGA。价格的低廉使得产品具有更广泛的应用,也使其能够进入传统 ASIC 所占据的市场。另一个系列 Virtex 是 Xilinx 的高端产品,Virtex-IIPro 和最近推出的 Virtex-4 都是在 FPGA 芯片内嵌入了 PowerPC 硬 CPU 核。

半导体的深亚微米技术发展使得 PLD 的性能和密度能够满足系统一级的设计,即可以把 CPU、存储器、周边控制器等整个系统集成到一个芯片内,这样的技术被称作片上系统。片上系统可用 ASIC 专用集成电路实现,而目前发展得如火如荼的可编程片上系统(SoPC)已向 ASIC 展开了挑战。可编程片上系统(SoPC)具有片上系统(SoC)的特点,即由单个芯片完成整个系统的主要逻辑功能,同时,它又是可编程系统,具有灵活的设计方式,可重复修改,并具

备软硬件在线编程的功能。未来的一块电路板上可能只有两部分电路,即模拟部分(包括电源)和一块 PLD 芯片,最多还有一些大容量的存储器。随着 PLD/FPGA 规模不断扩大、CPU、DSP 和更大规模的存储器都已经或即将嵌入 PLD/FPGA 内。SoPC 的特点还可以根据实际应用的情况,对嵌入的 CPU 及软硬件系统进行配置和裁减,使其使用的资源得到最有效的利用。SoPC 系统必将得到更广泛的应用。目前 Xilinx、Altera 公司是可编程片上系统芯片的主要制造商。

半导体技术是可编程片上系统发展的前提。除此之外,嵌入式系统设计技术、软件系统技术及软硬件协同设计技术都涵盖在可编程片上系统技术之内。基于 ASIC 的片上系统已广泛用于视频、通信、军事等领域以及工业控制、计算机相关产品和消费类电子设备,如手机、数字电视等。由于 FPGA 的成本降低,加之 SoPC 能够解决 SoC 在设计复杂系统时面临的重复修改问题,所以 SoPC 在设计成本、上市时间等方面具有优势,特别适合于更新快、批量不是特别大的产品。

Xilinx 公司和 Altera 公司首先推出了 Micro Blaze、Nios 这样的 RISC 处理器 IP 核方案,将软核处理器集成到 FPGA 芯片内;Xilinx 的 Spartan 系列、Virtex 系列和 Altera 的 Cyclone、Stratix 器件都支持软核处理器方案,加之配套的片上系统开发工具及丰富的 IP 核资源,使得片上系统的设计提升到了系统级的设计水平,而不把主要精力放在设计某个设备的细节,以及伴随而来的新的仿真、调试技术上,这样开发周期将大大缩短。

SoPC 的另一种方案是在 FPGA 内嵌入了处理器硬核,如前面提到的 Xilinx 的 VirtexII-Pro、Virtex-4,在片内嵌入了 Power PC405;Altera 的 Excalibur 在片内嵌入了 ARM 处理器硬核;还有,把诸如 SRAM、DRAM、Flash、网络通信接口、串行通信接口、USB 接口、VGA 接口、PS/2 接口或其他专用接口等这些硬核直接嵌入到 FPFA 内部,将会节省 FPGA 的很多逻辑资源。这样就能使 FPGA 灵活的硬件设计和硬件实现与处理器的强大软件功能有机地结合,实现了高速度与编程能力的完美结合,高效地实现 SoPC 系统。

DSP 处理器也是 SoPC 的一个方向,然而随着技术的发展,一般的嵌入式处理器都具有 DSP 的功能,只是在选择器件时可以根据不同的需要选择不同特点的 FPGA。例如 Xilinx 的 Virtex-4,有 3 种型号,都具有 DSP 的功能,只是 Virtex-4/SX 在逻辑预算、嵌入式 CPU、及其他接口的基础上,更侧重于 DSP 功能。

1.2 Xilinx 公司几种适合系统级设计的 FPGA

1. Spartan 系列

Spartan 系列产品是 Xilinx 高性价比的一种 FPGA,适用于普通的工业、商业等领域。Spartan 系列包括:Spartan、SpartanXL、Spartan-II、Spartan-IIE、Spartan-3,其中 Spartan-II 最高可达 20 万系统门,Spartan-IIE 最高可达 60 万系统门,而 Spartan-3 性能就更高了,其密度可达 3 万门到 500 万门。

Spartan-II 是在 Spartan 系列的基础上,集成了更多的逻辑资源,达到更高的性能,并增加了更多功能。Spartan-II 系列具有数字延迟锁相环路、可编程 I/O 和片上块存储器等功能,芯片密度高达 20 万系统门。Spartan 系列从 Spartan-II 开始,具有高密度、高速度等特性;同时 Xilinx 还提供了包括存储器控制器、系统接口、DSP、通信、网络等 IP,并可以将 CPU

的软核集成到 FPGA 内部。Spartan - IIE 比 Spartan - II 具有更多的逻辑门、I/O 及更高的性能。Spartan - IIE 是基于 Virtex - E 架构,其特点包括可以达到 288 K 位的 BRAM,分布式 RAM 可达 221 184 位,19 个可选的 I/O 标准,4 个延时锁相环等,内核电压为 1.8 V,系统性能达到 200 MHz 以上,最大门数为 60 万门。

Spartan - 3 是目前 Spartan 系列的更高性能产品,基于 Virtex - II FPGA 架构,采用 90 nm 技术,8 层金属工艺,系统门超过 5 百万个。Spartan - 3 FPGA 结构将逻辑、存储器、数学运算、处理器、I/O 以及系统管理资源完美地结合在一起,使之能够得到更高层次、更广泛的应用。具有低成本,高性能的特点,其特性如下:

- ① 采用 90 nm 工艺;
- ② 密度高达 74 880 逻辑单元;
- ③ 340 MHz 系统时钟;
- ④ 核电压为 1.2 V, I/O 电压可为 1.2 V、3.3 V、2.5 V;
- ⑤ 18×18 乘法器;
- ⑥ 高达 1 872 K 位 Block RAM;
- ⑦ 520 K 位的分布式存储器;
- ⑧ 片上数字时钟管理(DCM);
- ⑨ Spartan - 3 器件具有嵌入式 XtremeDSP 功能,每秒可执行 3 300 亿次乘加;
- ⑩ Spartan - 3 器件支持 24 种主要的 I/O 标准。

2. Virtex 系列 FPGA

Virtex 系列是 Xilinx 的高端产品,包括 Virtex、Virtex - E、Virtex - II、Virtex - II Pro、Virtex - 4。

Virtex - II 的平台解决方案使它的应用进一步得到提升。Virtex - II 具有完全的系统时钟管理功能,包括 12 个 DCM 时钟管理器;Virtex - II 具有内置 IP 硬核技术,可以将硬 IP 核分配到 Virtex 的任何地方;具有更多的 Block RAM,每个器件内包含 192 个双端口 RAM,还可以配置 FIFO,包含 18×18 乘加器,从而提高了 DSP 的处理能力。它的 I/O 接口可以支持 20 多种 I/O 标准,采用先进的 $0.15 \mu\text{m}/0.12 \mu\text{m}$ CMOS 8 层金属混合工艺,内核电压 1.5 V,内部时钟可达 420 MHz。

Xilinx 公司推出的 Virtex - II Pro/ProX FPGA,采用 $0.13 \mu\text{m}$ CMOS、9 层全铜大量密度设计工艺,在 Virtex - II 的基础上,嵌入了最多可达 2 个高性能 RISC 技术、频率高达 400 MHz 的 PowerPC405 处理器,其中还包括了先进的主动互连(Active Interconnect),以解决高性能系统结构所面临的挑战。Virtex - II Pro 还嵌入了多个 3.125 Gbps 速率的 Rocket 串行收发器,为千兆以太网等高速串行接口标准提供了解决方案。Virtex - II Pro 还利用 IP 核植入技术嵌入了 18 KB 的双口 RAM、 18×18 乘加器和数字时钟管理单元。

Virtex - 4 系列是最新一代的 FPGA。Virtex - 4 FPGA 产品基于新的高级硅片组合模块(ASMBL)架构,提供一个多平台方式,使设计者可以特定的应用 Virtex - 4 三个不同类型的平台 LX、SX、FX,可提供高达 20 万逻辑单元和高达 500 MHz 的性能,具有 DCM 数字时钟管理器、PMCD 相位匹配时钟分频器、片上差分时钟网络,采用集成 FIFO 控制逻辑的 500 MHz SmartRAM 技术,每个 I/O 都集成了 ChipSync 源同步技术的 1 Gbps I/O 和 Xtreme DSP 逻辑片。

Virtex-4 LX 平台 FPGA 的特点是密度高达 20 万逻辑单元,是全球逻辑密度最高的 FPGA 系列,适合对逻辑门需求高的设计应用。

Virtex-4 SX 提高了 DSP 以及 RAM 单元与逻辑单元的比例,可以提供 512 个 XtremeDSP 切片(slice),每个切片可以 500 MHz,即 256 GigaMAC/s (18×18) 的速率工作。XtremeDSP 切片可配置创建 40 多种不同功能,与 Virtex-II Pro 器件相比又大大降低了功耗,使得 Virtex-4 SX 平台提供了比其他任何器件都高的单位成本 DSP 性能。Virtex-4 DSP 新的特性包括增加新的工作模式和功能,再与 SX 平台架构的其他优化相结合,可支持功能更强大的高级 DSP 功能。

Virtex-4 FX FPGA 可嵌入 1~2 个 32 位 RISC PowerPC 处理器,可以提供 4 个 1 300 Dhrystone MIPS、10/100/1 000 Ethernet MAC 内核,适合于嵌入式处理应用。协处理器控制器单元(APU)允许处理器在 FPGA 构造中执行专用指令。APU 控制器使 FX 器件的性能大大提高,达到固定指令方式的 20 倍。Virtex-4 FX FPGA 还包括多达 24 个 RocketIO 高速串行收发器,其性能范围是 600 Mbps~11.1 Gbps,因此可提供高速串行性能。FX 平台器件集成的 RocketIO 收发器支持所有主要的高速串行传输数据速率,包括 10、6.25、4、3.125、2.5、1.25 和 0.6 Gbps。

1.3 Altera 公司器件简介

Altera 公司的产品有 MAX、MAX II 架构的 CPLD,结构化的 ASIC,低成本的 cyclone、cycloneII 系列 FPGA,高密度的 Stratix、StratixII 系列 FPGA,应用于高速收发的 Stratix GX、Stratix II GX 系列 FPGA,以及具有嵌入式硬核的 Excalibur。

1. MAX、MAX II 系列

MAX、MAX II 系列是低成本的 CPLD,MAX 3000A 密度为 32~512 个宏单元。MAX 3000A 器件支持在线可编程能力,能够轻松地实现现场重配置。每个 MAX 3000A 宏单元都可以独立地配置成顺序或组合逻辑操作。MAX II 器件和 MAX 器件相比,成本减半,功耗只有后者的十分之一,并具 4 倍的密度和 2 倍的性能。

2. Cyclone 系列

Cyclone 系列是低成本的 FPGA,全铜工艺的 1.5 V SRAM 工艺,最高达 20 060 个逻辑单元和 288 K 位的 RAM。Cyclone 系列的 FPGA 还集成了许多复杂的功能。Cyclone 系列 FPGA 提供了全功能的锁相环(PLL),用于板级的时钟网络管理和专用 I/O 接口,这些接口用于连接业界标准的外部存储器器件。Altera 的 NiosII 系列嵌入式处理器的 IP 资源也可以用于 Cyclone 系列 FPGA 的开发。设计者只需下载 Altera 提供的完全免费的 Quaryus II 网络版开发软件就可以马上进行 Cyclone 系列 FPGA 的设计和开发。

3. Stratix、Stratix II 系列

Stratix 系列是高密度的 FPGA 产品,采用了 1.5 V 内核,0.13 μm 全铜工艺,内部有 10 570~79 040 个逻辑单元,928 440 位的 RAM,高速的 DSP 模块包括硬件乘法器、加法器、减法器、累加器和流水线寄存器,各个功能单元之间有专用的走线。通过优化设计,DSP 模块可提供高达 2.0 GMACS 的 DSP 性能,并且具有尽可能小的布线拥塞。Stratix 器件中的 TriMatrix 存储结构具有三种不同的嵌入存储模块尺寸,实现双口 RAM 和先进先出的 FIFO

缓存。Stratix 还支持高速外部存储、66 MHz、33 MHz PCI 总线标准设备、多种高速接口标准,包括 10 G 位以太网(XSBI)、SFI-4、POS-PHY Level 4(SPI-4 Phase 2)、HyperTransport™、RapidIO™和 UTOPIA IV 标准,并支持远程配置。

Stratix 系列 FPGA 先进的架构特性非常适合于嵌入式处理器的应用,并可以嵌入多个 Nios II 处理器内核。Nios II 系列嵌入式处理器提供三种处理器内核:高性能的内核(超过 200 Dhrystone MIPS(DMIPS))、低成本内核(低至 35 美分的逻辑占用)和性能/成本适中的标准内核。

Stratix II 系列 FPGA 是 Stratix 系列的升级,采用 TSMC 的 90 nm、低 k 绝缘工艺技术制造,具有自适应逻辑分配架构,提供了双倍的逻辑密度,逻辑单元达 15 600~179 400 个。Stratix II 器件支持 500 MHz 的内部时钟频率,高达 9 383 040 位的 RAM,嵌入式 TriMatrix 存储器达到 9 M 位,96 个高速的 DSP 模块,比 Stratix 器件多出 4 倍 DSP 带宽。Stratix II 器件还针对器件整体能力进行了优化,降低了成本。Stratix II 采用 128 位高级加密标准(AES)及非易失密钥进行配置流加密的 FPGA,密钥安全存储在 FPGA 中,不需要电池支持,不占用逻辑资源。Stratix II 还具有 1 Gbps 源同步 I/O 信号用于专用串化/解串(SERDES)电路,支持差分 I/O 信号电平,包括 HyperTransport™技术、LVDS、LVPECL 以及差分 SSTL 和 HSTL,支持专用电路中最新的外部存储器接口,如 DDR2 SDRAM、RLDRAM II 和 QDR II SRAM 器件,充足的带宽和 I/O 引脚支持与多个标准 64 位或者 72 位、168/144 引脚 DIMM 的接口,具有混合宽度数据和混合时钟模式,为器件提供高达 12 个片内锁相环(PLL)和电路板时钟管理。由于 Stratix II 器件系列新的体系结构优势,Nios II 处理器能力进一步增强,性能超过 200 DMIPS。

4. Stratix GX、Stratix II GX 系列

Altera 推出的 Stratix GX 器件,在 Stratix 的基础上,具有 Stratix 所有的特性,包括 TriMatrix™存储器、DSP 块以及为加强数据通道处理功能设立的时钟管理电路。除此之外,还嵌入了集成收发器。Stratix GX 器件包括多达 20 个全双工收发器通道,每个通道都能以最小的功率在高达 3.125 Gbps 下工作。Stratix GX 器件是实现接口协议(如 SerialLite)、10 G 位以太网附加单元接口(XAUI)和速率高达 3.125 Gbps 专用功能的理想选择。

Stratix II GX 是在 Stratix II 体系结构的基础上,集成了多达 20 个基于串化器/解串器(SERDES)的收发器。收发器可在 622 Mbps~6.375 Gbps 的范围内工作。此外,收发器的物理编码子层(PCS)模块具有独特的数字特性,可支持多种广泛使用的协议,如 PCI Express 等,该系列为不断增长的高速串行 I/O 应用和协议提供功能强大的解决方案。

5. Excalibur™系列

Altera 的 Excalibur™系列 FPGA 在采用了 APEX20KE 逻辑结构的基础上,嵌入了 ARM922T32-bitRISC 处理器内核,运行速度高达 200 MHz,其包含的逻辑单元从 10 万门到 100 万门。除了处理器内核和它相关的缓冲和存储管理单元外,基于 ARM 的 Excalibur 器件包括外加的内部 SRAM 和 DPRAM 存储器,单口 RAM 可达 256 K 位,双口 RAM 可达 128 K 位。具有先进的微处理器总线结构的高性能 AHB,嵌入了可编程在线周边,通用的串行收发器,外部存储控制器和软件调试的 JTAG 接口,配套的功能强大的系统级芯片开发工具,可进行系统级的开发及分析编译。

1.4 FPGA 芯片结构举例

1.4.1 结构概述

每一种系列 FPGA 的内部结构都有其特点,但 FPGA 的组成有它们的共同点,大的组成结构是类似的。

下面以 Spartan - IIE 型号为例,介绍 FPGA 的内部组成结构。

Spartan - IIE 用户可编程逻辑阵列如图 1 - 1 所示,主要由如下五个可重新配置的部分组成:

- ① IOBs 提供封装引脚与内部逻辑之间的接口;
- ② CLB 提供实现 FPGA 的绝大部分逻辑功能;
- ③ BlockRAM 用于实现 FPGA 内部的随机存取;
- ④ 各种结构通用互连资源;
- ⑤ DLL 用于提供灵活的时钟管理功能。

如图 1 - 1 所示,CLB 组成了中央逻辑结构,可以容易地访问布线资源。IOB 模块放置在所有的逻辑和存储单元的周围,以便信号能够简便快速地进出芯片。存储在内部静态存储单元的配置数据决定了 FPGA 里面的逻辑功能和互连。这些数据在通电的时候装载到存储单元,且在必要的时候可以重新载入以改变器件的功能。

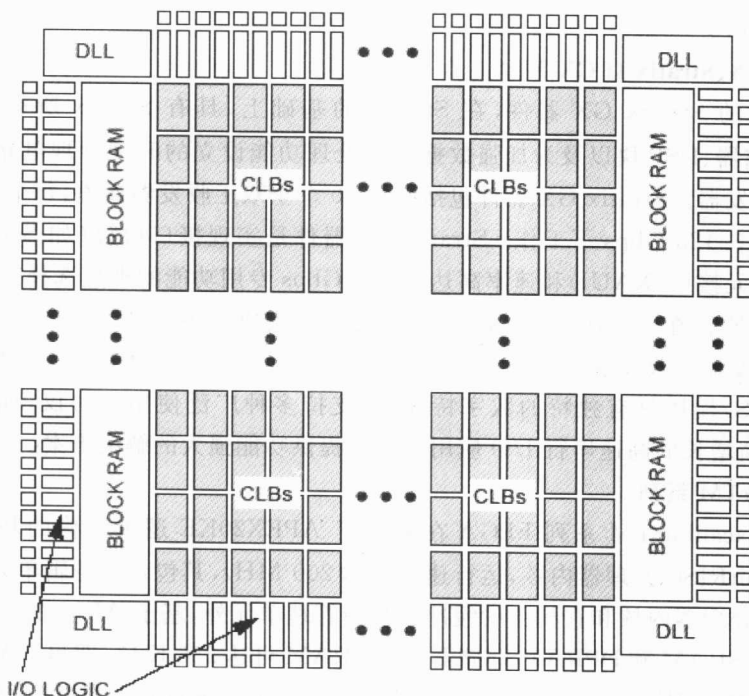


图 1 - 1 FPGA 内部组成

1.4.2 输入输出模块

如图 1-2 所示,在 Spartan - IIE 系列产品中,IOB 模块的输入输出接口支持种类很宽的 I/O 信号接口标准,这些高速输入输出设备支持各种各样的存储和总线接口标准。

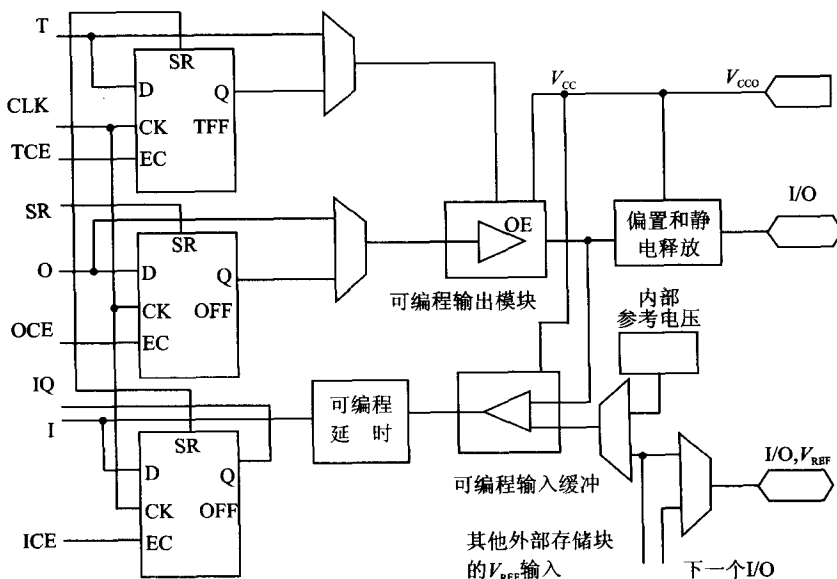


图 1-2 输入输出模块图

电压相同是接口标准兼容的基本条件。表 1-1 列出了一些可以兼容的接口标准。在 IOB 模块中,三个内部寄存器可以实现 D 触发器和锁存器,它们共享一个时钟信号(CLK)和置位/复位信号(SR),并具有独立的使能信号(CE)。

表 1-1 输入输出接口标准

I/O 标准	V_{REF} (输入参考电压)/V	V_{CCO} (输入电压)/V	V_{CCO} (输出源电压)/V	V_{TT} (板极限电压)/V
LVTTL (2~24 mA)	N/A	3.3	3.3	N/A
LVC MOS2	N/A	2.5	2.5	N/A
LVC MOS18	N/A	1.8	1.8	N/A
PCI (3 V, 33 MHz/66 MHz)	N/A	3.3	3.3	N/A
GTL	0.8	N/A	N/A	1.2
GTL+	1.0	N/A	N/A	1.5
HSTL Class	0.75	N/A	1.5	0.75
HSTL Class III	0.9	N/A	1.5	1.5
HSTL Class IV	0.9	N/A	1.5	1.5
SSTL3 Class I and II	1.5	N/A	3.3	1.5
SSTL2 Class I and II	1.25	N/A	2.5	1.25
CTT	1.5	N/A	3.3	1.5
AGP	1.32	N/A	3.3	N/A
LVDS, Bus LVDS	N/A	N/A	2.5	N/A
LVPECL	N/A	N/A	3.3	N/A

对每个寄存器来说,这些信号都可以独立的配置成同步置位、同步复位、同步预复位或者同步清零。有一个在版图上并不体现,但受软件控制的重要特性是极性控制。所有的输入/输出缓冲以及所有的 IOB 模块控制信号都有独立的极性控制。

每个焊盘连接可选的上拉或者下拉电阻和可选的弱保持电路。在配置之前,所有不包括在配置里的输出要在高阻抗状态,下拉电阻和弱保持电路是无效的,但输入可以被拉起。完成配置之后,箝位二极管跟 V_{CC0} 相连。

1. 输入路径

在 Spartan - IIE 系列产品中,IOB 的外部信号输入通路上包括一个缓冲器,用于控制外部输入信号是否直接进入。与触发器 D 输入相连的一个可编程延迟单元可消除焊盘到焊盘的保持时间。这个延迟要与 FPGA 的内部时钟分配延迟相匹配,且确保焊盘到焊盘保持停留时间为零。

每个输入缓冲器可配置为与任何支持低电压信号的标准相一致。对某些标准来说,输入缓冲器利用了一个由用户提供的极限电压,称为 V_{REF} 。支持 V_{REF} 的需要限制了能被近似应用的标准的选择。配置之后,每个用户输入有上拉、下拉电阻选择。

2. 输出路径

输出通路包括一个三态输出缓冲器,它驱动焊盘上的输出信号。内部信号可以直接输出到缓冲器,也可以通过一个 IOB 输出触发器。三态缓冲器控制了输出直接从片内或者通过一个触发器输出,这个触发器提供同步使能和禁止信号。每个输出的驱动器均可独立编程,以适应低压信号标准的宽范围。每个输出缓冲器输入 24 mA,输出 48 mA。

对大部分信号标准来说,高输出电压取决于外部电压 V_{CC0} 。 V_{CC0} 的需要限制了能够近似应用的标准的选择。每个输出都与可选的弱保持电路相连,一旦该电路被选中,它监控焊盘上的电压,并微弱地驱动引脚电压的高低以满足输入信号。如果引脚与一个多源信号相连,在所有驱动器不允许的时候,弱保持电路将保持信号的最后一个状态。这样保持一个有效的逻辑电平有助于消除总线干扰。由于弱保持电路用到 IOB 输入缓冲器去监控输入电平,当信号标准需要的时候必须提供合适的 V_{REF} 电压。这些电压应该遵从 I/O Bank 的排列规则。

3. I/O 组

上面提到的 I/O 标准中有些要求 V_{CC0} 或者 V_{REF} 电压。这些电压从外部接至器件引脚以供给 IOBs 组。因此,哪一个标准被并入到给定的组是存在限制的。

如图 1-3 所示,FPGA 的每个边分成两组从而形成 8 个组,输出引脚表显示了每个 I/O 的从属关系。每个组有多个 V_{CC0} 引脚,都必须连接于同一电压。这是由实际应用的输出标准决定的。

在 TQ144 和 PQ208 封装中,八个 Bank 的 V_{CC0} 电压必须保持一致;不过 V_{REF} 电压还是可以不同。

在同一个组里面,输出标准能够被混合取决于它们的 V_{CC0} 电压是否相同。Spartan - IIE 系列产品中可以兼容的输出接口标准如表 1-2 所示。所有的电压都支持 GTL 标准和 GTL + 标准,这是因为它们的漏级开路输出并不依赖于 V_{CC0} 电压。对大部分输出接口标准以及 LVTTTL、LVCMOS 和 PCI 输入接口标准而言,电压 V_{CC0} 是必需的。有些输入标准需要一个用户提供临界电压 V_{REF} 。这样的话,某些用户 I/O 管脚会被自动配置成电压 V_{REF} 输入。大概有六分之一的 I/O 插脚扮演这种角色。

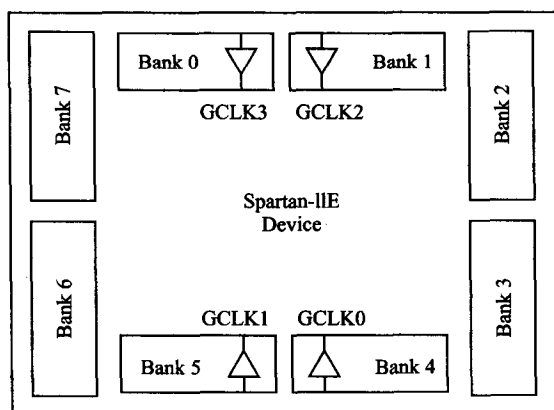


图 1-3 Spartan I/O 模块

表 1-2 兼容的接口标准

V_{CCO}/V	兼容标准
3.3	PCI, LVTTL, SSTL3 I, SSTL3 II, CTT, AGP, LVPECL, GTL, GTL+
2.5	SSTL2 I, SSTL2 II, LVCMOS2, LVDS, Bus LVDS, GTL, GTL+
1.8	LVCMOS18, GTL, GTL+
1.5	HSTL I, HSTL III, HSTL IV, GTL, GTL+

如表 1-3 所列, Bank 内部的 V_{REF} 插脚相互连接从而每个组仅可用一个 V_{REF} 电压。为正确操作, 所有的 V_{REF} 插脚必须与外部电压相连。在一个组里, 需要 V_{REF} 的引脚能够和那些不需要 V_{REF} 电压的引脚混在一起。每个组的 V_{CCO} 电压和 V_{REF} 电压相应的引脚出现在输出引脚表和图中。对给定的封装, V_{CCO} 和 V_{REF} 的引脚数目取决于器件的尺寸大小。

对于大的器件, 将会有更多的 I/O 引脚转换为 V_{REF} 引脚。因为总存在一大批 V_{REF} 引脚用于小器件, 这样设计一个 PCB 板, 必要时向更大的器件迁移是可能的。预期的大器件的所有 V_{REF} 引脚跟电压 V_{REF} 相连而不用作 I/O。

表 1-3 I/O 块

Package	TQ144, PQ208	FT256, FG456, FG676
V_{CCO} Banks	内部连接为一致	8 个独立块
V_{REF} Banks	8 个独立块	8 个独立块

4. 热插拔支持

I/O 插脚依照 PCI 总线 v2.2 规范, 可以支持热交换——或者称为热插拔。因此, 断电的 Spartan-IIE FPGA 可直接插在工作的系统或者底板而不会对双方造成任何损害。一些型号如 XC2S150E、XC2S400E 和 XC2S600E 有热交换功能; 其他的 Spartan-IIE 系列同样具有热交换功能。要支持热交换, Spartan-IIE 器件必须具有如下 I/O 特征:

① 在给 FPGA 的 V_{CCINT} 或 V_{CCO} 供应输入之前信号能够传到 Spartan - IIE I/O 引脚。

② Spartan - IIE I/O 引脚在通电以及通过上拉电阻进入配置模式下配置程序之前呈高阻态(例如三态门)。没有从 I/O 插脚到电压 V_{CCINT} 或者 V_{CCO} 电压的通路。

③ 热交换期间, Spartan - IIE 系列 FPGA 是锁定的。

一旦跟系统相连, 每个插脚会增加一个很小的电容(CIN)。同样, 每个 I/O 将消耗一个小数目的直流电量, 即输入漏电(IL)。在输入插脚电压高于 $V_{CCO}=0.4\text{ V}$ 的时候, 同样会有延续时间不超过 10 ns 的小数量的交流漏电。在最后一帧配置数据期间每个用户 I/O 插脚的弱保护电路被使能, 它对受活动的驱动或者强力上拉或者下拉电阻控制的系统信号不造成明显的影响, 但不受控制或者不固定的系统信号将受影响, 这种效果取决于 I/O 插脚如何配置。配置成输出或者输出使能的用户 I/O 插脚有一个弱上拉电阻跟 V_{CCO} 相连; 配置成输出或者双向 I/O 的用户 I/O 插脚有一个弱下拉电阻。倘若弱保护电路在配置程序不使用, 在 DONE 插脚电压过高时将自动关掉。

1.4.3 配置逻辑模块

逻辑单元(LC)是 Spartan - IIE CLB 模块的基本结构。一个 LC 包括一个 4 输入函数发生器、进位控制逻辑和一个存储元件。在 LC 中, 每个函数发生器的输出既可以驱动 CLB 的输出, 也可以驱动 D 触发器的输入。每个 Spartan - IIE CLB 包含 4 个逻辑单元, 组织在 2 个相似的逻辑片(Slice)中, slice 的内部结构如图 1-4 所示。

除了 4 个基本的 LC 外, 在 Spartan - IIE 系列产品的 CLB 还包含使函数发生器提供 5 或 6 输入的函数的逻辑。

1. 查找表

Spartan - IIE 的函数发生器可实现 4 输入查找表。每个查找表可以提供 16×1 位同步 RAM。此外, 每个 slice 的两个 LUT 能够组合起来实现 16×2 位或者 32×1 位同步 RAM 或 16×1 位双端口同步 RAM。

LUT 同样能够实现一个 16 位移位寄存器, 能够理想地捕获高速或者突发模式的数据。在诸如数字信号处理的应用中, 这些模式用来存储数据。

2. 存储元件

如图 1-4 所示, Slice 里面的存储元件可以配置为边缘触发的 D 触发器或者电平敏感的锁存器。D 触发器的输入能被同一 slice 的函数发生器的输出驱动, 也可以直接来源于 slice 的输入而绕过函数发生器。除了时钟以及时钟使能信号, 每个 slice 有一个同步置位(SR)以及一个同步复位(BY)信号。

SR 使一个存储单元初始化成配置那样, BY 则使它变成相反的状态。这两个信号可被配置成异步操作模式。所有的控制信号都独立取反, 且被 slice 的两个触发器共享。

3. 附加逻辑

如图 1-5 所示, 每个 slice 的多路复用器 F5 连接函数发生器的输出, 可以实现一个 5 输入函数发生器或者一个 4:1 多路复用器或者一个 9 输入选择函数发生器。类似地, F6 连接 4 个函数发生器的输出, 在两个 F5 中选择其一, 这就实现了一个 6 输入函数发生器, 或者 8:1 多路复用器, 或者一个 19 输入选择器。