

# 数字集成电路与 嵌入式内核系统的测试设计

## Design-for-Test

for Digital IC's and  
Embedded Core Systems

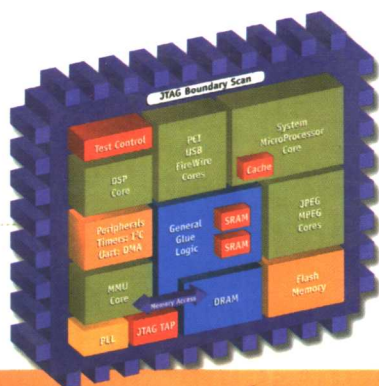
(美) Alfred L. Crouch 著

何虎 马立伟 等译

孙义和 审校

## DESIGN -FOR- TEST

FOR DIGITAL IC'S AND EMBEDDED CORE SYSTEMS



ALFRED L. CROUCH



机械工业出版社  
China Machine Press

电子与电气工程丛书

TN431.2  
83D

# 数字集成电路与 嵌入式内核系统的测试设计

**Design-for-Test**  
for Digital IC's and  
Embedded Core Systems

(美) Alfred L. Crouch 著

何虎 马立伟 等译

孙义和 审校



机械工业出版社  
China Machine Press

本书论述集成电路与嵌入式数字系统的测试技术, 提出许多重要且关键的解决方案。针对目前在测试中遇到的实际问题, 从技术和产品的投资成本上论述嵌入内核和SoC的测试问题。

本书适合作为高等院校相关专业本科生、研究生的教材或参考书, 也可供相关专业技术人员参考。

Authorized translation from the English language edition entitled *Design-for-Test for Digital IC's and Embedded Core Systems* (ISBN: 0-13-084827-1) by Alfred L. Crouch, published by Pearson Education, Inc, publishing as Prentice Hall PTR, Copyright © 1999 by Prentice Hall PTR.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanic, including photocopying, recording, or by any information storage retrieval system, without permission of Pearson Education, Inc..

Chinese simplified language edition published by China Machine Press.

Copyright © 2006 by China Machine Press.

本书中文简体字版由美国Pearson Education培生教育出版集团授权机械工业出版社独家出版。未经出版者书面许可, 不得以任何方式复制或抄袭本书内容。

**版权所有, 侵权必究。**

**本书法律顾问 北京市展达律师事务所**

**本书版权登记号: 图字: 01-2005-1170**

### **图书在版编目(CIP)数据**

数字集成电路与嵌入式内核系统的测试设计 / (美) 克拉茨 (Crouch, A. L.) 著; 何虎等译. -北京: 机械工业出版社, 2006. 5

(电子与电气工程丛书)

书名原文: Design-for-Test for Digital IC's and Embedded Core Systems

ISBN 7-111-18706-7

I. 数… II. ①克… ②何… III. ①数字集成电路-测试-设计 ②微计算机系统-测试-设计 IV. ①TN431.2 ②TP368

中国版本图书馆CIP数据核字(2006)第022862号

机械工业出版社(北京市西城区百万庄大街22号 邮政编码 100037)

责任编辑: 乔翠梅 刘晖

北京京北制版印刷厂印刷·新华书店北京发行所发行

2006年5月第1版第1次印刷

184mm × 260mm · 18.75印张

定价: 38.00元(附光盘)

凡购本书, 如有倒页、脱页、缺页, 由本社发行部调换

本社购书热线: (010) 68326294

# 译者序

集成电路发展到今天的系统芯片 (System on Chip, SoC) 时代, 遇到的最为棘手的问题是SoC 芯片的可测性问题和测试方法问题。根据现有的数字系统可测性设计理论和度量方法, 数字系统的可控制性和可观测性与系统的电路结构和数据传输路径的长度有关, 而它的测试复杂度 (测试向量长度和宽度以及所能达到的测试出故障覆盖率) 与系统内部存在的逻辑电路环路长度、环路数量以及环路嵌套级数成正比。系统内部环路长度越长, 则测试复杂度越高, 系统内部环路数量越多以及环路嵌套级数越多, 则测试复杂度和难度也越大, 并且它们之间的关系是指数性增长关系。

SoC测试又称为微系统芯片测试, 它是制造SoC的一部分, 以确保SoC物理芯片从内核或IP模块的整合、综合、集成直到制造 (含封装) 毫无缺陷。微系统芯片 (或IP模块) 测试是对集成 (或包装) 起来的电路或模块进行检测, 它是通过测量系统芯片的输出响应与预期输出做比较, 以确定或评估SoC产品的功能和性能的过程, 是验证设计、监控生产、保证质量、分析失效以及指导应用的重要手段。

本书论述了数字系统在进行嵌入时所遇到的多方面测试问题, 并提出许多重要且关键的解决问题的方案。作者Alfred L. Crouch不是去论述许多测试课题研究的理论问题, 而是针对目前在业界测试中遇到的实际问题, 从技术上、产品的投资成本上论述嵌入内核和SoC的测试问题。Alfred L. Crouch现为Inovys公司测试方面首席科学家, 他长期从事测试方法研究和产品开发, 特别是在结构测试和DFT方面有非常丰富的实际开发经验和独到的见解, 因此本书的内容基本是实践经验的总结, 很有学习和参考价值。正如作者在前言中所讲的那样: “历史和经验告诉我, 有效的教材必须把内容与设计方法同设计流程结合起来。” “经验告诉我, 一本直接讲述‘怎么做’的教材是更有效的。” 这也是译者翻译本书的初衷。我们将本书引入并翻译成中文, 就是要使我们的学生、业界的同行们从中学习许多关于集成电路测试、特别是关于IP集成及测试、嵌入内核后的SoC测试技术, 收到实际的学习效果。

参加本书翻译的有何虎、马立伟、杨旭、殷树娟、沈钰等, 孙义和教授译校全书。本书翻译得到本校周润德教授的支持, 在此表示感谢。同时感谢机械工业出版社华章公司在本书的出版过程中给予的大力支持。本书承蒙国家自然科学基金和北京市科学技术委员会重大科技项目的支持。

由于译者水平有限, 难免在翻译上有不妥之处, 请读者批评指正。

译者

2005年11月

于清华大学

# 前 言

本书主要为集成电路设计工程师和项目经理，特别是为测试和可测性设计（DFT）工程师和项目经理而著。本书也可为数字集成电路设计与测试的学生学习所用。本书的目标是介绍测试和可测性设计的基本概念，并从权衡工程预算（芯片面积、目标工作频率、功耗等）、商业驱动、成本要素得失的角度来探讨处理这些概念的应用。

现在有许多优秀的测试和可测性设计教科书。然而，这些书大都是学术性的著作。自从从事集成电路设计工作以来，需要为很多IC设计人员和初级DFT工程师做测试和可测性设计方面的培训。我发现企业的教育与学生的教育有很大不同。一个在项目中需要学习和使用DFT技术的工程师，在学习的同时，还必须负责每周超过60小时的设计任务，且要满足设计截止日期要求。在这种情况下，很难通过一本重点放在“数学”或“理论”方面的教科书来学习DFT技术。经验告诉我，一本直接讲述“怎么做”的教材是更有效的。

企业竞争环境的另一个特点是设计过程高度分工。芯片或芯片局部的整个设计流程不再由一个设计工程师而是由设计团队来负责。例如，逻辑门单元可能由一个团队来设计，同时为其设计特性（标准单元和库的开发），另一个团队完成芯片设计的建模和综合（HDL设计和综合），再一个团队负责验证（形式验证和仿真验证），还有一个团队负责将设计映射到物理过程（布局布线，物理设计）。在这种情况下，DFT技术的教学必须分散到负责整个设计的不同组织。如果不把任务、调度、权衡、模块划分等内容与不同组织单元联系起来，DFT技术的教学（如扫描设计）的效率就不会很高。历史和经验告诉我，有效的教材必须把内容与设计方法同设计流程结合起来。

本书的风格是偏向实际应用，其内容源自于企业培训与教学的直接经验，包括了扫描测试、嵌入式存储器测试和嵌入式内核测试等测试和可测性设计内容。这本教材以“你只需要知道什么，怎么去做”为指导原则讲述课程，解释权衡，分析设计流程。我希望通过采用这本教材，可以缩短使用测试和可测性设计技术的学习曲线，有助于开发出高质量、高可靠性、低测试成本的设计。

由于以下几个原因，需要一本从行业的角度讨论DFT技术的实用教材。首先，在很多高产量低售价的消费类电子市场，“测试成本”开始成为芯片制造的常规成本的主要部分。其次，越来越短的产品寿命周期，上市时间（TTM）与量产时间（TTV）越来越大的压力使得在整体设计方法中给产品加入结构化的、可重复的、自动的测试特性成为必需。第三，为应对工艺几何尺寸缩小和上市时间的压力，出现了两个新的趋势，重用内核与基于内核设计芯片，这就需要在设计时增加内嵌的测试特性来提高可移植性，因为这些设计单元可能分布和重用

在不同的芯片里，使用完全不同的配置环境。最后，工艺几何尺寸的缩小使得系统芯片和甚大规模集成电路（ULSI）成为可能，更多的集成意味着更多的故障和更多的向量，这将导致测试数据管理和测试成本出现更多的问题。

总的来说，这些半导体设计工业中的变化也改变了对测试和可测性设计的看法、处理与实现。由于测试成本、上市时间、量产时间、大量测试数据和商业内核测试等问题，许多曾经忽视DFT的组织现在被迫进入芯片设计新时代。测试已经成为数字半导体集成电路制造和销售中三个主要的经常成本之一（另外两个分别是芯片面积和封装）。设计每一个产品，都必须在品质等级和目标成本之间作出权衡。我希望本书能够消除那些在芯片设计中必须应对成本管理的组织和个人的错误观念，他们认为理解测试成本并在产品设计阶段中运用DFT技术是一种“玄术”。

如果您有疑问或评论，可以通过Al\_Crouch@prodigy.net和我联系。

## 致谢

如果没有很多人的帮助，本书可能永远也不能结稿。我想感谢我的两位导师Greg Young和Andy Halliday，是他们教导我学习这门课并成为可测性设计的专家。如果不是应用于真正的芯片设计，本书中介绍的有关测试技术和权衡的知识和数据是很难收集起来的。在这结稿之时，我要感谢Motorola ColdFire DFT团队和其他在Motorola中和我一起工作过的专家们为本书付出的艰苦工作、大力支持与无私奉献，他们是：Renny Eisele、Teresa McLaurin、John Potter、Michael Mateja、Dat Tran、Jennifer McKeown、Jim Johnson、Matthew Pressley、Clark Shepard、Bill Underwood和Jason Doege。我要感谢Mentor Graphics的Janusz Rajski和Pat Scoggin，是他们鼓励我，让我相信这些内容可以成为一本好书（并且我能成功）。我要感谢我的审阅者，来自Illinois大学的Elizabeth Rudnick和来自Texas大学的Nur Touba。

# 本书导读

本书包括了各种信息，虽然我很希望每一位读者都能如饥似渴地从头读到尾，但是很可能大部分读者只是有兴趣阅读他们需要的部分段落或章节。因为在实际应用中，可测性设计是相互交织和相互关联的技术，测试和可测性设计技术不可能存在于完全不考虑其他测试技术的真空中。例如，在一个包含了逻辑与存储器的简单芯片的扫描测试结构中，就需要考虑扫描结构同存储器阵列与存储器测试结构之间的相互作用。所以，扫描技术的学习应该结合存储器技术的学习。我尽量避免不同的章节重复相同的内容，并制作了使用本书的导读。这就是说，只对芯片级扫描测试感兴趣的读者的确需要为了学习扫描而去阅读不同的章节。

在此，我要为本书口语似的行文风格致歉。我习惯用行话与土语表达观点。由于本书采用“公司”或“商业”的视角，我使用的大都是我在工作中学到的语言，可能没有学术术语那么规范。坦白地说，书中的内容都是我在实际工作中学习得到的，在项目进度压力迫在眉睫的时候，应用DFT技术总结出来的，我没有精力去阅读学术文献，学习文字艺术（或是科学）。

## 主要内容

本书包括五章，按目录的顺序排列是：测试基础、自动测试图形生成（ATPG）、扫描、存储器测试和内核。每章概要如下：

第1章包括有关测试的术语、定义和基本信息，介绍了什么是测试和可测性设计，怎么做测试，为什么做测试，需要测试的对象是什么，怎么度量与实施测试，使用什么设备测试，工程和成本权衡的内因是什么。这是非常基础的一章，可以让初学者或初级测试与可测性设计专业人员快速了解测试的需求、作用和语言。

第2章介绍繁重的向量生成任务的自动化过程，以及如何利用自动测试图形生成（ATPG）方法减小量产时间。该章描述了AC（动态）和DC（静态）故障模型向量生成分析与技术，包括了在硬件设计中必须遵守某些规则的原因，如何降低向量集合的大小，向量集合生成的时间等内容。本章同时也讨论了ATPG过程中的度量和权衡，介绍了不同ATPG工具的评估和基准程序比较，帮助读者在应用中选择适用的方法和工具。

第3章讲述扫描测试方法，开始先介绍了扫描设计和操作的基本知识，讨论了采用一个扫描设计时需要考虑的设计要点与权衡。同时也包括了在设计中的扫描安装技术，以及一些普遍问题的解决方法，例如可靠移位、无竞争向量、移位定时、时钟偏差。最后，介绍了一些减少测试时间的技术，如按照额定功能频率对扫描结构进行移位（全速扫描），以及从设计的定时分析中抽取关键路径信息，然后在扫描链中使用额定频率采样（AC扫描），从而通过扫

描来达到AC测试目标。

第4章讲述存储器测试、扫描测试结构中的存储器应对方法和存储器内建自测试(MBIST)。该章从存储器测试基础讲起,扩展到与扫描共存的测试结构,最后描述内建自测试结构与集成。内建自测试的存储器内核交付要包含很多信息,包括如何处理大量存储器内核集成,如何减少路由的问题、功耗问题,特征提取,数据调试,数据保存问题。

第5章介绍使用可测试与可访问的嵌入式内核进行可测性设计。该章先介绍了被称作“嵌入式IP(智能模块)”,嵌入式内核或基于内核的设计风格的基本术语、定义、内容、权衡。基于嵌入式内核的设计流程包括两个方面,设计可测试可重用的内核,使用嵌入式可重用内核设计芯片。学习该章需要深入理解第1、3、4章的内容。

## 本书内容组织方式

粗略看来,本书的组织有点奇怪。每章都有许多图片,这些图片选自我讲课的幻灯片(附赠光盘中含有所有彩色的图片)。你会发现,有时,图片和书中内容是相关的,图片会更好解释书中内容;然而有时图片并不直接和书中内容相关,有时图片独自叙述一段内容。这是由讲稿材料的本身特点决定的,讲课的图片不能太复杂和繁琐,那会困扰听众,可是阅读图书的读者需要复杂的图片供学习时思考和分析。由于本书是测试和可测性设计方面初步的和实际的教程,我决定把讲课用的幻灯片作为图片插入,而没有替换成复杂的图表。

本书的内容组织也采用了我讲述DFT课程时候的方式。当我讲述系统课程时,我通常从测试的基础信息和语言开始,然后转到测试图形生成。在这两项内容的基础上,我开始讲扫描测试和存储器测试的内容,并把扫描与存储器测试作为嵌入式内核测试的基础。当然,有时我也应邀讲述独立的ATPG、扫描、存储器测试、嵌入式内核测试课程。

我未敢奢望这本书成为经典教材(也不希望被视为一本肤浅的书)。我使用本书的内容教授了很多课程,现在,我会列举我认为需要进行学习的最为普遍的课程内容,并勾划使用本书的“路径”。这些课程可归入“应用”和“管理”类别,内容包括测试基础、嵌入式内核、扫描、内建自测试、ATPG工具选择和存储器测试。

对于设计和可测性设计工程师而言,最重要的信息是如何构建测试方法,如何实现特定的DFT技术,技术如何影响设计预算,为什么需要这些技术(很多情况下,DFT工程师需要“如何有效地进行论述”的课程)。这些内容可以分为以下部分:测试基础、扫描、AC扫描、ATPG、存储器测试、内建自测试(BIST)、嵌入式内核测试、项目管理等。

而对于项目经理而言,最重要的信息是如何处理权衡、任务、进度表和成本。这些信息在实现扫描或AC扫描,选择一种ATPG方法,使用一种BIST测试方法,开发或使用嵌入式内核的时候,可以分成一类。

测试基础:如果你仅希望了解测试的基础知识,目标是学习测试流程,理解测试程序的生成,为一个测试仪加载测试程序,评定质量标准,那么我推荐阅读第1章、2.15.2节、2.16.1节、3.15.1节、5.4.1节、5.18.1节、5.25.1节等章节,不管手头上有何种培训材料,这些章节



都是必须的。

**扫描技术：**如果你希望开发理解和应用扫描技术的学习课，那么我推荐阅读第1章和第2章的全部内容，获得测试、故障、ATPG等内容的基础背景知识；然后阅读从3.1节到3.19节的各节，建立基本的DC扫描概念；最后阅读从4.14节到4.18节的各节，学习扫描和存储器结构之间的相互作用。如果需要学习存储器结构来理解“扫描与存储器相互作用”，我还推荐4.1节到4.5节的内容。

**AC扫描技术：**如果你想将对扫描技术的学习扩展到AC扫描和全速扫描的领域，我推荐增加对3.19节到3.26节内容的学习，以掌握AC扫描与DC扫描的区别，就是增加定时评估这个附加的评价维度。

**ATPG：**如果你想理解自动测试图形生成算法和ATPG方法的开发，我推荐阅读第1章和第2章的所有内容，获得测试和ATPG流程的基本知识，然后是3.1节到3.12节和3.16节等内容，因为理解扫描、部分扫描与扫描设计规则，这与开发和应用ATPG方法是密切相关的。

**存储器测试：**如果你希望开发存储器测试的理解与应用方面的课程，我推荐4.1节到4.13节各节的内容，如果包括内建自测试内容，还要增加4.19节到4.28节等节的内容。

**BIST：**如果你要开发包括逻辑与存储器的内建自测试的理论与应用课程，我推荐阅读3.3节到3.11节来学习扫描基础，阅读3.16节学习扫描设计规则，阅读3.22节到3.25节学习全速扫描，阅读3.27节学习逻辑BIST。另外，我还要推荐阅读4.1节到4.13节以学习存储器结构与测试基础，4.19节到4.28节以学习存储器BIST。

**嵌入式内核测试：**如果你希望理解嵌入式内核测试，不论是开发可测与可重用的内核，还是从集成的角度，我都推荐阅读第1章的全部内容以获得测试和测试应用的基础知识；2.1节到2.17节各节可以学习向量生成、向量优化，以及可控制性与可观测性；3.1节到3.26节可以学习AC、DC扫描，全速扫描和扫描问题；4.19节到4.28节可以学习存储器BIST及其相关问题；第5章的全部内容都是关于内核以及基于内核的设计。

**项目管理：**如果你对本书中的成本、进度表、任务、权衡等内容感兴趣，我可以勾划出“管理”课程的相关内容。例如，DFT的权衡方面的课程可以包括1.1节和1.2节，用于掌握测试什么和为什么测试，1.4节和1.6节学习测试中的度量和以什么方式度量，1.8节学习测试设备的成本权衡，1.10.2节学习测试程序的成本权衡。

了解ATPG方法的选择与开发需要阅读2.1节到2.3节来理解什么是ATPG方法，为什么采用ATPG；阅读2.14节用于理解组合与时序ATPG的异同，2.16节用于理解ATPG向量，2.17节用于理解ATPG的设计规则，2.18节用于理解工具的选择，2.19节则是总结了以上全部内容。

要理解扫描方法的运用，需要阅读列举的ATPG各节（2.1节到2.3节，2.14节，2.16节到2.19节），加上3.1节到3.3节以掌握扫描测试与功能测试的异同，3.12节以理解全扫描与部分扫描的异同，3.16节以理解扫描测试的设计规则，3.19节和3.20节用于理解AC扫描与DC扫描的异同，3.25节用于理解扫描插入的各项任务，3.26节用于理解AC扫描中的关键路径选择，3.28节则总结了以上这些内容。

要理解存储器BIST方法的应用，需要阅读的章节包括，4.1节介绍存储器测试，4.4节和4.5节讲述与存储器设计和集成相关的要点，4.6节概述了不同的存储器测试方法之间的权衡，4.19节和4.20节介绍了存储器BIST的测试与需求，4.22节到4.24节概述了BIST使用中的芯片问题和关注要点，4.28节总结了以上这些内容。

在开发一个可重用的内核或是采用基于嵌入式内核的设计风格时，要理解其中涉及的问题、要点、权衡、成本因素、目标和任务，我推荐首先要理解扫描和存储器BIST等知识，然后需要阅读整个第5章。

# 目 录

译者序	
前言	
本书导读	
第1章 测试和可测性设计的基础知识	1
1.1 简介	1
1.1.1 目的	1
1.1.2 测试、测试过程和可测性设计	1
1.1.3 并发测试工程	3
1.2 测试动因	5
1.2.1 为什么要测试	5
1.2.2 DFT争论的正反方观点	5
1.3 测试的定义	7
1.3.1 什么是测试	7
1.3.2 输入激励	9
1.3.3 输出响应	9
1.4 测试度量准则	9
1.4.1 测量什么	9
1.4.2 故障度量的数学描述	12
1.5 故障建模	12
1.5.1 物理缺陷	12
1.5.2 故障建模	12
1.6 测试分类	16
1.6.1 功能测试	16
1.6.2 结构测试	16
1.6.3 组合电路的穷举和伪穷举测试	18
1.6.4 全穷举测试	18
1.6.5 测试风格	18
1.7 制造过程中的测试	18
1.7.1 制造过程中的测试过程	18
1.7.2 制造过程中的测试负载板	19
1.7.3 制造过程中的测试程序	19
1.8 使用自动测试设备	19
1.8.1 自动测试设备	19
1.8.2 ATE的限制	22
1.8.3 ATE成本考虑	22
1.9 测试和引脚的定时	22
1.9.1 测试仪和器件引脚的定时	22
1.9.2 测试仪的边沿设定	22
1.9.3 测试仪的精度和准确度	25
1.10 制造过程中的测试程序的构成	25
1.10.1 测试程序的分块和组成	25
1.10.2 测试程序优化	28
1.11 推荐的参考读物	28
第2章 自动测试图形生成的基本原理	30
2.1 简介	30
2.1.1 目的	30
2.1.2 自动测试图形生成	30
2.1.3 图形生成过程的流程	31
2.2 选择ATPG的理由	34
2.2.1 为什么选择ATPG	34
2.2.2 关于ATPG的正反方观点	34
2.3 自动测试图形生成过程	36
2.4 组合电路的固定故障介绍	38
2.4.1 组合电路的固定故障	38
2.4.2 组合电路的固定故障检测	39
2.5 延时故障介绍	39
2.5.1 延时故障	39
2.5.2 延时故障的检测	42
2.6 基于电流的故障介绍	43
2.6.1 基于电流的测试	43

2.6.2 基于电流的测试检测 .....	43	2.16 ATPG向量 .....	68
2.7 可测性和故障分析方法 .....	45	2.16.1 向量格式 .....	68
2.7.1 进行ATPG分析或者是可测性 分析的原因 .....	45	2.16.2 向量压缩与紧缩 .....	68
2.7.2 现有可测性分析的类型 .....	45	2.17 基于ATPG的设计规则 .....	71
2.7.3 故障效应电路 .....	45	2.17.1 ATPG工具的“禁止”规则列表 .....	71
2.7.4 可控制性-可观测性分析 .....	47	2.17.2 设计规则的例外情况 .....	73
2.7.5 电路学习 .....	48	2.18 选择ATPG工具 .....	74
2.8 故障的屏蔽 .....	49	2.18.1 重要的挑选依据 .....	74
2.8.1 故障屏蔽的起因和效应 .....	49	2.18.2 ATPG基准测试检查过程 .....	77
2.8.2 各种故障模型的故障屏蔽 .....	49	2.19 ATPG基本规则的小结 .....	78
2.9 固定故障等效 .....	49	2.20 推荐的参考读物 .....	79
2.9.1 故障等效优化 .....	49	第3章 扫描结构和技术 .....	80
2.9.2 故障等效的副作用 .....	52	3.1 简介 .....	80
2.10 固定故障的ATPG .....	52	3.1.1 目的 .....	80
2.10.1 故障选取 .....	54	3.1.2 测试问题 .....	80
2.10.2 演练故障 .....	54	3.1.3 扫描测试 .....	81
2.10.3 检测路径敏化 .....	54	3.1.4 对扫描测试的误解 .....	81
2.11 跳变延时故障的ATPG .....	55	3.2 功能测试 .....	83
2.11.1 具有跳变延时故障的ATPG .....	55	3.3 扫描效果电路 .....	84
2.11.2 跳变延时是一种粗略的延时故障 .....	57	3.4 多路选择D(Mux-D)类型的扫描触发器 .....	84
2.12 路径延时故障的ATPG .....	57	3.4.1 多路选择D扫描触发器 .....	84
2.12.1 路径延时的ATPG .....	57	3.4.2 Mux-D扫描触发器 .....	87
2.12.2 强健故障检测 .....	59	3.4.3 其他类型的扫描触发器 .....	87
2.12.3 路径延时的设计描述 .....	59	3.4.4 混合扫描类型 .....	89
2.12.4 路径的枚举 .....	60	3.5 广泛应用的Mux-D扫描触发器 .....	89
2.13 基于电流故障的ATPG .....	60	3.5.1 多路选择D触发器的运行优先权 .....	89
2.14 组合与时序电路的ATPG .....	62	3.5.2 Mux-D触发器系列 .....	91
2.14.1 多周期时序测试图形生成 .....	62	3.6 扫描移位寄存器或扫描链 .....	91
2.14.2 多时间帧组合的ATPG .....	63	3.6.1 用于测试的扫描结构 .....	91
2.14.3 双时间帧ATPG的局限性 .....	65	3.6.2 扫描移位寄存器 .....	91
2.14.4 基于周期的ATPG的局限性 .....	65	3.7 扫描单元操作 .....	93
2.15 向量模拟 .....	66	3.8 扫描测试的排序 .....	93
2.15.1 故障模拟 .....	66	3.9 扫描测试的定时 .....	96
2.15.2 制造测试的模拟 .....	66	3.10 可靠的扫描移位 .....	98
		3.11 可靠的扫描采样: 无竞争向量 .....	100

3.12 部分扫描 .....	102	3.21.3 全速扫描采样结构 .....	126
3.12.1 部分扫描测试 .....	102	3.22 全速扫描接口 .....	127
3.12.2 时序电路的ATPG .....	103	3.22.1 全速扫描移位接口 .....	127
3.13 多扫描链 .....	103	3.22.2 全速扫描采样接口 .....	127
3.13.1 多扫描链的优点 .....	103	3.23 多时钟与扫描域操作 .....	130
3.13.2 均衡的扫描链 .....	105	3.24 扫描插入与时钟时差 .....	131
3.14 借用的扫描接口 .....	107	3.24.1 多时钟域、时钟时差与扫描插入 .....	131
3.14.1 建立借用的扫描接口 .....	107	3.24.2 多时间域扫描插入 .....	133
3.14.2 共享的扫描输入接口 .....	107	3.25 全速扫描插入 .....	134
3.14.3 共享的扫描输出接口 .....	109	3.25.1 扫描单元替换 .....	134
3.15 钟控、片上时钟源和扫描 .....	111	3.25.2 扫描控制信号插入 .....	134
3.15.1 片上时钟源和扫描测试 .....	111	3.25.3 扫描接口插入 .....	136
3.15.2 片上时钟和进行扫描测试 .....	111	3.25.4 其他要考虑的因素 .....	136
3.16 基于扫描的设计规则 .....	112	3.26 全速扫描关键路径 .....	136
3.16.1 基于扫描的可测性设计和设计 规则 .....	112	3.26.1 关键路径 .....	136
3.16.2 若干规则 .....	112	3.26.2 关键路径选择 .....	136
3.17 固定故障 (DC) 的扫描插入 .....	116	3.26.3 路径筛选 .....	138
3.17.1 DC扫描插入 .....	116	3.26.4 假路径的内容 .....	139
3.17.2 特别说明 .....	116	3.26.5 实际的关键路径处理 .....	141
3.17.3 DC扫描插入与多时钟域 .....	116	3.26.6 基于关键路径扫描的诊断 .....	141
3.18 固定故障的扫描诊断 .....	118	3.27 基于扫描的逻辑内建自测试 .....	142
3.18.1 固定故障扫描诊断的实施 .....	118	3.27.1 伪随机图形发生器 .....	142
3.18.2 诊断故障模拟 .....	118	3.27.2 特征分析 .....	142
3.18.3 功能扫描输出 .....	120	3.27.3 逻辑内建自测试 .....	142
3.19 全速扫描 (AC) 测试目标 .....	120	3.27.4 LFSR的科学基础 .....	143
3.19.1 AC测试目标 .....	120	3.27.5 X值的管理控制 .....	143
3.19.2 成本驱动力 .....	122	3.27.6 混淆现象 .....	144
3.20 全速扫描测试 .....	123	3.28 扫描测试基础知识小结 .....	146
3.20.1 全速扫描测试的应用 .....	123	3.29 推荐的参考读物 .....	146
3.20.2 全速扫描顺序 .....	123	第4章 存储器测试结构与技术 .....	148
3.20.3 全速扫描与DC扫描的比较 .....	123	4.1 简介 .....	148
3.21 全速扫描结构 .....	126	4.1.1 目的 .....	148
3.21.1 全速扫描接口 .....	126	4.1.2 存储器测试简介 .....	148
3.21.2 全速“可靠移位”逻辑 .....	126	4.2 存储器类型 .....	150
		4.3 存储器组织 .....	152

4.4 存储器设计要点 .....	155	4.16 扫描测试中的存储器黑匣模型 .....	176
4.5 存储器集成要点 .....	156	4.16.1 存储器黑匣模型技术 .....	176
4.6 嵌入式存储器测试方法 .....	158	4.16.2 黑匣模型的局限性和关注的问题 .....	176
4.7 基本的存储器测试模型 .....	160	4.17 扫描测试存储器透明技术 .....	178
4.7.1 存储器测试 .....	160	4.17.1 存储器的透明技术 .....	178
4.7.2 存储器测试故障模型 .....	160	4.17.2 存储器透明技术的局限性和关注的 问题 .....	178
4.7.3 存储器测试失效模式 .....	160	4.18 扫描测试存储器伪装字技术 .....	178
4.8 基于固定位元的故障模型 .....	162	4.18.1 存储器的伪装字技术 .....	178
4.8.1 基于固定的存储器位元故障模型 .....	162	4.18.2 存储器伪装技术的局限性和 关注的问题 .....	181
4.8.2 固定故障的演练与检测 .....	162	4.19 MBIST的存储器测试要点 .....	181
4.9 基于桥接缺陷的故障模型 .....	162	4.20 存储器内建自测试要求 .....	183
4.9.1 基于桥接缺陷的存储器测试故障 模型 .....	162	4.20.1 存储器内建自测试要求概况 .....	183
4.9.2 基于关联缺陷的存储器测试故障 模型 .....	165	4.20.2 全速操作 .....	183
4.9.3 桥接故障的演练与检测 .....	165	4.21 存储器BIST实例 .....	183
4.10 译码故障的模型 .....	165	4.21.1 存储器内建自测试 .....	183
4.10.1 存储器译码故障模型 .....	165	4.21.2 可选的操作 .....	185
4.10.2 译码故障的演练与检测 .....	168	4.21.3 一个存储器内建自测试实例 .....	187
4.11 数据保存故障 .....	168	4.22 MBIST芯片集成问题 .....	187
4.11.1 存储器测试数据保存故障模型 .....	168	4.23 MBIST集成要关注的因素 .....	189
4.11.2 DRAM刷新要求 .....	168	4.24 MBIST功率的关注因素 .....	191
4.12 诊断位映射 .....	168	4.25 使用LFSR的MBIST设计 .....	193
4.13 算法测试生成 .....	169	4.25.1 用于存储器测试的伪随机 图形生成 .....	193
4.13.1 算法测试生成的介绍 .....	169	4.25.2 特征分析与存储器测试 .....	193
4.13.2 自动测试生成 .....	172	4.25.3 特征分析与诊断 .....	193
4.13.3 基于BIST的算法测试 .....	172	4.26 基于移位的存储器BIST .....	195
4.14 具有扫描测试的存储器交互作用 .....	172	4.26.1 基于移位的存储器测试 .....	195
4.14.1 扫描测试要考虑的因素 .....	172	4.26.2 输出评估 .....	195
4.14.2 存储器交互作用方法 .....	174	4.27 只读存储器的内建自测试 .....	197
4.14.3 输入信号的观测 .....	174	4.27.1 只读存储器内建自测试的 目标与功能 .....	197
4.14.4 输出信号的控制 .....	174	4.27.2 只读存储器的内建自测试算法 .....	197
4.15 扫描测试中的存储器建模 .....	174	4.27.3 只读存储器的MISR选择 .....	199
4.15.1 针对ATPG应用的存储器建模 .....	174		
4.15.2 建模的局限性 .....	176		

4.27.4 特征比较方法 .....	199	5.16 DFT接口要点——测试频率 .....	236
4.28 寄存器测试小结 .....	199	5.16.1 嵌入式内核的DFT接口要点—— 测试频率 .....	236
4.29 推荐的参考读物 .....	201	5.16.2 频率问题的解决措施 .....	236
第5章 嵌入式内核测试的基本原理 .....	202	5.17 内核的可测性开发 .....	236
5.1 简介 .....	202	5.17.1 内部并行扫描 .....	239
5.1.1 目的 .....	202	5.17.2 外壳并行扫描 .....	239
5.1.2 基于嵌入式内核的芯片测试简介 .....	202	5.17.3 嵌入式存储器BIST .....	239
5.1.3 重用内核 .....	203	5.17.4 其他DFT特征 .....	240
5.1.4 采用重用内核的芯片组装 .....	203	5.18 内核测试经济学 .....	240
5.2 什么是内核 .....	205	5.18.1 内核DFT、向量和测试经济学 .....	240
5.2.1 内核的定义 .....	205	5.18.2 考虑DFT经济学因素的内核选取 .....	243
5.2.2 内核的可测性设计与测试问题 .....	205	5.19 基于内核的芯片设计 .....	243
5.2.3 内建可测性设计 .....	207	5.19.1 基于内核的芯片元件 .....	243
5.3 什么是基于内核的设计 .....	207	5.19.2 嵌入式内核的集成要点 .....	243
5.3.1 一个基于内核的芯片设计 .....	207	5.19.3 芯片级的DFT .....	244
5.3.2 基于内核的设计的基本原理 .....	207	5.20 对所隔离的内核进行扫描测试 .....	245
5.4 可重用内核的发布 .....	209	5.21 非内核逻辑的扫描测试 .....	247
5.5 内核DFT 要点 .....	209	5.21.1 对非内核逻辑进行隔离的扫描 测试 .....	247
5.6 可重用内核的开发 .....	214	5.21.2 芯片级测试和测试仪定时 边沿的设定 .....	249
5.7 DFT 接口要点——测试信号 .....	219	5.22 用户定义逻辑的芯片级DFT要点 .....	249
5.8 内核的DFT接口要点——测试访问 .....	221	5.23 具有BIST的存储器测试 .....	252
5.9 DFT接口要点——测试外壳 .....	223	5.24 芯片级DFT集成要求 .....	252
5.9.1 作为信号简化元件的测试外壳 .....	223	5.24.1 基于嵌入式内核的DFT集成结构 .....	252
5.9.2 作为频率接口的测试外壳 .....	225	5.24.2 物理设计要点 .....	253
5.9.3 作为虚拟测试插座的测试外壳 .....	225	5.25 嵌入式测试程序 .....	255
5.10 用寄存器隔离测试外壳 .....	225	5.26 内核的选取与接收 .....	257
5.11 位片隔离测试外壳 .....	227	5.27 嵌入式内核DFT小结 .....	257
5.12 分立的测试外壳——位片单元 .....	227	5.28 推荐的参考读物 .....	260
5.13 分立的测试外壳——内核DFT接口 .....	230	术语表 .....	262
5.14 内核测试模式的默认值 .....	232	随书光盘介绍 .....	283
5.15 DFT接口外壳要点 .....	234		
5.15.1 缺少双向信号 .....	234		
5.15.2 测试时钟源要点 .....	234		

# 第1章 测试和可测性设计的基础知识

## 关于本章

本章是测试与可测性设计的基础知识，用于教授测试和可测性设计的基本原理。这些内容将会为理解本书其他章节讲述的测试、可测性设计技术以及权衡方法建立基础。

第1章的内容包括测试、测试过程、可测性设计、故障模型、测试衡量标准、测试类型与风格、测试平台、测试程序、测试仪要求、测试向量和向量处理等定义与术语。

## 1.1 简介

### 1.1.1 目的

本节讲述测试和测试过程，介绍可测性设计的基本概念，使读者能够更好的理解在本书后续章节讨论的测试和DFT技术与权衡方法。

### 1.1.2 测试、测试过程和可测性设计

测试过程应用于半导体产品的制造过程，不论这种产品是单个管芯还是封装好的成品元件，其主要目的是提供半导体成品质量与可靠性的一种度量。可测性设计（DFT）的目的则是在管芯上安装“硬件抓手”（喻添加可测性硬件以增加测试点——译者注）以提供实施质量与可靠性测量的能力。如果设计得当，DFT 技术可以：在测试中满足高可置信度（高测试覆盖率）的质量目标；可以高效与经济地实现覆盖率测量，满足测试成本的目标；也可实现一定形式的测试向量自动化，比如自动测试向量生成（ATPG），来满足竞争性的上市时间与量产时间等制造需求。

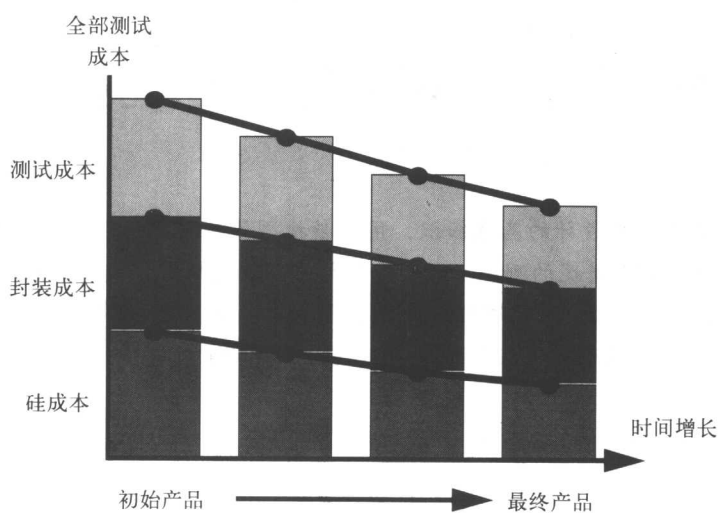
现在，半导体工业在很多前沿技术上正在进行革新：

- 基于硅的更小的特征尺寸；
- 内部电平降低；
- 使用新的物理处理工艺，例如铜互联、低K 电介质和绝缘体上硅技术；
- 使用被称为内核的复杂的庞大单元和宏单元；
- 采用和重用已经存在的简单或复杂的“硬”宏单元；
- 巨量存储器集成；在片上系统器件上集成大量的逻辑。

这些工业上的革新使得质量和可靠性需求比以前更加重要，同时也在度量质量等级或者经济地度量质量等级的能力方面提出了更严峻的挑战。例如：

- 更小的特征尺寸、更低的工作电平和新的工艺技术将会产生新类型的缺陷和失效效应，以至现在的缺陷、故障和失效模型不再适用于进行检测和特征描述。





目标是通过缩减每部分的成本来缩减产品制造的成本：

- 通过增加产量和量率，减小管芯尺寸（缩小工艺尺寸或采用更有效的布局）来减小硅成本。
- 通过增加产量，或者如果可能，使用较低成本的封装（比如从陶瓷封装更换为塑料封装），或者减小封装管脚数目来减小封装成本。
- 减小测试成本的方式：
  - 减小向量数据大小
  - 减小测试仪时序的复杂度
  - 减小测试仪成本
  - 减少测试时间
  - 简化测试程序

图1-1 产品的成本