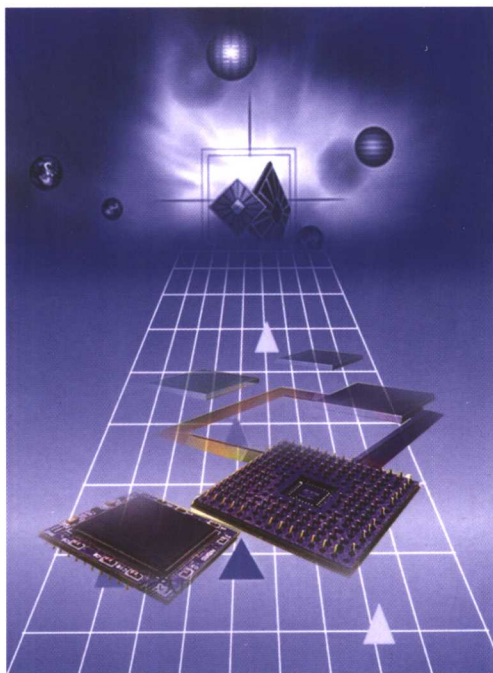


FPGA 设计与应用

- ◆ FPGA 基本知识
- ◆ 硬件描述语言基础
- ◆ 简单电路的 HDL 设计
- ◆ FPGA 同步设计
- ◆ FPGA 设计实例
- ◆ FPGA 配置与编程
- ◆ 3DES 算法的 FPGA 实现
- ◆ FPGA 发展趋势



刘 皖 何道君 谭 明 编著



清华大学出版社

高等院校计算机应用技术系列教材

FPGA 设计与应用

刘皖 何道君 谭明 编著

清华大学出版社

北 京

内 容 简 介

FPGA 器件已广泛应用于通信、自动控制、信息处理等诸多领域,越来越多的电子设计人员在使用 FPGA,熟练掌握 FPGA 设计技术是对电子设计工程师的基本要求。

本书系统地介绍了 FPGA 的基本知识以及设计方法和技巧,并给出了设计实例。本书的主要内容包括:FPGA 的发展历程、基本原理、设计方法和设计流程,FPGA 设计中采用的两种主要的 HDL 语言,简单电路的 HDL 语言设计实例,FPGA 的同步设计,较为复杂的 FPGA 设计实例,FPGA 应用过程中的配置与编程,复杂密码算法 3DES 的 FPGA 实现实例及其在 3DES-PCI 安全卡中的应用方式,FPGA 的发展趋势。

本书的特点在于能够使对 FPGA 较为陌生的读者,通过本书的阅读,在较短的时间内对 FPGA 有一个较为全面的认识;并通过对实例进行分析与上机操作,具备一定的基于 FPGA 的数字系统设计与实践能力。

本书既可作为高等工科院校电子类专业高年级本科生和研究生的教材,也可作为电子类工程技术人员的参考书。

版权所有,翻印必究。举报电话:010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

本书防伪标签采用特殊防伪技术,用户可通过在图案表面涂抹清水,图案消失,水干后图案复现;或将表面膜揭下,放在白纸上用彩笔涂抹,图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

FPGA 设计与应用/刘皖,何道君,谭明编著. —北京:清华大学出版社,2006.6

(高等院校计算机应用技术系列教材)

ISBN 7-302-12871-5

I. F… II. ①刘…②何…③谭… III. 可编程逻辑器件—高等学校—教材 IV. TP332.1

中国版本图书馆 CIP 数据核字(2006)第 035635 号

出 版 者:清华大学出版社

地 址:北京清华大学学研大厦

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

客 户 服 务:010-62776969

组稿编辑:胡伟卷

文稿编辑:刘金喜

封面设计:王 永

版式设计:康 博

印 刷 者:北京鑫丰华彩印有限公司

装 订 者:北京市密云县京文制本装订厂

发 行 者:新华书店总店北京发行所

开 本:170×230 印张:14 字数:222 千字

版 次:2006 年 6 月第 1 版 2006 年 6 月第 1 次印刷

书 号:ISBN 7-302-12871-5/TP·8185

印 数:1~4000

定 价:22.00 元

前 言

现场可编程门阵列(Field Programmable Gate Array, FPGA)的出现是超大规模集成电路(VLSI)技术和计算机辅助设计(CAD)技术飞速发展的结果。FPGA 器件集成度高、体积小,具有用户可编程实现专门应用的功能。它允许电路设计者利用基于计算机的开发平台,经过设计输入、仿真、测试和验证,实现预期结果。使用 FPGA 器件可以将原来的电路级产品集成为芯片级产品,达到降低功耗,提高可靠性的目的,同时还可以很方便地对设计进行在线现场修改。FPGA 器件已成为研制、开发数字系统的理想器件,尤其适合于产品样机开发和小批量生产。因此, FPGA 有时被人们称作可编程的 ASIC。

近年来, FPGA 市场发展十分迅速,各大 FPGA 厂商不断采用新技术来提高 FPGA 器件的容量,增强开发软件的性能。如今, FPGA 器件广泛应用于通信、自动控制、信息处理等诸多领域,越来越多的电子设计人员在使用 FPGA,熟练掌握 FPGA 设计技术是对电子设计工程师的基本要求。

本书作者在 20 世纪 90 年代初参加了西安电子科技大学组织的国内为数不多的集成电路培训班,较早接触了 FPGA 技术,并将其应用于科研和工程实践,深切感受到掌握 FPGA 技术给数字系统设计带来的“事半功倍”的效果。与此同时,作者深深感受到 FPGA 设计技术是一项实践性非常强的专业技术,需要一定的技术和经验的积累,这也是许多希望了解和掌握 FPGA 设计技术的工程技术人员需要解决的难题。为了使更多的人能尽快掌握 FPGA 设计技术,并能应用于工程实际,作者在阅读和参考大量中英文资料的基础上,结合科研和工程实践经验,编写了本书。

本书系统地介绍了有关 FPGA 的基本知识以及 FPGA 的设计方法和相关技巧,并由浅入深地给出了设计实例。本书共分为 8 章:第 1 章介绍了 FPGA 的发展历程,分析了 FPGA 的基本原理、设计方法和设计流程;第 2 章重点介绍了 FPGA 设计中采用的两种主要的 HDL 语言;第 3 章给出了一些简单

电路的 HDL 语言设计实例；第 4 章主要就 FPGA 设计中最为核心的概念“同步”展开讲述，引导读者关注 FPGA 设计时需要注意的一些基本问题，如时钟、逻辑竞争和冒险、信号的时延等问题；第 5 章给出了一些较为复杂的 FPGA 设计实例；第 6 章介绍了 FPGA 应用过程中的配置与编程；第 7 章给出一个复杂的密码算法 3DES 的 FPGA 实现实例，并讨论了其在 3DES-PCI 安全卡中的应用方式；第 8 章就 FPGA 日新月异的发展，对 FPGA 的发展趋势进行了介绍与分析。

FPGA 技术发展很快，新技术、新方法、新器件层出不穷。本书编写时虽加入了目前最新的资料，但是读者在阅读本书时，可能已出现了更新的方法和器件。所以本书主要是向大家提供有关 FPGA 设计与应用方面较为基础和核心的内容，读者可以从 EDA 厂商的网站上获取更新的 FPGA 器件资料，也可以从销售商或可编程逻辑器件的相关网站获取有关信息和择术支持。

在本书编写过程中，得到了夏阳、于德泉、那兴波、童晓峰、陈俊杰、张华军等同志的大力支持，是他们完成了书中大量实例的编程输入、仿真、验证和文字录入校对工作，在此表示衷心的感谢。本书还参考了一些专家和学者的研究成果，在此表示感谢。尤其要感谢张宁高级工程师对作者及其所在单位的一贯支持，同时为本书的出版也给予了极大的关注和帮助。

本书的电子课件素材可通过 <http://www.tupwk.com.cn/downpage/> 下载。

由于作者水平有限，书中难免有不妥甚至错误之处，恳请读者批评指正。

作者

2006 年 4 月于北京

目 录

第 1 章	FPGA概述	1
1.1	FPGA 的发展历程	1
1.2	FPGA 的基本原理	3
1.2.1	基于查找表的 FPGA 的基本结构及逻辑实现原理	3
1.2.2	基于乘积项的 FPGA 的基本结构及逻辑实现原理	5
1.2.3	FPGA 的配置应用	8
1.3	FPGA 的设计方法	8
1.4	FPGA 的设计流程	9
1.4.1	基于“自顶向下”设计方法的 FPGA 设计流程	9
1.4.2	基于“自顶向下”设计流程的优点	12
1.5	总结与结论	13
第 2 章	硬件描述语言入门	14
2.1	VHDL 入门	14
2.1.1	VHDL 的模块组织	14
2.1.2	基本的数据类型及常量、变量、信号	15
2.1.3	运算符及表达式	16
2.1.4	VHDL 基本语句	18
2.1.5	典型电路的设计	22
2.2	Verilog HDL 入门	24
2.2.1	Verilog HDL 模块的结构	25
2.2.2	基本的数据类型及常量、变量	27
2.2.3	运算符及表达式	29
2.2.4	语句	32
2.2.5	典型电路的设计	34
2.2.6	小结	48

2.3 总结与结论	49
第3章 简单电路的HDL设计	50
3.1 基本组合逻辑运算	50
3.1.1 与运算	50
3.1.2 或运算	51
3.1.3 异或运算	53
3.1.4 与非运算	54
3.1.5 二选一多路选择器	55
3.1.6 两位比较器	57
3.2 基本时序器件——寄存器	58
3.2.1 D 触发器	58
3.2.2 T 触发器	59
3.2.3 J-K 触发器	60
3.2.4 时序器件——移位寄存器	62
3.3 简单数学运算	63
3.3.1 4 位加法器	63
3.3.2 4 位计数器	68
3.3.3 4 位乘法器	77
3.4 总结与结论	86
第4章 FPGA的同步设计	87
4.1 同步的定义	87
4.2 同步部件	88
4.2.1 基本的同步部件	88
4.2.2 同步清除 D 型触发器	89
4.2.3 E 型触发器	89
4.2.4 T 型触发器	91
4.2.5 同步 R-S 触发器	94
4.2.6 R 型触发器	94
4.3 状态产生	95

4.3.1	状态的无条件执行	97
4.3.2	状态的有条件执行	98
4.4	中央允许产生器	101
4.5	同步清除	102
4.6	时钟歪斜的清除	103
4.7	异步接口	103
4.7.1	互相同步的系统	103
4.7.2	互相异步的系统	104
4.7.3	同步系统的异步输入	107
4.7.4	握手发送数据的安全性	109
4.7.5	微处理器存储器映射中的 FPGA	109
4.7.6	亚稳定性	109
4.7.7	小结	110
4.8	总结与结论	111
第 5 章	常见的FPGA设计实例	112
5.1	移位寄存器设计实例	112
5.1.1	m 序列的产生和性质	112
5.1.2	对具体某一信号的连续存储	115
5.2	计数器设计实例	117
5.3	状态机设计实例	121
5.3.1	状态图	122
5.3.2	状态表	124
5.3.3	流程图	128
5.4	存储器设计实例	129
5.4.1	RAM	129
5.4.2	FIFO	131
5.4.3	ROM	134
5.4.4	应注意的问题	137
5.5	门禁系统设计实例	137

5.6 总结与结论	140
第 6 章 FPGA 的配置与编程	141
6.1 Altera FPGA 配置与编程	141
6.1.1 配置过程介绍	141
6.1.2 配置方式介绍	143
6.1.3 配置器件(Configuration Device)介绍	144
6.2 Xilinx FPGA 配置	144
6.2.1 Xilinx FPGA 配置方式	145
6.2.2 FPGA 器件配置流程	147
6.2.3 FPGA 器件配置设置	151
6.3 总结与结论	153
第 7 章 3DES 算法的 FPGA 实现及其在 3DES-PCI 安全卡中的应用	154
7.1 3DES 设计流程	154
7.2 3DES 模块划分	155
7.3 3DES 设计过程	156
7.3.1 DES 算法高速运算电路模型设计	156
7.3.2 3DES 算法程序设计及仿真波形	160
7.4 3DES-PCI 安全卡的设计	192
7.4.1 3DES 卡结构设计	192
7.4.2 6 种 PCI 安全卡典型结构性能分析和比较	197
7.5 总结与结论	198
第 8 章 FPGA 发展趋势	199
8.1 工艺技术的进步使 FPGA 性能更强	199
8.1.1 更高性能	199
8.1.2 更低成本	200
8.2 设计理念的创新使 FPGA 向 SOPC 方向发展	201
8.2.1 IP 复用	201
8.2.2 混合 FPGA	203

8.3 总结与结论	204
附录 1 世界著名的FPGA厂商	205
附录 2 常用的FPGA开发工具	208
参考文献	214

第1章 FPGA概述

本章为使读者对 FPGA 器件有一个初步的认识, 首先就可编程逻辑器件的发展历程, 从最简单的 PLA、GAL 到后来的 CPLD、FPGA 进行了简要介绍, 然后描述了 FPGA 的分类, 并就几种典型结构的 FPGA 的工作原理给予了较详细的介绍。

1.1 FPGA 的发展历程

作为一种可编程逻辑器件, 现场可编程门阵列(Field Programmable Gate Array, FPGA)的出现是可编程逻辑器件发展变化的必然, 它的出现推动着可编程逻辑器件的进一步发展。因此说, 了解了可编程逻辑器件的发展历程, 也就了解了 FPGA 的发展历程。

可编程逻辑器件(Programmable Logic Device, PLD)是 20 世纪 70 年代发展起来的一种新型器件。它的应用不仅简化了电路设计, 降低了成本, 提高了系统的可靠性, 而且给数字系统的设计方式带来了革命性的变化。可编程逻辑器件的发展是以微电子制作技术的不断进步为基础的, 其结构和工艺的变化经历了一个不断发展变革的过程。

20 世纪 70 年代, 早期的可编程逻辑器件只有可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM)3 种。

随后, 出现了一类结构稍微复杂的可编程芯片, 即可编程逻辑阵列(Programmable Logic Array, PLA)。PLA 在结构上由一个可编程的与阵列和可编程的或阵列构成, 阵列规模小, 编程过程复杂繁琐。PLA 既有现场可编程的, 也有掩膜可编程的。

在这之后出现了可编程阵列逻辑(Programmable Array Logic, PAL)器件,

它由一个可编程的“与”平面和一个固定的“或”平面构成,是现场可编程的。它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术 3 种。在 PAL 的基础上,又发展出了一种通用阵列逻辑(Generic Array Logic,GAL),如 GAL16V8、GAL22V10 等。它采用了输出逻辑宏单元结构和 EEPROM 工艺,实现了电可擦除、电可改写,由于其输出结构是可编程的逻辑宏单元,因而其设计具有很强的灵活性,至今仍有许多应用。

这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能,但由于其结构过于简单,因此,只能用于实现较小规模的电路设计。

为了弥补这一缺陷,20 世纪 80 年代中期,著名的可编程逻辑器件厂商 Altera 和 Xilinx 分别推出了扩展型的复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)和类似于标准门阵列的现场可编程门阵列(Field Programmable Gate Array, FPGA)。CPLD 和 FPGA 的功能基本相同,只是芯片的内部原理和结构有些差别。这两种器件兼容了 PAL 和 GAL 器件的优点,具有体系结构灵活、逻辑资源丰富、集成度高以及适用范围广等特点,可用于实现较大规模的电路设计,编程也很灵活,所以,被广泛应用于产品的原型设计和小批量生产之中。几乎所有使用 PAL、GAL 和中小规模通用数字集成电路的场合均可应用 CPLD 和 FPGA 器件。

如今,FPGA 器件已成为当前主流的可编程逻辑器件之一。经过近 20 年的发展,可编程逻辑器件已经取得了长足的进步,资源更加丰富,使用越来越方便。将来的可编程逻辑器件,密度会更高、速度会更快、功耗会更低,同时还会增加更多新的功能,向着集成了可编程逻辑、CPU、存储器等组件的可编程单片系统(System On Programmable Chip, SOPC)方向发展。

在可编程逻辑器件的发展过程中,不同厂家的叫法不尽相同。Altera 曾把自己的 MAX 系列(基于乘积项技术和 EEPROM 工艺)和 FLEX 系列(基于查找表技术和 SRAM 工艺)可编程逻辑器件均叫作 CPLD;而 Xilinx 把基于 SRAM 工艺的可编程器件叫做 FPGA,把基于 Flash 工艺的可编程器件叫做 CPLD。由于 Altera 的 FLEX 系列也是基于 SRAM 工艺的,用法同 Xilinx 的 FPGA 相似,所以人们通常也把 Altera 的 FLEX 系列产品以及其后续的基于 SRAM 工艺的产品叫做 FPGA。在本书中,我们将其统称为 FPGA。

1.2 FPGA 的基本原理

对于可编程逻辑器件，从实现原理上讲，一般分为两种：基于查找表(LookUp Table)加寄存器结构和 SRAM 工艺的 FPGA，集成密度高，寄存器资源丰富，适合做时序逻辑设计，多用于上万门以上的设计，如数字信号处理和各种算法的实现等；基于乘积项(ProductTerm)结构和 EEPROM(或 Flash)工艺的 FPGA，集成密度低，乘积项资源丰富，适合做组合逻辑设计，多用于 5000 门以下的设计，如编码、译码电路等。

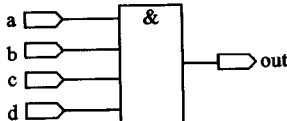
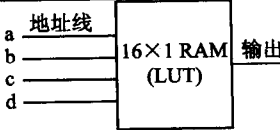
1.2.1 基于查找表的 FPGA 的基本结构及逻辑实现原理

1. 查找表(LookUpTable)的基本原理

查找表(Look Up Table, LUT)本质上就是一个 RAM。目前 FPGA 中多使用四输入的 LUT，所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM。这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。

表 1-1 所示是一个四输入与门的例子。

表 1-1 四输入与门的 LUT 实现方式

实际逻辑电路		LUT 实现方式	
			
a,b,c,d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
.....	0		0
1111	1	1111	1

2. 基于查找表的 FPGA 的基本结构

以 Xilinx Spartan-II 为例来了解一下 FPGA 的内部结构, 如图 1-1 所示。

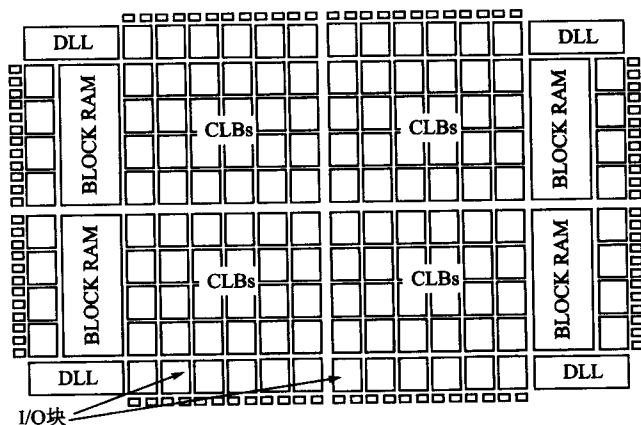


图 1-1 Xilinx Spartan-II 芯片内部结构

FPGA 主要包括可配置逻辑块(CLB)、输入/输出模块(IOB)、可编程互连线(PI)和片内 RAM。

CLB 是 FPGA 的基本结构单元, 能够实现逻辑函数, 还可配置成 RAM 等形式。CLB 一般由函数发生器、数据选择器、触发器和信号变换电路等部分组成。

输入/输出模块(IOB)分布于器件的四周, 提供内部逻辑与外围引脚间的连接。

可编程互连线(PI)由许多金属线构成, 以提供高速可靠的内部连线, 将 CLB 之间、CLB 和 IOB 之间连接起来构成复杂逻辑。

片内 RAM 是在对 FPGA 进行复杂数字系统设计时必不可少的片内存储器。

具体在 SPARTAN-II 中, 一个 CLB 包括两个 SLICE, 每个 SLICE 包括两个 LUT、两个触发器和相关逻辑, SLICE 可以看成是 SPARTAN-II 实现逻辑的最基本的结构, 如图 1-2 所示。

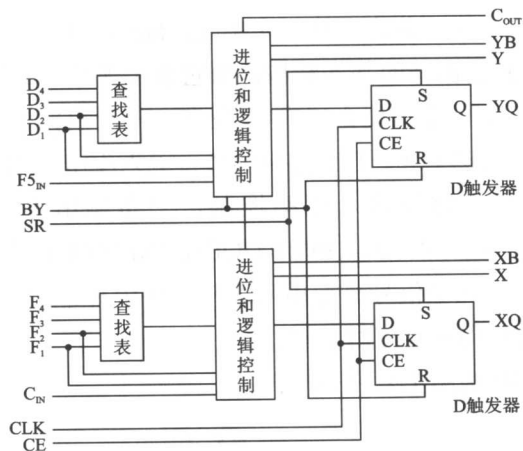


图 1-2 SPARTAN-II 实现逻辑的最基本结构

1.2.2 基于乘积项的 FPGA 的基本结构及逻辑实现原理

1. 基于乘积项(ProductTerm)的 FPGA 的基本结构

以 MAX7000 为例，我们先看一下图 1-3 所示的这种 FPGA 的总体结构。

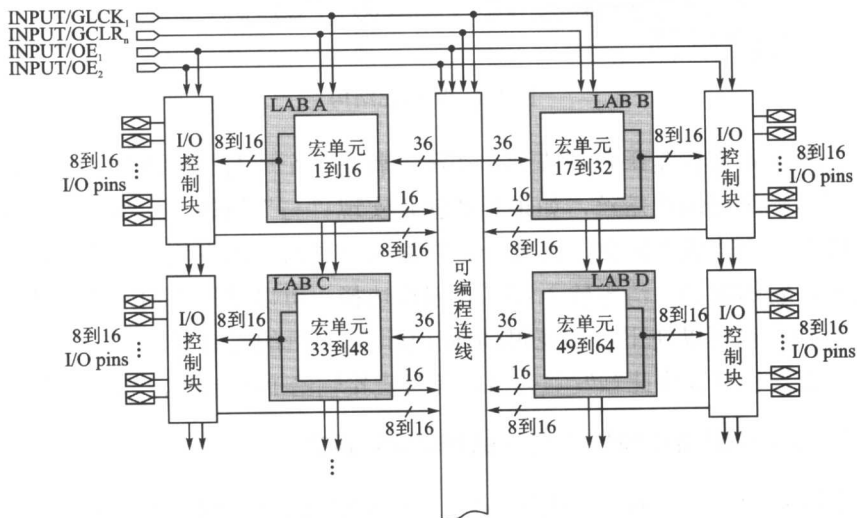


图 1-3 基于乘积项的 FPGA 的总体结构

这种 FPGA 的结构可分为 3 块：宏单元(Macrocell)、可编程连线(PIA)和 I/O 控制块。宏单元是器件的基本结构，由它来实现基本的逻辑功能。图 1-3 中深色部分是多个宏单元的集合(宏单元没有一一画出)；可编程连线负责信号传递，连接所有的宏单元；I/O 控制块负责输入/输出的电气特性控制，比如可以设定集电极开路输出、摆率控制、三态输出等。图 1-3 左上的 INPUT/GCLK_1 、 INPUT/GCLR_n 、 INPUT/OE_1 、 INPUT/OE_2 是全局时钟、清零和输出使能信号，这几个信号有专用连线与器件中每个宏单元相连，信号到每个宏单元的延时相同并且延时最短。

宏单元的具体结构图 1-4 所示。

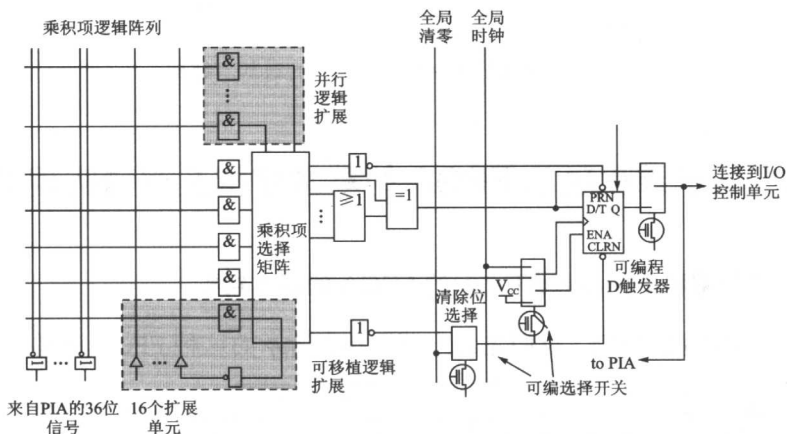


图 1-4 宏单元结构

在图 1-4 左侧是乘积项阵列，实际上就是一个“与或”阵列，每一个交叉点都是一个可编程熔丝，如果导通就是实现“与”逻辑。后面的乘积项选择矩阵是一个“或”阵列。两者一起完成组合逻辑。图右侧是一个可编程 D 触发器，它的时钟、清零输入都可以编程选择，可以使用专用的全局清零和全局时钟，也可以使用内部逻辑(乘积项阵列)产生的时钟和清零。如果不需要触发器，也可以将此触发器旁路，信号直接输给 PIA 或输出到 I/O 脚。

2. 基于乘积项结构的 FPGA 的逻辑实现原理

下面我们以一个简单的电路为例，具体说明此种结构的器件是如何实现

逻辑的。电路如图 1-5 所示。

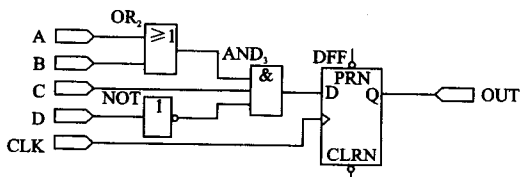


图 1-5 一个四输入逻辑的电路图

假设组合逻辑的输出(AND3 的输出)为 f , 则 $f=(A+B) \times C \times (!D)=A \times C \times !D + B \times C \times !D$ (在这里, 我们以 $!D$ 表示 D 的“非”)。器件将以图 1-6 所示的方式来实现组合逻辑 f 。

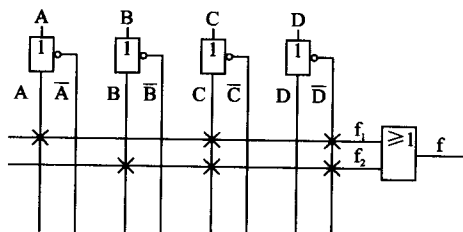


图 1-6 图 1-5 的乘积项结构器件的逻辑实现

A 、 B 、 C 、 D 由芯片的管脚输入后进入可编程连线阵列(PIA), 在内部会产生 A 、 $\bar{A}$ 、 B 、 $\bar{B}$ 、 C 、 $\bar{C}$ 、 D 、 $\bar{D}$ 8 个输出。图中每一个叉表示相连(可编程熔丝导通), 所以得到: $f=f_1+f_2=(A \times C \times !D)+(B \times C \times !D)$ 。这样组合逻辑就实现了。图 1-5 电路中 D 触发器的实现比较简单, 直接利用宏单元中的可编程 D 触发器来实现。时钟信号 CLK 由 I/O 脚输入后进入芯片内部的全局时钟专用通道, 直接连接到可编程触发器的时钟端。可编程触发器的输出与 I/O 脚相连, 把结果输出到芯片管脚。这样 PLD 就完成了图 1-5 所示电路的功能。

图 1-5 所示的电路是一个很简单的例子, 一个宏单元就可以完成。但对于一个复杂的电路, 一个宏单元是不能实现的, 这时就需要通过并联扩展项和共享扩展项将多个宏单元相连, 宏单元的输出也可以连接到可编程连线阵列, 再作为另一个宏单元的输入。这样, 就可以实现更复杂的逻辑。