

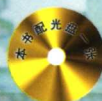
Cadence 高速 PCB

设计与仿真分析

黄豪佑 董辉 卢建刚 肖潇 编著



北京航空航天大学出版社



Cadence 高速 PCB 设计与仿真分析

黄豪佑 董 辉 卢建刚 肖 潇 编著

北京航空航天大学出版社

内 容 简 介

本书系统地介绍 Allegro SPB 15.2 工具包中几个软件的界面特点、使用过程和方法技巧等。主要内容包括:软件安装、焊盘和封装设计、Allegro PCB 设计、约束管理器、SPECCTRA 布线工具、Model Integrity 模型完整性、SigWave 波形显示、SPECCTRAQuest 信号完整性分析、SigXplorer 拓扑结构编辑器、Power Integrity 电源完整性分析,同时在部分章节里嵌入高速 PCB 设计、仿真的基本理论知识。本书还提供了一定的范例和习题,以方便读者更好地掌握软件的使用方法和技巧。

本书配套光盘提供了书中的范例,有利于读者边学边练,提高实际操作能力。

本书可作为高等院校电子类相关专业的学习教材,也可作为广大硬件工程师的技术手册。

图书在版编目(CIP)数据

Cadence 高速 PCB 设计与仿真分析/黄豪佑等编著.

北京:北京航空航天大学出版社,2006.7

ISBN 7-81077-778-5

I. C… II. 黄… III. ①电子电路—电路设计:计算机辅助设计②电子电路—电路设计—计算机仿真
IV. TN702

中国版本图书馆 CIP 数据核字(2006)第 028714 号

©2006,北京航空航天大学出版社,版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书及其所附光盘内容。侵权必究。

Cadence 高速 PCB 设计与仿真分析

黄豪佑 董辉 卢建刚 肖潇 编著

责任编辑 刘晓明

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

http://www.buaapress.com.cn E-mail:bhpress@263.net

北京市松源印刷有限公司印装 各地书店经销

*

开本:787×1092 1/16 印张:28 字数:717 千字

2006 年 7 月第 1 版 2006 年 7 月第 1 次印刷 印数:5 000 册

ISBN 7-81077-778-5 定价:46.00 元(含光盘 1 张)

前 言

Cadence 公司是全球最大的 EDA 软件厂商,它推出的 Cadence 软件系统提供了从芯片设计到封装设计再到板级设计的一体化设计平台。该软件系统主要分为 PCB 专家系统、PCB 设计工具、FPGA 设计系统、自动布线专家系统、Allegro 浏览器、高速电路板系统设计和分析、布线前后的信号完整性分析、电磁兼容设计工具、高密度 IC 封装设计和分析以及模拟混合信号仿真系统等。其中 Allegro SPB 15.2 工具包包括了原理图输入(DE - CIS/DE - HDL)、PCB 设计(Allegro)、仿真分析(SPECCTRAQuest/Power Integrity)等一整套工具。

目前关于 Allegro, SPECCTRAQuest, Power Integrity 等的学习教程少之又少,偶尔在网上找到的资料也过于简单,而英文资料又让人难以系统地看懂。为了能使广大技术人员学会 Allegro SPB 15.2 工具包,本书几位作者根据多年以来学习和使用 Allegro PCB 设计、SPECCTRAQuest 信号完整性分析、Power Integrity 电源完整性分析的实践,结合各自在 PCB 设计方面的点滴经验,以及综合网络上关于 Cadence 的资料,系统地写成一本关于 Cadence 高速 PCB 设计、仿真的书,相信能为广大的高速 PCB 设计、仿真分析爱好者提供很大的帮助。

本书系统地介绍了 Allegro SPB 15.2 工具包中的几个软件的界面特点、使用过程和方法技巧等,共分 12 章。第 1 章简要介绍了高速 PCB 设计发展过程和 Allegro SPB 15.2 工具包的安装步骤;第 2 章简单介绍了 Allegro 的使用界面及常用命令;第 3 章详细介绍了 Allegro 焊盘和封装的设计;第 4 章主要介绍了 Allegro PCB 设计的基本使用;第 5 章深入介绍了 Allegro PCB 设计的高级技巧;第 6 章详细介绍了 Allegro 的后处理和设计输出;第 7 章主要介绍了在 Allegro 系统中如何建立一个具有个性的用户环境;第 8 章主要介绍了约束管理器的界面特点及使用方法;第 9 章简要介绍了 SPECTRA 自动布线工具的使用方法;第 10 章简要介绍了高速 PCB 设计的基本理论知识;第 11 章主要介绍了 SigWave, Model Integrity, SPECCTRAQuest 和 SigXplorer 等软件的使用方法,并介绍了如何应用这些软件进行信号完整性仿真;第 12 章详细介绍了如何应用 Power Integrity 进行电源完整性设计和分析。

本书由黄豪佑、董辉、卢建刚、肖潇编著。参与本书编辑处理、图片处理、文字输入工作的还有加玉涛、王妹芳、余跃。另外,在本书编写过程中参考了大量的网络资料,在此对相关人士表示衷心的感谢。

由于作者水平有限,对于书中不妥甚至错误之处,敬请读者予以指正。

黄豪佑
2006 年 3 月



录

第 1 章 概 述

1.1 Cadence 软件系统简介	1
1.1.1 Allegro PCB 设计 610	2
1.1.2 Allegro PCB SI 610	4
1.2 高速 PCB 设计	6
1.2.1 高速 PCB 设计简介	6
1.2.2 高速 PCB 设计趋势	6
1.2.3 高速 PCB 设计面临的挑战	7
1.2.4 高速 PCB 设计流程	7
1.3 软件安装	8
1.3.1 SPB 15.2 的运行环境	8
1.3.2 安装步骤	9
1.3.3 License 设置说明	20
1.4 小 结	24
1.5 习 题	24

第 2 章 Allegro 界面介绍

2.1 软件启动	25
2.2 界面介绍	26
2.2.1 菜单栏	26
2.2.2 工具栏	32
2.2.3 控制面板	35
2.3 几个常用菜单的详细说明	39
2.3.1 File 菜单	40
2.3.2 Edit 菜单	42
2.3.3 Display 菜单	49
2.4 小 结	53
2.5 习 题	53

第 3 章 Allegro 零件库制作

3.1 焊盘的创建	54
-----------------	----

3.1.1	焊盘特性介绍	54
3.1.2	焊盘编辑器 Pad Designer 的介绍	56
3.2	焊盘制作范例	61
3.2.1	贴片焊盘范例	61
3.2.2	通孔焊盘范例	65
3.2.3	盲/埋孔焊盘范例	69
3.3	元件封装的创建	71
3.3.1	Allegro 中封装类型的介绍	71
3.3.2	Allegro Package 封装编辑器	71
3.3.3	手动创建 Flash 芯片 28F128J3A 的封装	73
3.3.4	使用向导创建 Flash 芯片 28F128J3A 的封装	78
3.3.5	创建运动控制芯片 CAMC-IP 封装	83
3.4	其他封装的建立	89
3.4.1	PCB 外形框图的建立	89
3.4.2	Flash 符号的创建	92
3.4.3	Shape 符号的创建	93
3.5	小结	95
3.6	习题	95
第 4 章	Allegro PCB 设计基础	
4.1	基本设置	96
4.2	设置板外框	103
4.3	导入网表文件	105
4.4	布局	106
4.4.1	手工布局	107
4.4.2	自动布局	112
4.4.3	布局调整和检查	118
4.5	约束规则	120
4.5.1	标准设计规则	120
4.5.2	扩展设计规则	121
4.6	布线	131
4.6.1	手动布线	132
4.6.2	自动布线	138
4.7	覆铜	144
4.7.1	参数设置	145
4.7.2	命令介绍	149
4.8	小结	157
4.9	习题	157
第 5 章	Allegro PCB 设计进阶	
5.1	分区布局	158

5.2 高级布线技巧	161
5.2.1 蛇形走线	162
5.2.2 差分走线	164
5.2.3 等长走线	172
5.2.4 扇出布线	174
5.3 在线修改网络	178
5.4 在线修改焊盘	184
5.5 小 结	186
5.6 习 题	186
第 6 章 后处理和设计输出	
6.1 测试点	187
6.1.1 自动加入测试点	187
6.1.2 手动加入测试点	191
6.1.3 测试点属性	192
6.2 设计优化	194
6.2.1 Gloss 优化命令	194
6.2.2 优化参数设置	194
6.3 重编元件序号	203
6.4 整理文字面和丝印调整	207
6.4.1 整理文字面	207
6.4.2 丝印调整	208
6.5 产生钻孔图	210
6.5.1 设置 NC 参数	210
6.5.2 设置 NC Route	211
6.5.3 设置 NC 钻孔	213
6.5.4 生成钻孔图	214
6.6 生成光绘文件	215
6.6.1 设定 Aperture 档案	216
6.6.2 设置底片参数	217
6.7 小 结	222
6.8 习 题	222
第 7 章 Allegro 用户环境的建立	
7.1 设置专属的环境变量	223
7.2 各环境变量的功能介绍	224
7.2.1 Artwork 类	225
7.2.2 Autosave 类	226
7.2.3 Browser 类	227
7.2.4 Config_paths 类	231
7.2.5 Control_panel 类	234

7.2.6	Design_paths 类	235
7.2.7	Display 类	236
7.2.8	Drawing 类	239
7.2.9	Drc 类	241
7.2.10	Etch 类	242
7.2.11	File_manager 类	243
7.2.12	Gloss 类	244
7.2.13	Input 类	245
7.2.14	Misc 类	245
7.2.15	Plot 类	248
7.2.16	Roam 类	249
7.2.17	Shape 类	249
7.2.18	Show_element 类	251
7.2.19	Signal_analysis 类	252
7.2.20	Skill 类	254
7.2.21	Ui 类	254
7.2.22	Ui_paths 类	256
7.2.23	Undo 类	257
7.2.24	User 类	257
7.2.25	Wizards 类	258
7.3	小结	258
7.4	习题	258
第 8 章 约束管理器		
8.1	约束管理器简介和启动	259
8.1.1	约束管理器的简介	259
8.1.2	约束管理器的启动	260
8.2	约束管理器的用户界面	261
8.2.1	界面简介	261
8.2.2	菜单介绍	263
8.3	对象	265
8.3.1	对象的分类	265
8.3.2	对象的创建	266
8.4	约束的设置	271
8.4.1	设置信号完整性约束	271
8.4.2	设置时序约束	272
8.4.3	设置走线约束	273
8.4.4	约束设置实例说明	274
8.5	约束集的创建和参考	275
8.5.1	约束集的创建	275

8.5.2 约束集的参考	279
8.5.3 约束集应用实例	280
8.6 约束分析	282
8.6.1 约束分析的分类和介绍	282
8.6.2 约束分析的实例说明	285
8.7 小 结	286
8.8 习 题	286
第 9 章 Spectra 自动布线指南	
9.1 Spectra 软件简介	287
9.1.1 Spectra 概述	287
9.1.2 Spectra 的启动	288
9.2 Spectra 软件菜单介绍	290
9.3 Spectra 软件布局介绍	303
9.3.1 布局工作模式	303
9.3.2 基本布局方法	307
9.4 Spectra 软件布线介绍	310
9.4.1 自动布线全局规则设置	310
9.4.2 自动布线规则设置	311
9.4.3 自动布线基本方法	316
9.5 小 结	323
9.6 习 题	323
第 10 章 高速电路设计的基本知识	
10.1 信号完整性设计	324
10.1.1 反 射	325
10.1.2 串 扰	329
10.1.3 过冲和下冲	331
10.1.4 振铃和环绕振荡	331
10.1.5 信号延迟	331
10.2 电磁兼容性设计	332
10.3 电源完整性设计	333
10.4 小 结	336
10.5 习 题	336
第 11 章 SPECCTRAQuest 信号完整性仿真	
11.1 信号完整性仿真的重要意义	337
11.2 常用仿真模型简介	338
11.2.1 SPICE 模型	338
11.2.2 IBIS 模型	339
11.2.3 IBIS 与 SPICE 模型比较	342
11.3 模型完整性	343

11.3.1	Model Integrity 界面介绍	343
11.3.2	转换文件	345
11.3.3	语法检查	347
11.3.4	查看曲线	348
11.3.5	引脚模型仿真	350
11.3.6	创建 IBIS 模型文件	351
11.4	SigWave 工具	354
11.5	SPECCTRAQuest 简介	363
11.6	信号完整性仿真	365
11.6.1	准备 DML 库文件	366
11.6.2	数据库设置向导	371
11.6.3	设置仿真系统参数	382
11.6.4	选取网络仿真	389
11.6.5	设定报告包括的参数生成仿真报告	390
11.6.6	生成仿真波形	394
11.6.7	提取和编辑拓扑结构	396
11.7	SigXplorer 介绍	397
11.7.1	界面介绍	397
11.7.2	设置约束条件	402
11.7.3	设置仿真系统参数	404
11.8	仿真范例	406
11.9	小结	410
11.10	习题	410
第 12 章 SQ PI 电源完整性设计和分析		
12.1	电源完整性分析流程	411
12.2	准备工作	412
12.3	电压调节模块	426
12.4	设计与分析	428
12.5	小结	436
12.6	习题	436

参考文献



第 1 章

概 述

本章简要介绍了 Allegro SPB 15.2 软件系统的组成和各个部分的功能,使读者对 Allegro 有初步的了解,并介绍了如何安装 Allegro SPB 15.2 工具包。

1.1 Cadence 软件系统简介

Cadence 公司是全球最大的 EDA 软件厂商和 PCB 设计的领导性厂商,也是唯一能够提供从芯片到封装再到系统全套解决方案的厂商。Cadence 公司推出的 Cadence 软件系统提供了从芯片设计到封装设计再到板级设计的一体化设计平台。整个系统主要分为 PCB 专家系统、PCB 设计工具、FPGA 设计系统、自动布线专家系统、Allegro 浏览器、高速电路板系统设计和分析、高密度 IC 封装设计和分析以及模拟混合信号仿真系统。其功能包括原理图输入,数字、模拟及混合电路仿真,FPGA 可编程逻辑器件设计,自动布局和布线,印刷电路板布局、布线设计等。特别在高速设计方面,该系统提供了一整套包括分析控制 SI,PI,EMC/EMI 等问题于一体的高速设计工具,并在传统的物理约束基础上扩充了电气约束功能,可以解决在设计环节中存在的与电气性能相关的问题。通过对时序、信噪、串扰、电源构造和电磁兼容等多方面因素进行分析,可以在进行实际的布局及布线之前对系统的时间特性、信号完整性、电源完整性、EMI 等问题作一个最优化的设计,为用户的高速设计提供有力保证。Cadence 的高速 PCB 设计工具包含着一套科学、系统的思想方法,使用它可以避免设计过程中的盲目性,在设计过程中就能事先做到心中有数,保证设计的每一个产品都可靠、稳定,从而提高产品开发效率和性能,使硬件设计水平上一个台阶。因此其板级设计工具广泛用于通信、计算机和家电等领域,并成为众多公司的设计标准平台。

Cadence 公司于 2003 年推出了 Allegro SPB 15.2 系统互连设计平台,对其中的 PCB 设计和封装设计软件进行了大量的修改,提高了整个系统设计流程中的协作能力,加速了高性能、高密度的互连设计。

各个工具简述如下。

1.1.1 Allegro PCB 设计 610

Allegro PCB 设计 610 是 Allegro 15.2 系统互连设计平台的一个 600 系列产品,是一个完整的高性能印刷电路板设计套件。它提供一个交互式、约束驱动的高速 PCB 设计环境和全集成的设计流程,从设计输入到约束管理器再到自动/手动布局、布线器,便于创建和编辑复杂、多层、高速、高密度的 PCB,并允许用户在设计过程的任意阶段定义、管理和验证关键信号,能实现高速 PCB 设计带来的各种挑战。它由设计输入、库管理工具、Allegro 约束管理器、印刷电路板编辑器、自动/交互式布线器、与射频协同设计的接口、机械 CAD 以及与其他印刷电路板系统的转换器等构成。主要工具如下。

1. Allegro 设计输入 CIS

Allegro 设计输入 CIS(Design Entry CIS)是业界领先的原理图设计工具,具有高级部件搜索的功能和直观、简单的特性。部件信息系统(CIS)是具有 Web 功能的部件数据库管理工具,功能强大,能创建、跟踪和认证部件。它具有如下特性:

- 兼容 ODBC 的组件数据库和 MRP,ERP,PDM 集成。
- 管理工具软件用于原理图特性验证。
- 变种设计支持,包括部件替换和部件“不存在”要求。
- 图形化、平面化和层次化设计原理图页面编辑器。
- 宏记录器用于复杂的原理图编辑和定制过程重演。
- 支持文本/VHDL 编辑器。
- 在线设计规则检查,用于数据流程、封装以及互连。
- 用于部件、网络、引脚和标题模块的无限制的用户定义特性。
- 超过 44 000 个库部件,包括 IEEE 和 IEC 标准风格。
- DEIF 图形和 EDIF 网表接口。
- 直接 HDL 输出用于 Verilog 和 VHDL 模拟。
- 支持英制或者公制单位。
- 撤消/重做功能。

2. Allegro 设计输入 HDL

Allegro 设计输入 HDL(Design Entry HDL)是一种层次化的原理图设计工具,支持图形原理图和硬件描述语言的任意组合,支持自顶向下的设计方法。它具有设计重用和基于变种的设计功能。其特性如下:

- 大型原理图符号库。
- 支持模拟电路或者数字电路设计,从架构级到电路级。
- 支持自顶向下的设计,使用图形化原理图和 HDL 基于文字描述的任意组合。
- 由模块编辑器自动生成 Verilog 或者 VHDL 表示。
- 点到点的连线和自动引脚命名,以便快速进行模块级设计。
- 直接 HDL 输出用于 Verilog 和 VHDL 模拟跨原理图设计页和层次化的层级的全局查找。

- ECO 与 Allegro 印刷电路板编辑器无缝集成,包括约束规则传输和物理设计信息的反标注。
- 内建图形化层次管理器,用于简单地结构化和导航整个复杂的层次化设计。
- 配置管理方便系统范围的模拟。
- 高性能图形,包括动态 pan、带可选命令行输入的定制用户接口、菜单和热键。

3. Allegro 约束管理器

基于电子数据表的 Allegro 约束管理器是 Allegro PCB 设计 610 的重要组成部分,是一个在 Cadence PCB 设计流程中设置高速电子约束的平台,能与所有的设计工具紧密联系,能在 Concept HDL, Allgro, Advance Package Designer (APD), SPECCTRAQuest 和 SigExplorer 工具中调出,而且约束管理器能将 SigExplorer 工具中的拓扑结构用来设置信号约束,并能实时仿真分析设计情况,配合 Allegro, SigXplorer 等工具进行 PCB 设计、仿真,大大提高 PCB 设计的效率和准确率。它具有如下特性:

- 提取、编辑网络的拓扑结构。
- 集成 Allegro 印刷电路板 SI 以及 Allegro 印刷电路板编辑器。
- 通过 PCB 设计和原理图设计输入同步约束定义。
- 支持系统级约束涵盖多个印刷电路板。
- 在布局、布线或者分析过程中的实时约束更新。
- 图形化拓扑创建和约束指定。

4. Allegro 印刷电路板编辑器

Allegro 印刷电路板编辑器是印刷电路板设计 610 的心脏,是一个交互、高速、约束驱动的环境,用于创建和编辑复杂、多层印刷电路板。它提供约束驱动自动和手动交互的布局模式,根据自动布局的结果进行手动调整,利用 DE - CIS 或 DE - HDL 之间的交互作用,可以在原理图中选择元件摆放到 PCB 图中,确保关键元件的合理布局,同时支持将电路板分区布局,将特定的元件或子电路布局到特定的区间,便于管理电气、热或机械等约束。它具有如下特性:

- 使用 QuickPlace 的高级布局规划和预布局规划。

在摆放元件之前,做好布局规划工作是有必要的。印刷电路板编辑器中的 QuickPlace 工具软件允许基于指定的标准在印刷电路板轮廓线周围选择未布局的元件。使用规则驱动设计理念 and 灵活的布局功能集合,可以将电路板分成不同的区间;在设计输入或布局规划阶段,元件和子电路可以被指定到特定的区间,每个区间可以有不同的格点。

- 制造输出方便。

为了应对复杂电源平面设计的主要趋势,减少层数和降低成本,Allegro 印刷电路板编辑器提供业界最强大和全面的电源平面创建和编辑功能。它同时提供各种各样的制造输出,能够生成全套光刻工具、裸电路板制造和测试输出,包括各种样式的 Gerber 274x, NC drill 以及裸电路板设计。610 支持业界出现的 Gerber - Less 制造,而且能输出 ODB++ 数据格式。

5. Allegro 印刷电路板布线器 610

印刷电路板编辑器版图设计功能是由 Allegro 印刷电路板布线器 610 完成的,这是业界领先的解决方案,用于印刷电路板和复杂集成电路封装的自动和交互式互连布线,设计用来处

理具有复杂高速设计规则要求的高密度印刷电路板。印刷电路板布线器 610 使用功能强大的、基于图形的算法,能够最有效地使用布线面积,提高复杂设计印刷电路板的布通率,能够在把设计转入制造之前,探究和解决与布线、电气性能相关的问题,提高了设计效率并缩短了设计周期。印刷电路板设计者应用印刷电路板布线器 610,能够研究可重复的布线策略,并分析布线策略对延时、串扰、阻抗、差分对以及网络的影响。印刷电路板布线器 610 的全面功能包括可控制的真正 45°的布线,能够用于所有网络、带自动过孔缝合的自动网络屏蔽以及全面的微过孔结构支持。它具有如下特性:

- 基于栅格的自动布线。
- 同步布线多达 256 个信号层。
- SMD 扇出到过孔。
- 45°布线。
- 总线布线(SMD 或者穿孔)。
- 按层的布线和间距规则。
- 按层的网络/网络级规则。
- 软和硬围栏。
- 自动布线伸展和测试点生成。
- 盲过孔和掩埋过孔。
- SMD 焊盘下的过孔。
- 复数过孔。
- 自动线绑定。
- 在布线过程中的自动门和引脚互换。
- 并排布线控制。
- 累积噪声控制。
- 最大/最小/匹配长度控制。
- 使用 Turbo 交错技术自动差分对布线。
- 按照区域的规则/间距布线。
- 线网屏蔽。

1.1.2 Allegro PCB SI 610

Cadence Allegro PCB SI 610 是 Allegro 15.2 系统互连设计平台的一个 600 系列产品,提供了一个集成的高速数字 PCB 和 IC 封装设计与分析环境。它能以流水线方式对信号完整性、电源完整性及电磁兼容性等多方面因素进行分析。PCB 设计工程师在设计过程中的任何阶段都可以探究、优化解决与电气性能相关的问题,提高设计的可观性和可靠性,从而实现 Cadence 提出的“设计即正确”的理念。Allegro PCB SI 610 使能约束驱动的设计流程,提高了首次成功的几率并降低产品的整合成本。它由 Model Integrity、SigXplorer 拓扑探索环境、SigNoise 模拟子系统、Allegro 约束管理器、布局规划器/编辑器、Allegro 印刷电路板布线器 610 以及 EMControl 设计规则检查器 7 个主要组件构成,说明如下。

1. Model Integrity

印刷电路板 SI 能够接受各种不同高速数字电路建模格式的器件模型,如 IBIS 3.2 建模标准的模型、Mentor/Quad XTK 模拟器格式转换的模型、SPICE 器件模型和 Cadence 器件建模语言(DML)编写的模型。印刷电路板 SI 中的 Model Integrity 模块允许在一个简单易用的编辑环境内快速创建、编辑和验证模型,可为 IBIS 模型和 Cadence DML 编写的高级模型提供模型浏览器和语法检查器,同时提供 HSPICE 到 IBIS 转换模块,根据 HSPICE 模拟运行输出 IBIS 以及缓冲器选项文件生成 IBIS 模型。模型完整性能够从 HSPICE 运行文件找出典型、最大和最小情况的 V/I 和 V/T 对应的表格。由于 HSPICE 模拟运行的点的数目远远大于 IBIS 所允许的最大点数,故模型完整性 HSPICE 到 IBIS 转换模块,应用智能和经过验证的最优曲线匹配算法来提供精确的 IBIS 模型,并与 SigXplorer 配合使用来验证模型。

2. SigXplorer 拓扑开发环境

SigXplorer 能在原理图产生之前单独进行拓扑结构设计与分析,建立和验证详细的电气拓扑模型,从而可以评估使用不同器件的效果。它具有如下特性:

- SigXplorer 提供一个图形界面,用于探究、分析和定义互连策略来提供物理互连线的拓扑结构。该特点允许电气工程师从电气的角度探究不同的布局、布线策略,从而能够开发全面的设计规则集合。这些约束规则作为生成的电气约束集(ECSet)可以放入约束集合库,并在将来的设计中重用。SigXplorer 能从布线前和布线后的数据库中提取网络的拓扑结构,在网络模型基础上进行详细分析和编辑。
- 在同一窗口上显示线网的拓扑结构及其相关的模拟结果,窗口的上半部分显示线网的拓扑结构,下半部分通过一系列电子数据表显示可编辑的电路参数,并能控制时序、串扰等仿真类型,还可以显示仿真结果。
- 提供一整套内建时序测量以及图形化用户接口,允许开发与仿真或拓扑相关的测量约束。这些定制时序测量能够使用基本的算术功能,如加法、减法、乘法和除法等,定制测量可以在预布局阶段开发并嵌入到 ECSet 中。
- 能将 ECSet 导入并保存在 PCB 数据库追踪,用于驱动物理设计过程。ECSet 可以认为是一个能够应用到一组网络的约束模板。

3. Power Integrity

Allegro 印刷电路 PI 选项 610 是印刷电路板 SI 610 的一个附加软件,可提供一个集成的电源完整性设计和分析环境,能够精确地量化和控制电源供给系统内的噪声,解决了高速印刷电路板系统设计中遇到的电源供给问题。由于功率分布系统的阻抗是与频率相关的,因此设计者必须在运行的频段上优化目标阻抗,考虑整个电源供给系统——VRM、旁路电容以及功率平面,经过多次的修改—模拟—分析过程,进而设计一个抗干扰性很强的电源供给系统。它具有如下特性。

- 设置向导:设置向导为电源完整性设计和分析提供所有必要的内容。其中包括电路板外形、叠层、接地平面对、功率、功率平面形状、功率平面相关的直流线网、电容及电容库等。
- 频域分析:Power Integrity 将频域分析引擎与 Allegro PCB 设计 610、Allegro PCB SI 610 结合在一起,能模拟不同频域出现的现象,量化目标阻抗。在模拟阶段,考虑整个

电源供给系统,包括 VRM、旁路电容以及功率平面。可以在设计的早期进行单节点分析,确定所选的电容值和数量大小是否能够在期望的频段上维持目标阻抗,然后再根据电容在电路板上所在的位置进行多节点分析。

- VRM 编辑器: VRM 编辑器附带一个输入电感计算器和一个目标阻抗计算器。它根据允许的电压波动大小和动态电流计算目标阻抗,在模拟波形窗口中显示目标阻抗线,容易确定印刷电路板的哪个区域不符合要求。在波形显示窗口中点击波形会高亮显示相应的印刷电路板区域,并给出用于解决显示在波形窗口中的问题的容量类型和数量的建议。把印刷电路板设计编辑器与分析环境集成在一起,允许工程师在必要的地方选择和摆放去耦电容,并马上能够看见问题得到解决。

1.2 高速 PCB 设计

1.2.1 高速 PCB 设计简介

随着计算机通信和半导体技术的发展、数字集成电路系统的速度和密度的提高以及数字信号传输和处理速率的提高,新型工艺和封装技术不断涌现,如 BGA, TQFP, PLCC 等封装大量使用,高密度引脚封装及小型化封装成为一种时尚,及至实现整个产品小型化。另外,芯片工作频率不断提高,器件的边沿速度越来越快,信号的上升和下降时间迅速缩减,高速 PCB 设计将越来越多,也越来越复杂。IC 芯片、封装和电路板之间的各种电磁影响已经成为高速系统设计的重要瓶颈,所以未来的 PCB 设计都要考虑信号完整性、电源完整性、电磁干扰/电磁兼容和热辐射等方面的问题。高速 PCB 设计问题已经成为电子产品设计中的重中之重,如延时、反射、串扰和振铃等信号完整性问题已经逐步受到高速 PCB 设计者的重视。目前高速设计在通信、计算机、消费电子产品和图形、图像处理等许多领域广泛应用。

1.2.2 高速 PCB 设计趋势

随着工作频率的不断提高和芯片技术的不断发展,传统 PCB 设计流程将要被现代设计流程所取代。集成电路的工作速度不断提高,电路的复杂性不断增加,多层板和高密度电路板的出现等都对 PCB 板级设计提出了更高更新的要求。尤其是半导体技术的飞速发展,数字器件复杂度越来越高,门电路的规模达到成千上万甚至上百万。现在一个芯片可以实现过去整个电路板的功能,从而使相同的 PCB 上可以实现更多的功能。PCB 已不仅仅是支撑电子元器件的平台,而变成了一个高性能的系统结构。PCB 设计将呈如下趋势发展。

① 小型化——未来的电子产品将朝着轻薄短小方向发展,要在更小的面积内容纳更多的零件。

② 低成本——由于电路板的成本与制作的层数密切相关,PCB 设计必须尽最大可能用最小的走线层数来完成整个设计,以降低电路板的制作成本。

③ 高效率——如今的电子行业竞争愈演愈烈,时间是取胜的一大法宝。缩短 PCB 设计

时间成为各个企业追求的目标,因此必须高效率准确地完成整个系统的 PCB 设计。

④ 复杂化——工作频率越来越高,布线层数越来越多,布线密度越来越高,PCB 设计越来越复杂。

1.2.3 高速 PCB 设计面临的挑战

1. 如何解决高速设计带来的问题

随着集成电路的工作速率和信号的边沿速率不断提高,以及电子产品功能的日益复杂和性能的提高,PCB 设计越来越复杂,正朝着超大规模、高速和高集成度的方向发展。因此传统的设计方法已经不适合去指导现代的电子设计,在进入亚微米设计时代,将需要新的设计规则、新的技术、新的工具和新的设计方法。面对封装日益复杂、工作频率越来越高的 PCB 设计,如何预防高速 PCB 设计带来的信号完整性、电源完整性(PI)、EMC/EMI 以及热辐射等问题,成为一个新的设计挑战。

2. 如何缩短设计周期

电子行业的竞争愈演愈烈,在最短时间内推出新品成为每个厂商追求的目标之一。在高速、高密度的 PCB 设计环境下,如何利用先进的 EDA 工具以及最优化的方法和流程,高质量、高效率地完成设计,从而实现减少改板次数、减少开发成本、缩短设计周期和一次性设计成功等目标也成为一个新的设计挑战。

3. 如何实现密集型电路

随着半导体技术的飞速发展,芯片的复杂度越来越高,功能也越来越强,同时电路的复杂性和要求也不断增加,从而电路的集成规模越来越大,I/O 数越来越多,单板互连密度不断加大,系统尺寸越来越小,因此越来越高的器件密度,越来越小的电路板空间,苛刻、复杂的布局和布线规则,使得 PCB 设计面临更大的挑战。高速 PCB 设计实际上是一个系统问题,涉及的面很广,人员多,情况复杂,要很好地解决高速设计问题必须要使各部分设计人员通力合作、统一协调。

1.2.4 高速 PCB 设计流程

随着技术的不断发展,PCB 设计流程和方法也有了较大的发展。传统的 PCB 设计流程如图 1-2-1 所示。

传统的 PCB 设计依次经过电路设计、版图设计、PCB 制作等工序,而 PCB 的性能只有通过一系列仪器来测试。如果不能满足性能的要求,上述的过程就需要经过多次的重复,尤其是有些问题往往很难将其量化,反复多次就不可避免。这些在当前激烈的市场竞争面前,无论是设计时间、设计的成本还是设计的复杂程度都无法满足要求。在现代通信系统设计越来越复杂、设计周期要求越来越短的情况下,传统的设计方法和流程已不能满足现代系统的设计要求,需要改进 PCB 的设计方法和流程,以适应高速 PCB 设计的需要。

Cadence 公司为了满足高速 PCB 设计的需要,提供了一套高速 PCB 设计流程,如图 1-2-2 所示。