

# Cadence

## 高速电路板 设计与仿真

<http://www.phei.com.cn>

• 周润景 袁伟亭 编著



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

# Cadence 高速电路板设计与仿真

周润景 袁伟亭 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

## 内 容 简 介

本书以 Cadence 公司最新推出的 SPB15.5 版本为基础,以实际 PCB 板设计流程为例子,详尽讲解 Cadence 公司的 PCB 工具使用方法,包括用 Capture 完成原理图设计、原理图符号的制作、PCB 板元件的封装设计、板框设置、元件的布局、PCB 板的布线、基于 SpectraQuest 的高速电路仿真及文档的输出。本书对 SPB15.5 版本的新功能做了详尽讲解,特别增加了高速 PCB 的设计部分。通过本书的学习,读者可以掌握使用 Cadence 公司的 PCB 工具设计高质量的 PCB 板的方法。本书力求实用、全面、系统,使读者能在较短的时间内全面掌握该设计工具。

本书适合于对 PCB 设计有一定基础的中、高级读者。可作为电子及相关专业 PCB 设计培训用书,也可以作为高级电子产品研发人员的技术参考用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有,侵权必究。

### 图书在版编目(CIP)数据

Cadence 高速电路板设计与仿真 / 周润景, 袁伟亭编著. —北京: 电子工业出版社, 2006.4  
ISBN 7-121-02451-9

I. C… II. ①周… ②袁… III. 电路设计—计算机仿真 IV. TN702

中国版本图书馆 CIP 数据核字 (2006) 第 029379 号

责任编辑: 张 剑

印 刷: 北京东光印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 45.75 字数: 1171 千字

印 次: 2006 年 4 月第 1 次印刷

印 数: 5 000 册 定价: 68.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话:(010) 68279077。质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

# 前 言

由于印制电路板中元器件的工作速度越来越高，密度越来越大，而普通的 PCB 设计工具只能绘制印制电路板，无法保证设计电路的信号完整性和电磁兼容性。尽管有一些低端的 PCB 设计工具能对信号完整性做一些近似的分析，但分析精度不高，与实际测量差异较大，难以满足高速电路的设计要求。Cadence 公司是 EDA 领域最大的公司之一，SPB 是其众多产品之一，在 PCB 设计行业属于顶级水平，性能卓越。

常言道：“工欲善其事，必先利其器”，选择一款高性能的 PCB 设计软件是非常重要的。Cadence 公司的 PCB 设计工具所包含的各个模块，具有如下特点：

(1) 原理图设计 (Capture CIS)：具有丰富的库元件、方便快捷的原理图输入工具与原理图元件符号编辑工具，与 PCB 设计工具的接口友好，图形美观，能兼容导入由其他 PCB 工具设计的原理图资料，也能导出多种其他 PCB 工具格式的文件。

(2) 原理图仿真 (Pspice A/D)：具有种类齐全、数量丰富的库元件模型及强大的分析功能。

(3) PCB 库元件编辑工具 (Allegro Package Designer)：具有简便、直观、快速、准确地编辑各种标准与非标准封装库元件的功能。

(4) PCB 设计布局 (Allegro)：具有原理图与 PCB 交互参考布局功能。在设计电路结构比较复杂的 PCB 板时，不是把所有的元件一起堆到 PCB 板框的四周，使得元件摆放密密麻麻难以区分，而是能依据电路的功能划分出各种区域 (ROOM)，将元件自动或手动摆放到相应的区域。还能分类提取元件，如按 IC、IO、R、C 分类等，可以显著地缩短元件布局时间，大幅度提高设计效率。

(5) PCB 设计布线 (Specctra)：手工布线与自动布线具有推挤布线，支线、总线布线，差分对、等长、均匀间隔布线等功能。自动布线具有很高的布线速度、布通率和布线质量，可以保证信号完整性和电磁兼容性。

(6) 分析工具 (SpecctraQuest SI/PI/EMI)：具有准确的信号完整性、电源完整性及电磁兼容性分析工具。

(7) 报表生成：可以生成完善齐全的报表，输出加工 PCB 所需的文档。

本书共 24 章及 2 个附录，其中第 1~18、21~23 章及附录 A、B 由周润景编写，袁伟亭编写了第 19、20、24 章的内容，全书由周润景统稿。

为便于读者阅读、学习，特提供本书所讲实例下载资源。请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，不妥之处还望指正。

编 著 者

# 目 录

<b>第1章</b>	<b>软件安装及 License 设置</b>	1
1.1	概述	2
1.1.1	功能及特点	2
1.1.2	设计过程	4
1.1.3	设计流程	4
1.1.4	计算机配置要求	5
1.2	软件安装	6
1.3	License 设置	18
<b>第2章</b>	<b>Capture 原理图设计工作平台</b>	21
2.1	OrCAD/Capture CIS 软件功能介绍	22
2.2	原理图工作环境	22
2.3	设置图纸参数	23
2.3.1	设置颜色	24
2.3.2	设置格点属性	25
2.3.3	杂项的设置	25
2.3.4	设置其他参数	26
2.4	设置设计模板	26
2.4.1	字体设置	26
2.4.2	标题栏 (Title Block) 设置	27
2.4.3	页面尺寸 (Page Size) 设置	28
2.4.4	格点参数 (Grid Reference) 设置	29
2.4.5	设置层次图参数	30
2.4.6	设置 SDT 兼容性	30
2.5	设置打印属性	31
<b>第3章</b>	<b>制作元件及创建元件库</b>	35
3.1	创建单个元件	36
3.1.1	直接新建元件	36
3.1.2	用电子表格新建元件	45
3.2	创建复合封装元件	48





3.2.1 创建 U?A .....	48
3.2.2 创建 U?B, U?C 和 U?D .....	49
3.3 大元件的分割 .....	50
3.4 创建其他元件 .....	51
习题 .....	52
<b>第 4 章 创建新设计 .....</b>	<b>53</b>
4.1 原理图设计规范 .....	54
4.2 Capture 基本名词术语 .....	54
4.3 建立新项目 .....	56
4.4 放置元件 .....	57
4.4.1 放置基本元件 .....	58
4.4.2 对元件的基本操作 .....	60
4.4.3 放置电源和接地符号 .....	61
4.4.4 完成元件放置 .....	62
4.5 创建分级模块 .....	63
4.5.1 创建简单层次式电路 .....	63
4.5.2 创建复合层次式电路 .....	69
4.6 修改元件序号与元件值 .....	72
4.7 连接电路图 .....	73
4.7.1 导线的连接 .....	73
4.7.2 总线的连接 .....	74
4.7.3 线路示意 .....	76
4.8 标题栏的处理 .....	78
4.9 添加文本和图像 .....	79
4.10 建立压缩文档 .....	80
4.11 平坦式和层次式电路图设计 .....	81
4.11.1 平坦式和层次式电路特点 .....	81
4.11.2 电路图的连接 .....	83
习题 .....	84
<b>第 5 章 PCB 设计预处理 .....</b>	<b>87</b>
5.1 编辑元件的属性 .....	88
5.1.1 编辑元件属性的两种方法 .....	88
5.1.2 指定元件封装 .....	90
5.1.3 参数整体赋值 .....	90
5.1.4 分类属性编辑 .....	92



5.1.5	定义 ROOM 属性 .....	93
5.1.6	定义按页摆放属性 .....	94
5.2	Capture 到 Allegro PCB Editor 的信号属性分配 .....	97
5.2.1	为网络分配 PROPAGATION_DELAY 属性 .....	98
5.2.2	为网络分配 RELATIVE_PROPAGATION_DELAY 属性 .....	100
5.2.3	为网络分配 RATSNEST_SCHEDULE 属性 .....	101
5.2.4	输出新增属性 .....	102
5.3	建立差分对 .....	102
5.3.1	为 2 个 Flat 网络建立差分对 (手动建立差分对) .....	102
5.3.2	为 1 个设计中多对 Flat 网络同时建立差分对 (自动建立差分对) .....	103
5.4	Capture 中总线 (Bus) 的应用 .....	105
5.4.1	平坦式电路图设计中总线的应用 .....	105
5.4.2	层次式电路图设计中总线的应用 .....	109
5.5	原理图绘制后续处理 .....	113
5.5.1	设计规则检查 .....	113
5.5.2	为元件自动编号 .....	117
5.5.3	回注 (Back Annotation) .....	119
5.5.4	自动更新元件或网络的属性 .....	120
5.5.5	生成网络表 .....	121
5.5.6	生成元件清单 .....	123
5.5.7	属性参数的输出/输入 .....	125
	习题 .....	127
<b>第 6 章</b>	<b>Allegro 的属性设置</b> .....	129
6.1	Allegro 的界面介绍 .....	130
6.2	设置工具栏 .....	135
6.3	定制 Allegro 环境 .....	136
6.3.1	设置绘图参数 .....	137
6.3.2	设置文字尺寸 .....	142
6.3.3	设置格点 .....	142
6.3.4	设置 Subclasses 选项 .....	143
6.3.5	设置 B/B Via .....	144
6.3.6	电路板的预览功能 .....	146
6.3.7	打印设置 .....	146
6.3.8	设置自动保存功能 .....	148
6.4	编辑窗口控制 .....	149
6.4.1	鼠标按键功能 .....	149



6.4.2	画面控制 .....	149
6.4.3	使用 Strokes .....	150
6.4.4	设置快捷键 .....	151
6.4.5	控制面板位置设置 .....	153
6.4.6	定义和运行脚本 .....	153
	习题 .....	157
<b>第7章</b>	<b>建立焊盘 .....</b>	<b>159</b>
7.1	基本概念 .....	160
7.2	为通过孔管脚 (THP) 建立焊盘 .....	161
7.2.1	热风焊盘 (Thermal Relief) 的建立方法 .....	161
7.2.2	正方形有钻孔的焊盘 (Padstack) 的建立方法 .....	164
7.2.3	圆形有钻孔的焊盘的建立方法 .....	172
7.2.4	椭圆形有钻孔的焊盘的建立方法 .....	175
7.3	为表面贴装器件 (SMD) 建立焊盘 .....	178
7.4	为过孔 (Via) 建立焊盘 .....	181
	习题 .....	183
<b>第8章</b>	<b>建立元件封装 .....</b>	<b>185</b>
8.1	基本概念 .....	186
8.2	利用向导建立元件封装 .....	186
8.2.1	利用向导建立 DIP24 封装 .....	186
8.2.2	利用向导建立 PLCC84 封装 .....	191
8.3	手工创建元件封装 .....	196
8.3.1	手工建立 DIN64 封装 .....	196
8.3.2	手工建立 LED 封装 .....	203
	习题 .....	207
<b>第9章</b>	<b>电路板的建立 .....</b>	<b>209</b>
9.1	建立电路板 .....	210
9.1.1	使用电路板向导 (Board Wizard) 建立电路板 .....	210
9.1.2	手工建立电路板 .....	215
9.1.3	建立电路板机械符号 .....	220
9.1.4	建立 Demo 设计文件 .....	228
9.2	输入网络表 .....	234
	习题 .....	237
<b>第10章</b>	<b>设置设计规则 .....</b>	<b>239</b>





10.1	设置标准设计规则 .....	240
10.2	设置扩展设计规则 .....	241
10.2.1	间距规则设置 .....	241
10.2.2	物理规则设置 .....	244
10.3	设置设计约束 (Design Constraints) .....	246
10.4	设置元件属性 .....	246
10.4.1	为元件添加属性 .....	246
10.4.2	为元件添加 FIXED 属性 .....	248
10.4.3	为元件添加 Room 属性 .....	248
10.4.4	为网络添加属性 .....	250
10.4.5	显示属性和元素 .....	250
10.4.6	删除属性 .....	252
	习题 .....	253
<b>第 11 章</b>	<b>布局</b> .....	<b>255</b>
11.1	规划电路板 .....	257
11.1.1	设置格点 .....	257
11.1.2	添加 ROOM .....	257
11.1.3	为预摆放封装分配元件序号 .....	259
11.2	手工摆放元件 .....	260
11.2.1	按照元件序号摆放 .....	260
11.2.2	高亮 GND 和 VCC 网络 .....	262
11.2.3	改变元件默认方向 .....	263
11.2.4	移动元件 .....	263
11.3	快速摆放元件 .....	264
11.3.1	快速摆放元件到分配的 Room 中 .....	264
11.3.2	快速摆放剩余的有源器件 .....	266
11.3.3	产生报告 .....	268
	习题 .....	270
<b>第 12 章</b>	<b>高级布局</b> .....	<b>271</b>
12.1	显示飞线 .....	272
12.2	交换 .....	273
12.2.1	功能交换 .....	273
12.2.2	管脚交换 .....	275
12.2.3	元件交换 .....	276
12.2.4	自动交换 .....	277



12.3	使用 ALT_SYMBOL 属性摆放 .....	278
12.4	按 Capture 原理图页进行摆放 .....	279
12.5	原理图与 Allegro 交互摆放 .....	283
12.5.1	原理图与 Allegro 交互设置方法 .....	283
12.5.2	Capture 和 Allegro 交互选择 .....	283
12.5.3	Capture 与 Allegro 交互高亮和反高亮元件 .....	284
12.5.4	Capture 与 Allegro 交互高亮和反高亮网络 .....	286
12.6	自动布局 .....	287
12.6.1	设置布局的网格 .....	287
12.6.2	设置元件进行自动布局的属性 .....	289
12.6.3	元件的自动布局 .....	290
	习题 .....	293
<b>第13章</b>	<b>铺铜</b> .....	295
13.1	基本概念 .....	296
13.1.1	正片和负片 .....	296
13.1.2	动态铜箔和静态铜箔 .....	297
13.2	为平面层建立 Shape .....	298
13.2.1	显示平面层 .....	298
13.2.2	为 VCC 电源层建立 Shape .....	298
13.2.3	为 GND 地层建立 Shape .....	299
13.3	分割平面 .....	300
13.3.1	使用 Anti Etch 分割平面 .....	300
13.3.2	使用添加多边形的方法分割平面 .....	303
13.4	分割复杂平面 .....	314
13.4.1	定义复杂平面并把它输出底片 .....	314
13.4.2	添加负平面 Shape 并进行负平面孤铜检查 .....	316
	习题 .....	318
<b>第14章</b>	<b>布线</b> .....	319
14.1	布线的基本原则 .....	320
14.2	布线的相关命令 .....	321
14.3	定义布线的格点 .....	321
14.4	手工布线 .....	323
14.4.1	添加连接线 .....	323
14.4.2	删除走线 .....	324
14.4.3	添加过孔 .....	325





14.4.4 使用 Bubble 选项布线.....	327
14.5 扇出 (Fanout By Pick) .....	327
14.6 群组布线 .....	329
14.7 自动布线的准备工作.....	331
14.7.1 浏览前面的设计过程中定义的规则 .....	331
14.7.2 在指定层布地址线的规则设置 .....	332
14.7.3 设置电气规则 .....	334
14.7.4 设置特殊规则区域 .....	337
14.8 自动布线 .....	340
14.8.1 使用 Auto Router 自动布线 .....	340
14.8.2 使用 CCT 布线器自动布线 .....	347
14.8.3 对指定网络或元件布线 (Route Net(s) by Pick) .....	350
14.9 控制并编辑线 .....	352
14.9.1 控制线的长度 .....	352
14.9.2 差分布线 .....	358
14.9.3 高速网络布线 .....	369
14.9.4 45°角布线调整 (Miter By Pick) .....	372
14.9.5 改善布线的连接 .....	374
14.10 优化布线 (Gloss) .....	379
14.10.1 固定关键网络 .....	379
14.10.2 Gloss 参数设置 .....	380
14.10.3 添加和删除泪滴 .....	382
14.10.4 自定义平滑 (Custom Smooth) 走线 .....	383
习题 .....	385
<b>第15章 后处理</b> .....	387
15.1 重命名元件序号 .....	388
15.1.1 自动重命名元件序号 .....	388
15.1.2 手动重命名元件序号 .....	391
15.2 文字面调整 .....	391
15.2.1 修改文字面字体大小 .....	391
15.2.2 改变文字的位置和角度 .....	392
15.2.3 调整 Room 的字体 .....	393
15.3 回注 (Back Annotation) .....	394
习题 .....	396





<b>第16章</b> 加入测试点 .....	397
16.1 产生测试点 .....	398
16.1.1 自动加入测试点 .....	398
16.1.2 建立测试夹具的钻孔文件 .....	402
16.2 修改测试点 .....	403
16.2.1 手动添加测试点 .....	403
16.2.2 手动删除测试点 .....	404
16.2.3 交换测试点 .....	405
16.2.4 重新产生 log 文件、钻孔数据和报告 .....	405
16.2.5 建立测试夹具 .....	407
习题 .....	408
<b>第17章</b> 电路板加工前的准备工作 .....	409
17.1 建立丝印层 .....	410
17.1.1 设置层面颜色和可视性 .....	410
17.1.2 自动添加丝印层 .....	410
17.2 建立报告 .....	413
17.3 建立 Artwork 文件 .....	414
17.3.1 设置加工文件参数 .....	414
17.3.2 设置底片控制文件 .....	416
17.3.3 建立新的底片控制文件 .....	417
17.3.4 建立 Soldermask Top 底片控制文件 .....	418
17.3.5 建立 Soldermask Bottom 底片控制文件 .....	418
17.3.6 运行 DRC 检查 .....	419
17.3.7 建立加工文件 .....	420
17.4 浏览 Gerber 文件 .....	422
17.4.1 为底片建立一个新的 Subclass .....	422
17.4.2 加载 Artwork 文件到 PCB 编辑器 .....	423
17.5 建立钻孔图 .....	424
17.5.1 颜色与可视性设置 .....	424
17.5.2 建立钻孔符号和图例 .....	425
17.6 建立结构图和装配图 .....	427
17.6.1 建立结构图 .....	427
17.6.2 建立装配图 .....	427
17.7 建立 NC DRILL 文件 .....	428
习题 .....	429



<b>第18章</b>	<b>Allegro 其他高级功能</b> .....	431
18.1	设置过孔的焊盘 .....	432
18.2	更新元件封装符号 .....	433
18.3	Net 和 Xnet .....	434
18.4	技术文件的处理 .....	435
18.4.1	输出技术文件 .....	435
18.4.2	输入技术文件到新设计中 .....	436
18.4.3	比较技术文件 .....	438
18.5	设计重用 .....	440
18.6	DFA 检查 .....	447
18.7	修改 env 文件 .....	449
18.8	Skill 的程序安装及功能说明 .....	450
18.8.1	Skill 程序安装 .....	450
18.8.2	Skill 功能说明 .....	452
	习题 .....	453
<b>第19章</b>	<b>高速 PCB 设计知识</b> .....	455
19.1	高速 PCB 的基本概念 .....	456
19.1.1	电子系统设计所面临的挑战 .....	456
19.1.2	高速电路的定义 .....	456
19.1.3	高速信号的确定 .....	456
19.1.4	传输线 .....	457
19.1.5	传输线效应 .....	457
19.2	PCB 设计前的准备工作 .....	458
19.2.1	设计前的准备工作 .....	458
19.2.2	电路板的层叠 .....	458
19.2.3	串扰和阻抗控制 .....	459
19.2.4	重要的高速结点 .....	459
19.2.5	技术选择 .....	459
19.2.6	预布线阶段 .....	459
19.2.7	避免传输线效应的方法 .....	460
19.3	高速 PCB 布线 .....	462
19.3.1	高速 PCB 信号线的布线基本原则 .....	462
19.3.2	地线设计 .....	462
19.4	布线后信号完整性仿真 .....	463
19.4.1	布线后信号完整性仿真的意义 .....	463





19.4.2	模型的选择 .....	463
19.5	提高抗电磁干扰能力的措施 .....	463
19.5.1	需要特别注意抗电磁干扰的系统 .....	463
19.5.2	应采取的抗干扰措施 .....	464
19.6	测试与比较 .....	465
<b>第20章</b>	<b>仿真前的准备工作 .....</b>	<b>467</b>
20.1	验证 IBIS 模型 .....	468
20.1.1	浏览解析的 IBIS 文件结果 .....	468
20.1.2	在 Model Integrity 中仿真 IOCell 模型 .....	473
20.1.3	使用 IBIS to DML 转换器 .....	475
20.1.4	浏览 DML 文件的错误和警告信息 .....	475
20.1.5	使用 Espice to Spice 转换器 .....	477
20.2	预布局 .....	480
20.3	电路板设置要求 (Setup Advisor) .....	484
20.3.1	叠层设置 .....	484
20.3.2	设置 DC 电压值 .....	487
20.3.3	器件设置 (Device Setup) .....	488
20.3.4	SI 模型分配 .....	490
20.3.5	SI 检查 (SI Audit) .....	497
20.4	基本的 PCB SI 功能 .....	498
20.4.1	设置显示内容 .....	498
20.4.2	显示网络飞线 .....	498
20.4.3	确定 HA3 网络的元件 .....	500
20.4.4	摆放元件于板框内 .....	500
	习题 .....	501
<b>第21章</b>	<b>约束驱动布局 .....</b>	<b>503</b>
21.1	预布局拓扑提取和仿真 .....	504
21.1.1	预布局拓扑提取的设置 .....	504
21.1.2	预布局拓扑提取分析 .....	506
21.1.3	执行反射仿真 .....	510
21.1.4	反射仿真测量 .....	516
21.2	设置和添加约束 .....	528
21.2.1	运行参数扫描 .....	531
21.2.2	为拓扑添加约束 .....	537
21.2.3	分析拓扑约束 .....	543

21.3 模板应用和约束驱动布局 .....	545
21.3.1 为串扰仿真建立拓扑 .....	547
21.3.2 执行串扰仿真 .....	559
21.3.3 应用电气约束规则 .....	564
21.3.4 解决 DRC 错误 .....	568
习题 .....	572
<b>第22章 约束驱动布线</b> .....	573
22.1 手工布线 .....	574
22.1.1 手工为 HA4 网络布线 .....	574
22.1.2 布线后调整 .....	582
22.2 自动布线 .....	584
22.2.1 为 HA4 和 HA9 网络自动布线 .....	584
22.2.2 检查已布线的网络 .....	587
22.2.3 使用 Automatic Router 自动布线 .....	595
22.3 分析布线网络的拓扑 .....	597
22.3.1 设置分析参数 .....	597
22.3.2 仿真分析 .....	601
习题 .....	606
<b>第23章 后布线 DRC 分析</b> .....	607
23.1 更新拓扑模板 .....	608
23.1.1 获取 DRC 错误信息 .....	608
23.1.2 修改模板的参数 .....	610
23.1.3 更新拓扑 .....	614
23.2 后仿真 .....	616
23.2.1 反射仿真 .....	616
23.2.2 综合仿真 .....	624
23.2.3 串扰仿真 .....	626
23.2.4 Simultaneous Switching Noise 仿真 .....	629
23.3 多板仿真 .....	641
23.3.1 多板建模 .....	641
23.3.2 使用 DesignLink 分析反射 .....	647
习题 .....	652
<b>第24章 差分对设计</b> .....	653
24.1 建立差分对 .....	654



24.1.1 手工建立差分对 .....	654
24.1.2 自动建立差分对 .....	655
24.2 仿真前准备工作 .....	657
24.2.1 阻抗控制 .....	657
24.2.2 分配器件模型 .....	662
24.3 仿真差分对 .....	667
24.3.1 提取差分对拓扑 .....	667
24.3.2 分析差分对网络 .....	670
24.4 差分对约束 .....	681
24.4.1 设置差分对约束 .....	681
24.4.2 应用差分对约束 .....	682
24.5 差分对布线 .....	684
24.5.1 设置 Constraint Manager .....	684
24.5.2 为 DIFFLOOPIN 网络手动布线 .....	685
24.6 后布线分析 .....	688
习题 .....	692
<b>附录 A User Preferences 设置</b> .....	<b>693</b>
<b>附录 B DRC 错误代码</b> .....	<b>711</b>
B.1 单一字符的错误代码 .....	711
B.2 双字符的错误代码 .....	712
<b>参考文献</b> .....	<b>715</b>



# 第 1 章

## 软件安装及 License 设置



### 概述



### 软件安装



### License 设置