

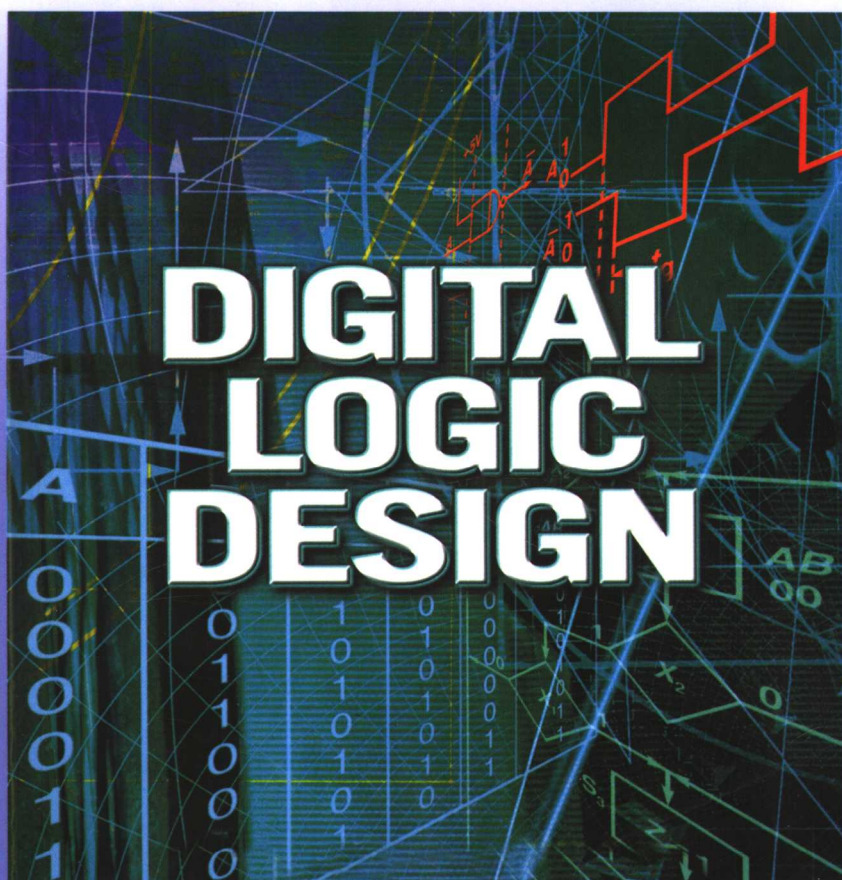
国外著名高等院校
信息科学与技术优秀教材



数字逻辑设计(第四版)

DIGITAL LOGIC DESIGN

FOURTH EDITION



〔美〕 Brian Holdsworth Clive Woods 著
李仁发 肖玲 吴强 译

 人民邮电出版社
POSTS & TELECOM PRESS

教育部推荐教材
教育部规划教材



数字逻辑设计 (第4版) DIGITAL LOGIC DESIGN

第四版



作者：(美) 约翰·F·卡普兰 著
译者：王 明 译

人民邮电出版社
POST & TELECOM PRESS

国外著名高等院校信息科学与技术优秀教材

数字逻辑设计 (第四版)

DIGITAL LOGIC DESIGN

FOURTH EDITION

〔美〕 Brian Holdsworth Clive Woods 著
李仁发 肖玲 吴强 译

人民邮电出版社

图书在版编目(CIP)数据

数字逻辑设计: 第4版/ (美) 何尔德斯沃斯著; 李仁发, 肖玲, 吴强译.

—北京: 人民邮电出版社, 2006.5

国外著名高等院校信息科学与技术优秀教材

ISBN 7-115-13721-8

I. 数... II. ①何... ②李... ③肖... ④吴... III. 数字电路—逻辑设计—高等学校—教材
IV. TN79

中国版本图书馆 CIP 数据核字(2006)第 030319 号

版 权 声 明

Brian Holdsworth, Clive Woods: Digital Logic Design, Fourth Edition

Copyright © 2002 by Elsevier Limited ISBN: 0-7506-4582-2

This edition of Digital Logic Design by Brian Holdsworth is published by arrangement with Elsevier Ltd, The Boulevard, Langford Lane, Kidlington, OX5 1GB, England.

All rights reserved.

本书中文简体字版由英国 Elsevier Ltd 授权人民邮电出版社出版。未经出版者书面许可, 对本书的任何部分不得以任何方式复制或抄袭。

版权所有, 侵权必究。

国外著名高等院校信息科学与技术优秀教材

数字逻辑设计 (第四版)

-
- ◆ 著 [美] Brian Holdsworth Clive Woods
译 李仁发 肖玲 吴强
责任编辑 刘映欣
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子函件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
北京鸿佳印刷厂印刷
新华书店总店北京发行所经销
- ◆ 开本: 787×1092 1/16
印张: 24.75
字数: 601 千字 2006 年 5 月第 1 版
印数: 1-4 000 册 2006 年 5 月北京第 1 次印刷
著作权合同登记 图字: 01-2004-6844 号

ISBN 7-115-13721-8/TP·4841

定价: 45.00 元

读者服务热线: (010) 67132705 印装质量热线: (010) 67129223

内容提要

本书系统地介绍了数字逻辑电路设计的基础知识，内容全面，实用性强。全书共分 13 章，系统地阐述了数制和码制、布尔代数、卡诺图和布尔函数化简、组合逻辑设计方法、中规模集成电路的组合逻辑设计、锁存器和触发器、计数器和寄存器、时钟驱动的时序电路、事件驱动的电路、测量与接口、可编程逻辑器件、算术运算电路、故障诊断与测试等内容，并附有逻辑功能符号的介绍。书中每章有一定数量的习题，书后给出了答案。

作者在最新修订的第四版中增加了扩展的二-十进制码、格雷码、触发器应用、轴和线性编码器、存储元件和现场可编程门阵列（FPGA）等内容，新增了介绍数字部件与模拟信号之间接口一章的内容，更新了故障定位等章节内容，使本书覆盖了数字系统设计的最新技术和进展情况。

本书内容由浅入深，既适用于数字逻辑电路与数字系统的基础教学，也可用于深入提高，适合作为高等学校计算机专业“数字逻辑”课程的教材，亦可供从事计算机、自动化及电子学方面生产和科学研究的人员等参考。

序

在新修订的这一版《数字逻辑设计》中，我们保留了第三版中对数字逻辑设计内容的全面介绍，同时借此机会对其中大部分内容进行了修订和更新。与以前的版本一样，该版本覆盖了本科或研究生数字逻辑系统课程所需的全部内容，也可供在该领域工作的毕业生学习参考。为此，我们保留了前版的所有基础知识介绍，不需要读者有很多的背景知识。考虑到近年来硬件的发展趋势，我们对后面的高级章节做了相应的修改。有些章节的最后设置了不少附加问题，其中一些问题没有给出答案，是为了让读者在没有解答提示的情况下锻炼自己的设计能力。

有关测量与接口一章的内容几乎是全新的，有关可编程逻辑器件及故障诊断和测试章节的内容被扩充了。一方面，这是由于技术的进步和设计者可用器件范围的扩大；另一方面，是为了强调故障查找的方法对于专业工程师来说，不再是深奥的、不能应用于实践的、不重要的，而是值得我们认真学习和运用的。

在这种方框中显示的内容通常在本书的后面不会被使用到，也不如主要内容重要，有时只是对主要内容的总结。这些内容可能比主要内容更难一些，可能在某种方式上是非同寻常的或晦涩难懂的；一般而言，这些内容给出的结果没有详细的论证求解过程，更多的是作为一种挑战留给感兴趣的读者去完成。第一次阅读本书的读者，或不是为了完整浏览本书的读者，可以跳过这些内容。

在书中我们使用了“旧”的 IEEE 逻辑符号，而不是“新”的 BS3939 符号。这是由于感觉到工程界对此有态度上的转变，现在 IEEE 符号和 BS 符号都被推荐使用。现代的计算机辅助设计 (CAD) 系统可以很容易地打印出“旧”的符号，抵消了当初引进“新”符号的主要优势。然而，由于读懂“新”符号也是一种有用技能，我们在附录中给出了“新”符号系统一览表。

本书各章习题均附有答案，有需要答案的教师可发邮件至 Liuyingxin@ptpress.com.cn 免费索取。

译者序

“数字逻辑”课程是高等院校计算机科学与技术、信息与通信工程、电子信息与技术、控制科学与工程学科等各个专业的必修基础课程之一，在本科教学课程体系结构中占据着核心地位。建设好“数字逻辑”课程对于提高电子信息类专业本科教学水平，培养面向新世纪的高素质计算机、电子、通信、自动控制等专业人才十分重要。

课程建设的一个重要环节是教材建设。教育部在《关于进一步加强高等学校本科教学工作的若干意见》文件中指出，“对发展迅速和应用性强的课程，要不断更新教材内容，积极开发新教材，并使高质量的新版教材成为教材选用的主体”。因此，湖南大学计算机与通信学院在人民邮电出版社的大力支持下，组织翻译了《Digital Logic Design, Fourth Edition》这一国外经典教材，期望与国内同仁共享国外先进成果与经验。

本书是两位享有盛誉的学者 Brian Holdsworth 和 Clive Woods 创造性劳动的结晶，是备受推崇的教材，是针对培养从事 VLSI 电路、印刷电路板、多芯片模块及计算机电路设计的工程师和科研人员开设数字逻辑电路课程而编写的，本书向读者全面而清晰地揭示了数字设计理论与实践方面的最新观点。作者特别强调从系统的角度解决问题的方法，并配有很多设计实例，同时将计算机辅助设计方法贯穿全书，使其能应用到相关的概念和设计原理上。全书内容丰富，覆盖面广，系统地阐述了数制和码制、布尔代数、组合逻辑设计、时序逻辑设计、算术运算电路设计等内容，并附有逻辑功能符号的介绍。在最近修订的第四版中，作者还更新并补充了测量与接口、可编程逻辑器件、故障诊断和测试等章节的内容，以反映硬件技术的发展趋势和应用设计的需要。本书内容有浅有深，既适用于数字逻辑电路与数字系统的基础教学，也可作深入提高之用。我们相信，书中所展现的作者渊博的电路设计知识和丰富的数学经验对从事数字逻辑设计的教学和科研人员将大有裨益。

本书由湖南大学计算机与通信学院院长李仁发教授组织翻译，肖玲、吴强、王家琴、潘恽、杨莉、张惜珍、魏峰、高利、禹亮等参与了各章及附录的翻译。由于水平有限，翻译中的不当之处在所难免，恳请读者不吝批评指正。

湖南大学计算机与通信学院院长

李仁发

2006年3月

目 录

第 1 章 数字系统与编码	1	2.5 真值表	24
1.1 简介	1	2.6 开关逻辑	25
1.2 数字系统	1	2.7 与运算的开关应用	25
1.3 数字系统之间的转换	2	2.8 或运算的开关应用	26
1.4 二进制加减法	4	2.9 与门和或门的应用	27
1.5 带符号的算术	5	2.10 非运算	27
1.6 补码算术	5	2.11 布尔运算的门和开关应用	28
1.7 二进制数的补码表示	5	2.12 布尔定理	28
1.8 基数补码和降基补码算术的有 效性	7	2.13 完全集	31
1.9 偏置二进制表示法	8	2.14 异或运算	31
1.10 基数补码的加减法	8	2.15 Réed-Muller 等式	32
1.11 基数补码表示的图示	10	2.16 集合论和文氏图	32
1.12 降基补码的加减法运算	10	2.17 复习题	33
1.13 无符号二进制数的乘法	11	第 3 章 卡诺图和函数简化	36
1.14 有符号二进制数的乘法	12	3.1 简介	36
1.15 二进制除法	12	3.2 最小项和最大项	36
1.16 浮点运算	13	3.3 正则表达式	37
1.17 十进制数字的二进制编码	14	3.4 两个变量的布尔函数	37
1.18 n 维立方体和距离	15	3.5 卡诺图	38
1.19 错误检测和纠错	16	3.6 用卡诺图表示布尔函数	40
1.20 汉明码	17	3.7 卡诺图中的最大项	41
1.21 格雷码	18	3.8 布尔函数的简化	42
1.22 ASCII 码	19	3.9 反函数	44
1.23 复习题	21	3.10 无关项	45
第 2 章 布尔代数	23	3.11 最大项的积的简化	46
2.1 简介	23	3.12 Quine-McCluskey 列表简化法	47
2.2 布尔代数	23	3.13 质蕴涵表的性质	49
2.3 派生布尔操作	24	3.14 循环质蕴涵表(cycle prime implicant table)	50
2.4 布尔函数	24	3.15 半循环质蕴涵表	51
		3.16 函数中含有无关项的 Quine- McCluskey 列表简化法	52

3.17 布尔函数的十进制 Quine-McCluskey 列表简化法.....	52	第 5 章 中规模集成电路组合逻辑设计... 86	
3.18 多输出电路	55	5.1 简介	86
3.19 多输出函数的列表法	58	5.2 复用器和数据选择	86
3.20 降维图 (reduced dimension maps)	60	5.3 常见中规模集成电路复用器	87
3.21 根据真值表绘制降维图	61	5.4 复用器互连	89
3.22 从降维图中读函数	62	5.5 用复用器作为布尔函数发生器	90
3.23 降维图画圈的规则	62	5.6 多级复用	92
3.24 最小化的标准	63	5.7 分接器	94
3.25 复习题	64	5.8 复用器/分接器构成的数据传输系统	95
第 4 章 组合逻辑设计方法	67	5.9 译码器	96
4.1 简介	67	5.10 译码器网络	98
4.2 与非 (NAND) 函数	67	5.11 用译码器作为最小项发生器	99
4.3 用与非逻辑实现与函数和或函数	68	5.12 显示译码	100
4.4 用与非逻辑实现积之和	68	5.13 编码器电路基础	102
4.5 或非 (NOR) 函数	70	5.14 常见中规模集成电路编码器	103
4.6 用或非逻辑实现与函数和或函数	71	5.15 编码网络	104
4.7 用或非逻辑实现和之积	72	5.16 奇偶校验码的生成与校验	105
4.8 用或非逻辑实现积之和	72	5.17 数值比较器	108
4.9 与非和或非网络的布尔代数分析	73	5.18 迭代电路	112
4.10 与非和或非网络的符号电路分析	74	5.19 复习题	114
4.11 其他的函数表示方式	75	第 6 章 锁存器 (Latch) 与触发器 (Flip-flop)	117
4.12 门信号约定	75	6.1 简介	117
4.13 门扩展	76	6.2 双稳态单元	117
4.14 各种逻辑门网络	76	6.3 SR 锁存器	118
4.15 异或和异或非 (Exclusive-NOR)	77	6.4 控制型 SR 锁存器	120
4.16 噪声容限	80	6.5 D 锁存器	121
4.17 传输延迟	81	6.6 锁存器时序参数	122
4.18 速率-功耗乘积	82	6.7 JK 触发器	122
4.19 扇出	83	6.8 主/从 JK 触发器	124
4.20 复习题	84	6.9 异步控制 (直接重置和清零)	125
		6.10 1 和 0 捕获	125
		6.11 主/从 RS 触发器	126
		6.12 边缘 D 触发器	126

6.13 边沿 JK 触发器	129	第 8 章 时钟驱动时序电路	171
6.14 T 触发器	129	8.1 简介	171
6.15 机械开关的抖动消除	130	8.2 基本的同步时序电路	171
6.16 寄存器	131	8.3 一个时钟驱动时序电路的 分析	171
6.17 复习题	131	8.4 同步时序电路的设计步骤	174
第 7 章 计数器和寄存器	134	8.5 一个序列检测器的设计	177
7.1 简介	134	8.6 摩尔和米勒状态机	179
7.2 时钟信号	134	8.7 使用 JK 触发器的时序 电路分析	182
7.3 基本计数器设计	135	8.8 使用 JK 触发器的时序 电路设计	183
7.4 串联和并联计数器	136	8.9 状态化简	185
7.5 五分标正向计数器	137	8.10 状态分配	189
7.6 同步计数器的设计步骤	140	8.11 算法状态机图	192
7.7 格雷码计数器	141	8.12 ASM 图到硬件的转换	194
7.8 十分标格雷码正向计数器的 设计	142	8.13 “单热态位”状态分配	195
7.9 十六分标可逆计数器	143	8.14 时钟偏移	196
7.10 二进制异步计数器	143	8.15 时序约束	197
7.11 异步计数器的译码	145	8.16 异步输入	198
7.12 异步复位表计数器	146	8.17 握手	199
7.13 集成电路计数器	147	8.18 复习题	201
7.14 IC 计数器的串联	151	第 9 章 事件驱动电路	205
7.15 移位寄存器	152	9.1 简介	205
7.16 4 位 7494 移位寄存器	153	9.2 异步时序电路的设计流程	205
7.17 4 位 7495 通用移位寄存器	154	9.3 稳定和不稳定的状态	206
7.18 74165 并行装载 8 位 移位寄存器	154	9.4 一个电灯开关电路的设计	206
7.19 使用移位寄存器作为计数器 和顺序发生器	155	9.5 竞争	208
7.20 移位寄存器的通用状态图	156	9.6 无竞争的状态编码	210
7.21 十进制计数器的设计	157	9.7 泵问题	211
7.22 环形计数器	158	9.8 一个序列探测器的设计	213
7.23 绞环计数器 (约翰逊计数器)	160	9.9 不完全描述状态表的化简	218
7.24 约翰逊计数器的串行和 并行连接	162	9.10 兼容性	218
7.25 带异或反馈的移位寄存器	163	9.11 相容状态对的确定	219
7.26 多位比率乘法器	167	9.12 合并图	220
7.27 复习题	169	9.13 状态化简流程	220
		9.14 电路冒险	221

9.15	门延迟	221	11.3	ROM 时序	267
9.16	脉冲的产生	222	11.4	ROM 内部结构	268
9.17	组合逻辑网络中静态冒险的 产生	222	11.5	使用 ROM 实现布尔函数	269
9.18	静态冒险的消除	223	11.6	ROM 中的内部编址技术	271
9.19	无冒险组合网络的设计	225	11.7	存储器选址	272
9.20	网络中冒险的检测	226	11.8	用 ROM 设计时序电路	272
9.21	无冒险的异步电路设计	228	11.9	可编程逻辑器件(PLD)	275
9.22	动态冒险	230	11.10	可编程门阵列(PGA)	275
9.23	功能冒险	231	11.11	可编程逻辑阵列(PLA)	277
9.24	固有冒险	232	11.12	可编程阵列逻辑(PAL)	280
9.25	复习题	233	11.13	可编程逻辑程序控制器 (PLS)	283
第 10 章	测量与接口	236	11.14	现场可编程门阵列 (FPGA)	288
10.1	简介	236	11.15	Xilinx 现场可编程阵列	290
10.2	施密特触发器电路	236	11.16	Actel 可编程门阵列	294
10.3	施密特输入门	237	11.17	Altera 可擦写可编程逻辑 器件	295
10.4	D/A 转换	240	11.18	复习题	296
10.5	A/D 转换	241	第 12 章	算术运算电路	299
10.6	高速转换器	242	12.1	简介	299
10.7	积分式 A/D 转换器	243	12.2	半加器	299
10.8	使用嵌入 D/A 转换器的 A/D 转换器	245	12.3	全加器	300
10.9	轴编码器和线性编码器	247	12.4	二进制减法	302
10.10	运动传感	248	12.5	四位二进制全加器	302
10.11	绝对编码器	249	12.6	先行进位加法器	303
10.12	格雷码到二进制码的转换	252	12.7	74283 四位先行进位加法器	305
10.13	佩雷斯克码	253	12.8	使用补码算术运算的 加/减法电路	307
10.14	增量编码器	253	12.9	溢出	308
10.15	集电极开路和三态门	255	12.10	串行加/减法	308
10.16	集电极开路门的应用	256	12.11	累加器	310
10.17	三态缓冲门和三态门的 应用	259	12.12	用中规模集成电路加法器实 现十进制算术运算	310
10.18	其他的接口元件	261	12.13	十进制算术运算的 加/减法器	312
10.19	复习题	262	12.14	7487 原/补码器件	315
第 11 章	可编程逻辑器件	265	12.15	算术/逻辑单元设计	316
11.1	简介	265			
11.2	只读存储器	265			

12.16 常见中规模集成电路的 算术/逻辑运算器件	319	13.11 或/与电路的两级故障检测...	353
12.17 乘法	320	13.12 布尔差分	356
12.18 组合逻辑乘法器	321	13.13 测试压缩技术	360
12.19 用 ROM 实现的乘法器	322	13.14 名标分析	361
12.20 用移位和加法实现的 乘法器	324	13.15 扫描路径测试技术	363
12.21 常用的乘法器模块	328	13.16 可测性设计	365
12.22 符号算术运算	329	13.17 复习题	366
12.23 Booth 算法	329	附录 A 逻辑功能符号	369
12.24 Booth 算法的实现	330	A.1 简介	369
12.25 复习题	332	A.2 逻辑功能符号系统的 基本原则	369
第 13 章 故障诊断与测试	334	A.3 关联符号	372
13.1 简介	334	A.4 逻辑功能符号中 G 关联的 简单例子	372
13.2 故障检测和定位	335	A.5 控制关联、置位关联和 复位关联	374
13.3 门的敏感性	337	A.6 双稳态逻辑元件和 C 关联	376
13.4 一个 2-输入与门的 故障测试	338	A.7 计数器、Z 关联与 M 关联	377
13.5 路径敏化	339	A.8 移位寄存器	379
13.6 带扇出网络的路径敏化	340	A.9 可编程器件和 A 关联	379
13.7 无法检测的故障	343	A.10 运算电路与 N 关联	381
13.8 桥接故障	345	参考文献	382
13.9 故障检测表	346		
13.10 与/或电路的两级故障检测	350		

1.1 简介

一个数字逻辑系统除了其固有的逻辑能力之外，也应该具有良好的数字计算能力，因此它必须能够执行加、减、乘、除 4 种基本数学运算。人们一般采用十进制数字系统进行数学计算，但是，数字机器是采用二进制的，其数字运算是使用二进制数字系统来实现的。

因为十进制系统有 10 个数字，这就要求一个十状态机来表示这 10 个数字，每一个十进制数字用一个状态来表示。在电子世界中很难找到一个可用的十状态机，而像工作在开关模式上的晶体管的二状态机却可以找到，因此二进制数字系统对于数字工程师具有重要的意义。除了二进制系统之外，许多其他的系统，比如十六进制系统就和逻辑编程设备联合被使用，因此数字工程师必须熟悉各种各样不同的数字系统。

在数字机器上执行数学运算的过程和人们采用纸和笔计算的方法不必完全相同。例如，减法的运算过程是用加法来实现的，其中包括了补运算的使用。

再者，很明显常常需要一台数字机应以十进制的表示方式输出。由于机器通常是采用纯二进制方式进行计算，因而需要一种由二进制数表示十进制数的方法，它需要一个二—十进制系统。必须设计这样一种方法，以使单纯的二进制计算可以被转换成二—十进制数来实现，这就找到了一个有效的连接外部十进制世界的接口，从而输出或者读取一个十进制数字。

在数字系统的使用中，信息编码是要考虑的基本因素。需要对使用到的符号进行编码，包括十进制的数字、字母表中的字母和经常使用到的各种各样的符号，比如“=”、“?”等。我们把二—十进制作作为十进制编码的一种编码方式。加权码就是许多例子中的一个。除了加权码之外还有很多编码的方式可用，比如 XS3 码，使用者可以自由选择适合的编码方式。在用户选择之前应考虑它的特性。实际最广泛使用的是 8-4-2-1 加权码，它被称作自然的二—十进制 (naturally binary coded decimal)。

本章的目的就是要描述经常使用的各种数字系统，并且改进在一台机器上执行 4 种基本运算操作的方法。此外，将描述一些经常使用的编码方式。

1.2 数字系统

人们最熟悉的数字系统是十进制系统。一个十进制数比如 $(473.85)_{10}$ 被表示成如

下形式:

$$(N)_{10} = 4 \times 10^2 + 7 \times 10^1 + 3 \times 10^0 + 8 \times 10^{-1} + 5 \times 10^{-2}$$

数字 $(N)_{10}$ 是由一系列相乘的 $(10)_{10}$ 的项组成。数字权值的大小根据位置不同而不同。数字 $(10)_{10}$ 被称作数字系统的基数。它的大小等于系统中所含的数字的数目。例如, 在十进制系统中有 10 个数字, 包括 0~9, 而二进制数字系统的基数是 2, 并且只有 2 个数字 0 和 1。

在任何数字系统中, 十进制数 $(N)_{10}$ 的量值都可以用下面的等式来表示:

$$(N)_{10} = a_{n-1}b^{n-1} + a_{n-2}b^{n-2} + \cdots a_0b^0 + a_{-1}b^{-1} + \cdots + a_{-m}b^{-m}$$

其中 n 是整数部分数字的个数, m 是小数部分数字的个数。 b 是该系统的基数, a 是系统中以 b 为基数的数字。用这样的等式可以把二进制数 $(101.11)_2$ 表示如下:

$$\begin{aligned}(N)_{10} &= 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} \\ &= 4.0 + 0.0 + 1.0 + 0.5 + 0.25 \\ &= (5.75)_{10}\end{aligned}$$

其他两个比较重要的数字系统是八进制和十六进制系统。八进制系统包括 0~7 共 8 个数字。一个典型的八进制数是 $(27.2)_8$, 它的十进制表示如下:

$$\begin{aligned}(N)_{10} &= 2 \times 8^1 + 7 \times 8^0 + 2 \times 8^{-1} \\ &= 16.0 + 7.0 + 0.25 \\ &= (23.25)_{10}\end{aligned}$$

在十六进制系统中有 16 个数字, 由于只有 10 个数字可用, 通常使用字母表中的前 6 个字母 A 到 F 表示其他的那 6 个数字, 它们对应的十进制数值如下:

$$\begin{array}{lll} (A)_{16} = (10)_{10} & (B)_{16} = (11)_{10} & (C)_{16} = (12)_{10} \\ (D)_{16} = (13)_{10} & (E)_{16} = (14)_{10} & (F)_{16} = (15)_{10} \end{array}$$

一个典型的十六进制数 $(A2.C)_{16}$ 表示成十进制数如下:

$$\begin{aligned}(N)_{10} &= A \times 16^1 + 2 \times 16^0 + C \times 16^{-1} \\ &= 160.0 + 2.0 + 0.75 \\ &= (162.75)_{10}\end{aligned}$$

1.3 数字系统之间的转换

以任意基数表示的一个数字都可以分成两部分, 小数点左边的整数部分 (a) 和小数点右边的小数部分 (b)。在转换为其他数字系统的过程中, 这两个部分的转换过程是不相同的。

在基数为 b 的系统中, 整数部分 $(N_I)_{10}$ 表示成如下十进制值:

$$(N_I)_{10} = a_{n-1}b^{n-1} + a_{n-2}b^{n-2} + \cdots a_1b^1 + a_0b^0$$

等式两边分别除以基数 b 得到:

$$\frac{(N_I)_{10}}{b} = a_{n-1}b^{n-2} + a_{n-2}b^{n-3} + a_{n-3}b^{n-4} + \cdots a_1b^0 + \frac{a_0}{b}$$

第一次除以基数的结果得到了余数 a_0 , 把这个最小的数字舍弃, 接着重复上面的除法可以产生余数 $a_1, a_2 \cdots a_{n-1}$ 。下面的例子用这种连续除以基数的方法分别把十进制数 $(100)_{10}$ 转换为二进制、八进制和十六进制:

$$\begin{array}{r}
 2 \overline{100} 0 \uparrow \\
 2 \overline{50} 0 \\
 2 \overline{25} 1 \\
 2 \overline{12} 0 \\
 2 \overline{6} 0 \\
 2 \overline{3} 1 \\
 2 \overline{1} 1 \\
 0
 \end{array}
 \quad
 \begin{array}{r}
 8 \overline{100} 4 \uparrow \\
 8 \overline{12} 4 \\
 8 \overline{1} 1 \\
 0
 \end{array}
 \quad
 \begin{array}{r}
 16 \overline{100} 4 \uparrow \\
 16 \overline{6} 6 \\
 0
 \end{array}$$

$$(100)_{10} = (1100100)_2 = (144)_8 = (64)_{16}$$

在基数为 b 的系统中, 小数部分 $(N_F)_{10}$ 表示成如下十进制值:

$$(N_F)_{10} = a_{-1}b^{-1} + a_{-2}b^{-2} + \cdots + a_{-m}b^{-m}$$

如果等式两边分别乘以基数, 那么

$$b(N_F)_{10} = a_{-1} + a_{-2}b^{-1} + \cdots + a_{-m}b^{-(m-1)}$$

第一次相乘提出了系数 a_{-1} , 随后的乘法将分别提出系数 a_{-2} , $a_{-3} \cdots a_{-m}$ 。

为了说明这个过程, 请看下面把十进制数 $(0.265)_{10}$ 分别转换成其对应的二进制、八进制和十六进制的例子:

$$\begin{array}{l}
 .265 \times 2 \\
 \downarrow \\
 0.530 \times 2 \\
 \downarrow \\
 1.060 \times 2 \\
 \downarrow \\
 0.120 \times 2 \\
 \downarrow \\
 0.240 \times 2 \\
 \downarrow \\
 0.480
 \end{array}
 \quad
 \begin{array}{l}
 .265 \times 8 \\
 \downarrow \\
 2.120 \times 8 \\
 \downarrow \\
 0.960 \times 8 \\
 \downarrow \\
 7.680 \times 8 \\
 \downarrow \\
 5.440 \times 8 \\
 \downarrow \\
 3.520
 \end{array}
 \quad
 \begin{array}{l}
 .265 \times 16 \\
 \downarrow \\
 4.240 \times 16 \\
 \downarrow \\
 3.840 \times 16 \\
 \downarrow \\
 D.440 \times 16 \\
 \downarrow \\
 7.040 \times 16 \\
 \downarrow \\
 0.640
 \end{array}$$

$$(0.265)_{10} = (0.0100)_2 \quad (0.20753)_8 \quad (0.43D70)_{16}$$

十进制数 $(0.265)_{10}$ 分别被表示成 5 位的二进制、八进制和十六进制数。除了这些从十进制到二进制、八进制和十六进制的换算外, 把八进制和十六进制转换成二进制也是可行的, 反之亦然。

每一个八进制数字都可以用一个三位的二进制数来表示, 如图 1.1 (a) 所示。将一个二进制数字串转换成八进制的时候, 要从最低位开始, 每 3 个数字分成一组。每组 3 个二进制数所表示的八进制数, 对应与如下的辅助转换表格。

八进制	二进制
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

(a) 八进制/二进制转换表

十进制	二进制	十进制	二进制
0	000	8	1000
1	001	9	1001
2	010	A	1010
3	011	B	1011
4	100	C	1100
5	101	D	1101
6	110	E	1110
7	111	F	1111

(b) 十六进制/二进制转换表

图 1.1

$$\begin{array}{cccc}
 (110 & 001 & 011 & 100)_2 \\
 \downarrow & \downarrow & \downarrow & \downarrow \\
 = (6 & 1 & 3 & 4)_8
 \end{array}$$

如果二进制数有小数部分的话, 首先要找到八进制的小数部分, 从二进制的小数点开始, 向右每 3 位分成一组。其每组 3 位数所对应的八进制值可以在转换表格中找到。例如:

$$\begin{array}{cccccc}
 (100 & 001 & 010 & 100 & .010)_2 \\
 \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\
 = (4 & 1 & 2 & 4 & .2)_8
 \end{array}$$

八进制数同样可以转换成二进制数, 方法就是按照对应的表格, 把每一个八进制数替换

成一个 3 位的二进制数。例如：

$$\begin{array}{cccc} (4 & 3 & 2 & .7)_8 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ = (100 & 011 & 010 & .111)_2 \end{array}$$

相似地，每一个十六进制数可以用一个 4 位的二进制数表示，如图 1.1 (b) 所示。将一个二进制数转换成十六进制数的时候，从小数点开始，向左和向右，分别把每 4 个数字分成组。然后按照下面的十六进制转换表格把每组的 4 个二进制数转换成十六进制数。例如：

$$\begin{array}{cccc} (1011 & 1010 & 0011 & .0010)_2 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ = (B & A & 3 & .2)_{16} \end{array}$$

在其逆转换中，每一个十六进制数将按照转换表，被相应的 4 个二进制数替代。例如：

$$\begin{array}{cccc} (4 & F & C & 2)_{16} \\ \downarrow & \downarrow & \downarrow & \downarrow \\ = (0100 & 1111 & 1100 & 0010)_2 \end{array}$$

1.4 二进制加减法

一、加法

在图 1.2 中给出了两个一位二进制数的加法运算规则，下面有两个正的 4 位二进制数执行加法的例子用到了上述规则：

$$\begin{array}{rcccccc} & 2^3 & 2^2 & 2^1 & 2^0 & \\ \text{被加数} & 1 & 0 & 1 & 1 & 11 \\ \text{加数} & 0 & 1 & 1 & 1 & +7 \\ \hline \text{和} & 1 & 0 & 0 & 1 & 0 & 18 \\ \text{进位} & 1 & 1 & 1 & 1 & \end{array}$$

被加数	加数	和	进位
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

图 1.2 两个二进制数字的加法规则

每个位置上的一对数字的权值都在其中表示出来了。可以看到从 2^0 到 2^3 列均产生了进位。在设计加法电路时，进位 (carry ripple) 应该被作为重要的因素加以考虑。

当最高位是 1 的两个 n 位二进制数相加的时候，产生的和是一个 $(n+1)$ 位的数。产生的增加位被称作算术上溢 (arithmetic overflou)。在用纸和笔计算的过程中增加的数字并没有问题，而在数字机中，在进行加法之前，被加数和加数被分别存放在两个不同的寄存器中，而它们计算出的和将被存放在其中一个寄存器中，在这种情况下，寄存器就必须预留一位，用来为计算结果存储上溢。

二、减法

在图 1.3 中总结了两个 4 位正数的减法运算规则，其中减数小于被减数，例如：

$$\begin{array}{rcccccc} & 2^3 & 2^2 & 2^1 & 2^0 & \\ \text{被减数} & 1 & 1 & 0 & 0 & 12 \\ \text{减数} & 0 & 0 & 1 & 1 & -3 \\ \hline \text{差} & 1 & 0 & 0 & 1 & +9 \\ & & \swarrow & \swarrow & & \\ \text{借位} & 1 & 1 & & & \end{array}$$

被减数	减数	差	借位
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

图 1.3 两个二进制数字的减法规则

如果减数大于被减数，将产生算术下溢，会在最高位产生借位，导致差为负数。而其中的借位可以被用于数字机的一个1位寄存器，它工作则表示差为负数。算术下溢的过程见下面的例子：

	2^3	2^2	2^1	2^0	
被减数	0	0	1	1	3
减数	1	1	0	0	<u>-12</u>
差	0	1	1	1	-9
借位	1	1			

在数字机中，减法被广泛的使用于大量的计算过程中，用于比较两个二进制数的大小。如果发生算术下溢，产生的借位表示减数大于被减数，否则，减数将等于或小于被减数。

1.5 带符号的算术

前面的章节中都是针对正数的运算，也只有在这种情况下，当减数大于被减数时，答案才是负数。所以在机器中，如何区别正数和负数成了一个十分重要的问题。有符号的数应运而生。采用在最高位（MSB）之前增添附加位的办法来区分正负数，负数的附加位是1，正数的附加位是0，因此有：

$$\begin{aligned} (-23)_{10} &= (1,0010111)_2 & (+23)_{10} &= (0,0010111)_2 \\ (-0)_{10} &= (1,0000000)_2 & (+0)_{10} &= (0,0000000)_2 \end{aligned}$$

这被称为符号量级表示法。8位符号整数可以表示的范围是 $-127 \sim +127$ ，其中0有两种表示方法。

因为可以执行符号量级表示法运算的逻辑电路设计比较复杂，所以很少采用。在实际应用中，大量的机器运算是用补码算术（complement arithmetic）执行的。

1.6 补码算术

这是一种既实用又简单的技术，它可以使数字机在执行有符号数运算时，所需的硬件设备最简化。在实际应用中，采用补码运算，可以将减法的计算过程转化为加法运算。

在任何的数字系统中都有两种情况可以使用补码。在二进制系统中，它们分别是：(a) 2的补码或称基数补码，以及 (b) 1的补码或称降基补码。在十进制系统中，它们分别是：(a) 10的补码或称基数补码，以及 (b) 9的补码或者称为降基补码。在二进制系统中，采用1的补码增加了硬件设备执行的难度，不值得采用，所以在二进制有符号运算中一直应用2的补码表示法。

1.7 二进制数的补码表示

二进制数的基数补码由下面的等式定义：