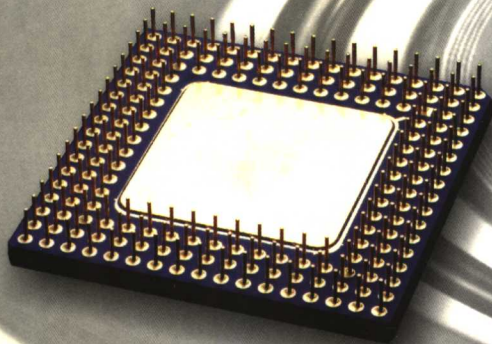


SOC/ASIC

设计、验证和测试方法学

沈理 编著

**SOC/ASIC Design, Verification
and Test Methodology**



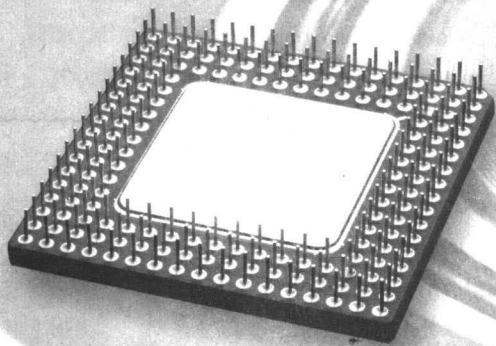
中山大学出版社

SOC/ASIC

设计、验证和测试方法学

沈理 编著

**SOC/ASIC Design, Verification
and Test Methodology**



中山大学出版社
· 广州 ·

版权所有 翻印必究

图书在版编目 (CIP) 数据

SOC/ASIC 设计、验证和测试方法学/沈理编著. —广州: 中山大学出版社, 2006. 3

ISBN 7-306-02682-8

I. S… II. 沈… III. 半导体集成电路—芯片—设计 IV. TN43

中国版本图书馆 CIP 数据核字 (2006) 第 015615 号

责任编辑: 周建华

封面设计: 八度

责任校对: 海生

责任技编: 黄少伟

出版发行: 中山大学出版社

编辑部电话 (020) 84111996, 84113349

发行部电话 (020) 84111998, 84111160

地址: 广州市新港西路 135 号

邮编: 510275 传真: (020) 84036565

印刷者: 广州市番禺市桥印刷厂

经销者: 广东新华发行集团

规格: 787 mm × 960 mm 1/16 17.25 印张 357 千字

版次印次: 2006 年 3 月第 1 版 2006 年 3 月第 1 次印刷

定价: 35.00 元

本书如有印装质量问题影响阅读, 请与承印厂联系调换

作者简介

沈理，男，1937年10月出生，浙江省人。1959年毕业于浙江大学电机工程系，并进入中国科学院计算技术研究所工作。研究员，博士生导师。

从事计算机学科领域的研究工作。早期曾参加我国第一台大型电子管计算机——104机的研究工作，以及多台计算机的电路研究和体系结构设计工作。1979年后从事容错计算等基础研究。1982~1984年，赴美国纽约州立大学 Binghamton 分校作访问学者，进行 VLSI 测试研究。1985~1988年，进行测试理论的基础研究。主持完成一个国家自然科学基金项目的研究；并参加“七五”国家重点科技攻关项目“测试方法研究及应用”的工作，获1992年中科院自然科学奖二等奖。1989~1991年，参加国家863计划课题研制工作，其中后两年赴美国参加国际科技合作，进行工作站设计和 ASIC 设计。1992年后进行软计算和模糊系统等基础研究。连续主持“八五”、“九五”863计划项目，“九五”中科院基础性研究重点项目，国家自然科学基金项目的研究工作。1995年研制成功模糊推理控制芯片 F100，达到国内领先水平和20世纪90年代初国际水平。2000年研制成功新一代模糊推理控制芯片 F200。申请中国发明专利两项，发表论文90余篇，译著1部。

1990年后任中国计算机学会容错计算专业委员会委员。1998年后任中国自动化学会智能自动化专业委员会委员。美国 IEEE 高级会员。

研究方向：VLSI 测试，SOC 设计，容错计算，计算智能，模糊系统。

内容简介

本书阐述设计系统芯片 (SOC) 所需的新的设计、验证和测试方法学, 其基本原理同样适合于超大规模专用集成电路芯片 (ASIC) 的设计。

本书分两大部分: 第一部分为 1~5 章, 是本书方法学的主要内容; 第二部分为 6, 7 章, 介绍实际的电子设计自动化 (EDA) 工具和设计环境。第 1 章简述集成电路的发展, 介绍国际半导体技术路线图, 以及 SOC 设计所面临的挑战。第 2 章阐述 SOC 设计方法学, 包括 SOC 的模型、设计分层, 介绍设计重用和虚拟插座接口技术。第 3 章阐述 SOC/ASIC 验证方法学, 包括功能验证、等价验证、静态分析验证、物理验证等。第 4 章阐述 SOC/ASIC 测试方法学, 介绍集成电路测试技术和可测试性设计方法。第 5 章介绍设计集成电路常用的硬件描述语言及其新发展, 包括 SystemC, SystemVerilog, OpenVera 等语言。第 6 章介绍 Synopsys 公司的 EDA 系统, 以及相应的 IC 设计和验证方法学。第 7 章给出一个 Philips SOC 设计平台的实例。

本书主要是面向进入 IC 设计领域工作的科技人员、相关专业大学生和研究生, 以及对高新技术有兴趣、需要更新知识的人群。

前 言

半导体技术发展的显著特点是最小特征尺寸以指数规律缩小,使得集成电路(IC)的集成度一直按 Moore 定律不断提高,从而在 20 世纪 90 年代中期出现了 SOC (System-on-a-Chip) 芯片的新概念,将整个系统集成在一个芯片上而形成新的产品类——系统芯片。SOC 的主要目标是提高系统集成度和降低设计成本,因此在设计、制造、测试、封装等流程的各个方面都面临很大的挑战。

集成电路工艺尺寸的每一次缩小都会影响设计技巧,需要研究新方法、新工具,从而推动电子设计自动化(EDA)进一步发展。20 世纪 80 年代以前,EDA 主流技术是:

电路图输入 (Schematic Capture) + 模拟 (Simulation)

进入 90 年代后,专用芯片集成电路 ASIC 芯片设计主要靠:

描述 (Description) + 综合 (Synthesis)

现在,进入 SOC 时代,设计人员面临三个障碍:

- 硬件和软件设计缺乏统一的设计语言;
- 集成度超过百万门后,设计正确性的验证比设计本身还要费劲;
- 集成度和频率提高引起的时序收敛问题。

因此需要研究和开发新的设计、验证和测试方法学,以及新的设计语言。

进入 21 世纪以来,EDA 系统已发展成为一个结构复杂、功能很强的设计环境。为了提高复杂芯片的设计效率和质量,设计人员应该学会掌握和使用 EDA 系统,而不是只停留在使用一两个孤立的工具上。另外也必须指出,工具的开发总是赶不上集成电路的发展,因此,新一代芯片的开始,或者为了追求更优化的设计,总是离不开设计人员的设计技巧的,所以 IC 设计也是一门设计艺术。实际上,这里设计技巧与工具是一个实践与理论的关系,EDA 研究和发展是一个不断从设计艺术向方法学转变的过程。

本书的主要目的是阐述设计系统芯片 (SOC) 所需的新的设计、验证和测试方法学,其基本原理同样适合于超大规模专用集成电路芯片 (ASIC) 的设计。

本书分两大部分:第一部分为 1~5 章,是本书方法学的主要内容;第二部分为 6, 7 章,介绍实际的 EDA 工具和设计环境。第 1 章简述集成电路的发展,介绍国际半导体技术路线图,以及 SOC 设计所面临的挑战。第 2 章阐述 SOC 设计方法学,包括 SOC 的模型、设计分层,介绍设计重用和虚拟插座接口技术。第 3 章阐述 SOC/ASIC 验证方法学,包括功能验证、等价验证、静态分析验证、物理验证等。第 4 章阐述 SOC/ASIC



测试方法学，介绍集成电路测试技术和可测试性设计方法。第5章介绍设计集成电路常用的硬件描述语言及其新发展，包括 SystemC，SystemVerilog，OpenVera 等语言。第6章介绍 Synopsys 公司的 EDA 系统，以及相应的 IC 设计和验证方法学。第7章给出一个 Philips SOC 设计平台的实例。

本书主要是面向进入 IC 设计领域工作的科技人员、相关专业大学生和研究生，以及对高新技术有兴趣、需要更新知识的人群。

致谢：2004年6月，作者应“苏州中科集成电路设计中心”总经理杨立志博士和副总经理陈岚博士的邀请，来苏州工作。这里一流的工作环境和先进的 EDA 设计平台设施，使我感受到长江三角洲地区的高科技发展，以及 IC 行业欣欣向荣的局面。基于“苏州中科”的己任：支持 IC 产业发展，向 IC 设计企业提供全方位的服务，遂使我萌生了编写有关 IC 设计方法学一书的想法，并得到杨立志博士和陈岚博士的支持。因此在这里首先要感谢他们邀请我来苏州工作，以及对编写本书的支持。本书部分内容参考了 Synopsys 公司的资料，第6章内容直接来自 Synopsys 公司的网页和公开资料，并得到 Synopsys 公司中国区董事总经理潘建岳先生的支持，在这里深表感谢。在苏州工作和编写此书过程中，经常得到 EDA 平台管理部工程师冯吉和王光辉的帮助，在此表示谢意；也感谢“苏州中科”其他同事的帮助。此外，特别感谢广州中山大学出版社对本书出版的支持和资助。最后要感谢我的妻子徐慧娥，她对全书正文、图表的计算机录入和编辑做了大量工作，使本书才有可能及时出版。

沈 理

中国科学院计算技术研究所

苏州中科集成电路设计中心

江苏省集成电路测试服务中心

2006年1月于苏州工业园区国际科技园

目 录

第 1 章 绪论	(1)
1.1 集成电路工业发展里程碑	(1)
1.2 半导体技术发展路线图	(2)
1.2.1 国际半导体技术路线图	(2)
1.2.2 路线图技术特性	(3)
1.3 集成电路设计驱动	(5)
1.3.1 微处理器	(5)
1.3.2 模拟混合信号(AMS)设计	(7)
1.3.3 嵌入存储器	(7)
1.3.4 系统芯片(SOC)	(7)
1.4 SOC 设计挑战	(8)
1.4.1 SOC 的规范形式	(8)
1.4.2 SOC 的挑战	(9)
1.4.3 设计挑战	(10)
1.4.4 测试挑战	(13)
参考文献	(15)
第 2 章 SOC 设计	(16)
2.1 SOC 模型	(16)
2.1.1 建模分类	(16)
2.1.2 通用模型	(17)
2.1.3 系统模型	(18)
2.1.4 体系结构模型	(18)
2.1.5 硬件模型	(19)
2.1.6 实现级性能模型	(19)

2.1.7	软件模型	(20)
2.2	SOC 设计分层	(20)
2.3	SOC 系统设计	(21)
2.3.1	系统设计过程	(21)
2.3.2	系统设计的一些重要概念	(22)
2.4	SOC 硬件设计	(24)
2.4.1	设计质量的优化标准	(24)
2.4.2	逻辑、电路和物理设计	(25)
2.4.3	验证和测试	(26)
2.5	SOC 设计重用技术	(27)
2.5.1	设计重用的概念	(27)
2.5.2	虚拟插座接口(VSI)	(28)
2.6	SOC 设计方法学	(30)
2.6.1	基于内核的设计方法	(30)
2.6.2	基于平台的设计方法	(32)
	参考文献	(34)
第3章	SOC/ASIC 验证	(36)
3.1	验证技术概述	(36)
3.1.1	功能验证	(36)
3.1.2	等价验证	(39)
3.1.3	静态分析验证	(40)
3.1.4	物理验证	(40)
3.2	模拟	(41)
3.2.1	模拟器	(41)
3.2.2	功能覆盖度量	(41)
3.2.3	覆盖分析技术	(42)
3.2.4	验证测试程序	(43)
3.3	验证测试程序自动化	(44)
3.3.1	动态偏置伪随机测试程序生成	(44)
3.3.2	基于模型的伪随机测试程序生成	(44)
3.3.3	基于约束满足问题求解的伪随机测试程序生成	(45)
3.3.4	基于代码覆盖的测试程序生成	(46)

3.4	Lint 检验	(47)
3.5	静态时序分析	(47)
3.5.1	静态时序分析方法	(47)
3.5.2	深亚微米集成电路的时序分析方法	(48)
3.6	形式等价检验	(49)
3.6.1	组合形式等价检验	(49)
3.6.2	基于 BDD 的等价检验	(50)
3.7	形式模型检验	(52)
3.7.1	CTL 模型检验	(53)
3.7.2	符号模型检验	(55)
3.8	定理证明验证	(57)
3.9	断言验证	(58)
3.9.1	硬件验证语言	(58)
3.9.2	断言——特性说明	(59)
3.9.3	基于断言的验证方法	(60)
3.10	集成电路设计的验证方法学	(60)
3.10.1	设计验证计划	(60)
3.10.2	SOC 验证方法学	(61)
	参考文献	(65)
第 4 章	SOC/ASIC 测试	(69)
4.1	测试技术概述	(69)
4.1.1	测试的基本技术	(69)
4.1.2	测试的定义	(70)
4.2	故障模拟	(71)
4.2.1	缺陷、失效和故障	(71)
4.2.2	故障模拟器	(72)
4.2.3	故障模拟结果分析	(73)
4.3	自动测试向量生成	(73)
4.3.1	组合电路测试生成方法	(74)
4.3.2	时序电路测试生成方法	(74)
4.3.3	其他测试生成方法	(75)
4.3.4	测试的评价	(76)



4.4	电流测试	(76)
4.4.1	基本概念	(76)
4.4.2	测试码产生	(77)
4.4.3	深亚微米工艺的影响	(77)
4.5	存储器测试	(77)
4.5.1	存储器模型	(78)
4.5.2	存储器故障模型	(79)
4.5.3	存储器功能测试	(80)
4.6	可测试性设计技术	(82)
4.6.1	可测试性设计目标	(82)
4.6.2	可测试性分析	(82)
4.6.3	特定的可测试性设计方法	(83)
4.6.4	系统化的可测试性设计方法	(84)
4.7	扫描设计	(85)
4.7.1	扫描电路设计	(85)
4.7.2	扫描测试	(87)
4.7.3	扫描链结构	(88)
4.8	边界扫描设计	(89)
4.8.1	边界扫描结构	(89)
4.8.2	测试访问端口(TAP)控制器	(90)
4.8.3	混合信号测试总线	(93)
4.9	内建自测试(BIST)	(96)
4.9.1	逻辑电路 BIST(LBIST)	(96)
4.9.2	测试向量生成	(96)
4.9.3	测试响应压缩	(98)
4.10	存储器的可测试性设计	(100)
4.11	SOC 的可测试性设计	(101)
4.11.1	内核的测试要求	(101)
4.11.2	SOC 测试结构	(102)
4.11.3	SOC 测试策略	(105)
4.12	可调试性设计	(107)
4.12.1	调试概念	(107)
4.12.2	硅片调试	(107)

4.12.3 可调试性设计的功能	(108)
4.13 可制造性设计和可维护性设计	(109)
4.14 集成电路的测试方法学	(110)
4.14.1 集成电路的测试设计	(110)
4.14.2 SOC 测试方法学	(110)
参考文献	(111)
第5章 集成电路设计语言	(114)
5.1 设计语言	(114)
5.1.1 软件编程语言 C/C++	(114)
5.1.2 硬件描述语言 Verilog-1995	(114)
5.1.3 硬件描述语言 VHDL-1993	(116)
5.1.4 Verilog-2001	(117)
5.1.5 Verilog-AMS	(125)
5.2 验证语言	(134)
5.2.1 硬件验证语言 OpenVera	(134)
5.2.2 断言验证语言 OVA	(142)
5.3 统一的设计和验证语言	(147)
5.3.1 特性说明语言 PSL	(147)
5.3.2 系统级设计语言 SystemC	(153)
5.3.3 硬件描述和硬件验证语言 SystemVerilog	(162)
5.3.4 Verilog-2005	(171)
5.3.5 VHDL-200x	(171)
5.3.6 新颖的 SOC 设计语言	(172)
5.4 测试语言	(173)
5.4.1 标准测试接口语言 STIL	(173)
5.4.2 内核测试语言 CTL	(175)
参考文献	(176)
第6章 Synopsys EDA 系统	(179)
6.1 概述	(179)
6.2 Galaxy 设计平台	(184)
6.2.1 分层设计方法学	(184)

6.2.2	RTL 综合	(187)
6.2.3	静态时序分析	(191)
6.2.4	信号完整性	(192)
6.2.5	电源综合	(193)
6.2.6	测试设计	(198)
6.2.7	物理设计	(207)
6.2.8	Sign-off 确认	(210)
6.2.9	设计数据库	(211)
6.3	Discovery 验证平台	(211)
6.3.1	系统级分析和设计	(211)
6.3.2	基准验证方法学	(214)
6.3.3	RTL 验证	(218)
6.3.4	断言验证	(220)
6.3.5	测试程序自动化	(226)
6.3.6	RTL 代码检查	(227)
6.3.7	形式特性检验	(227)
6.3.8	形式等价检验	(229)
6.3.9	覆盖分析	(231)
6.3.10	验证 IP 内核	(233)
6.3.11	AMS 设计和验证	(234)
6.4	设计库	(237)
6.5	可制造性设计	(238)
	参考文献	(241)
第7章	SOC 设计平台实例——Philips Nexperia-DVP	(245)
7.1	Nexperia 数字视频平台	(245)
7.2	数字视频 SOC 设计	(246)
7.2.1	SOC 参考体系结构	(246)
7.2.2	SOC 实现	(249)
7.3	数字视频软件	(249)
7.3.1	平台软件	(249)
7.3.2	软件参考体系结构	(250)
7.4	数字视频系统集成	(251)



7.4.1 性能优化	(251)
7.4.2 调度技术	(252)
参考文献	(254)
附 录 英文缩写词	(255)

第 1 章 绪 论

1.1 集成电路工业发展里程碑

集成电路（IC）的发展已经历了 40 多年的历史，表 1.1 给出了集成电路工业发展的主要里程碑。世界上第一个晶体管诞生十年后，1958 年发明了集成电路。1971 年，Intel 公司研制成功 4 位微处理器 4004，集成了 2300 个晶体管。五年后，Apple 公司就生产出第一台个人计算机（PC）；20 世纪 80 年代初，计算机主机制造商 IBM 公司也参与了 PC 生产。在以后的 20 多年，PC 得到日新月异的飞速发展。事实上，计算机从最初的主机（Mainframe）时代已进入到 PC 时代。与此同时，Intel 公司专注于微处理器产品的研究与发展，很快成为集成电路工业的最大赢家。如今，Intel 的 P4 芯片包含有 4200 万个晶体管。

表 1.1 集成电路工业发展的主要里程碑

时间	主要里程碑
1947	发明晶体管
1958	发明集成电路
1965	Moore 定律
1971	Intel 4004 4 位微处理器
1976	Apple 个人计算机
1991	ARM RISC IP 内核（无芯片设计）
1996	虚拟插座接口联盟 VSIA 成立

集成电路如此快速发展，是否有规律可循呢？早在 1965 年，Intel 公司的创始人之一 Gordon E. Moore 根据经验观察，提出了著名的 Moore 定律，指出半导体芯片的元件数大致每 12 个月会翻一番。到 1975 年，他将这个定律作了进一步修正，预言元件数翻



一番的时间大约为两年。后来实践表明，大致每 18 个月芯片的元件数会翻一番。注意，Moore 定律所讲的翻一番，除了指芯片功能（存储器位数，晶体管数）外，也适用于芯片的性能（如每秒百万指令执行速度，MIPS）。

按照 Moore 定律，每个芯片的晶体管数愈来愈多，很自然会想到，不只是追求单个微处理机功能的提高，而是可以把整个系统集成到一个芯片上。也就是将系统电路板上的多个芯片集成到一个芯片上而取代原来的电路板，这就是系统芯片（SOC）。1991 年 ARM 公司提出 RISC IP 内核（Core），这是一种无芯片的设计，可供 SOC 设计使用的知识产权（IP）内核。这样，到 20 世纪 90 年代中期出现了 SOC 概念。1996 年由多家公司成立了虚拟插座接口联盟（VSIA），为解决如何将多个 IP 内核集成为一个 SOC 芯片的问题，共同制定各种有关工业标准。

1.2 半导体技术发展路线图

1.2.1 国际半导体技术路线图

半个世纪来，半导体工业以其产品飞速进步的发展步伐而著称。这种进步主要来自工业界制造集成电路时，其最小特征尺寸以指数规律缩小的能力。表 1.2 给出特征尺寸缩小促使集成电路得以改进的一些方向，其中最常引用的是集成度，一般用 Moore 定律来表达，即芯片的元件数。对于社会来讲，最有意义的是降低成本，通过计算机、电子通信、消费电子品的增值，大大提高了社会生产力和人们的生活质量。

表 1.2 特征尺寸缩小促使集成电路改进的方向

改进方向	例子
集成度	Moore 定律，每片元件数
成本	单位功能的成本
速度	微处理器时钟速率，GHz
功耗	笔记本电脑或移动电话的电池寿命
紧凑	体积小、重量轻的产品
功能	非易失性存储器，图像处理

最近 20 年，研究和发展投资的显著增加推动了工业界的合作，半导体工业已成为全球产业，国际半导体技术路线图（ITRS）就是一种非常成功的世界范围合作。路线

图最初由美国半导体工业协会 (SIA) 协调制定, 有 1992、1994、1997 三个版本, 1998 年后扩展到世界范围, 有美国、欧洲、日本、韩国以及台湾地区的 800 多位专家参加制定, 先后制定了 1999、2001、2003 三个版本。路线图代表了工业界对未来 15 年研究与发展最新估计的共识, 它为公司、研究机构和政府改进研究与发展投资决策质量, 提供全方位的指导, 有利于向真正需要突破的领域进行引导。

整个路线图 ITRS 的制定过程由国际路线图委员会 (IRC) 负责协调, 下设两类国际技术工作组 (ITWG), 编写 ITRS 相应技术领域的各个章节。一类是“中心”工作组, 依次跨越集成电路产品流程: 设计-制造-测试-封装, 分别对应于典型的各种子领域活动, 它们是: 系统驱动, 设计, 测试与测试设备, 工艺集成, 器件与结构, 前端工艺, 平版印制 (光刻), 互连, 制造集成, 装配与封装。第二类是“交叉”工作组, 代表一些重要的支撑活动, 与“产品流程”中多个关键点相重叠, 它们是: 环境、安全与健康, 良品率提高, 测量, 建模与模拟。本书将主要涉及与集成电路设计有关的一些“中心”活动, 即系统驱动、设计、测试。

1.2.2 路线图技术特性

1. 特征尺寸

历史上, 动态存储器 (DRAM) 一直作为半导体工业的一种技术驱动, 常常用技术点 (Technology Node) 代表一次重要的技术进步或技术换代, 这个技术点是以每一代半导体最小特征尺寸缩小到前一代的 70% 为标准的。这里最小特征尺寸是指金属或多晶硅条距之半, 即半间距, 或称条宽。在最近十年中, 各技术点特征尺寸的变化大致为: 1993, 1995, 1997, 1999, 2001 年分别为 500, 350, 250, 180, 130 纳米 (nm), 技术点的周期大约为两年。表 1.3 给出 2003 年路线图技术点的芯片主要技术特性, ITRS 已将技术点的周期适当放慢为三年, 这是由于深亚微米 (250 nm) 以后, 技术难度愈来愈高的原因。

集成电路的另一种重要芯片是微处理器 (MPU), 其特征尺寸缩小步伐, 在过去相对于 DRAM 较慢。但是进入 20 世纪 90 年代, 加快了制造 MPU 新技术的研究与发展。从表 1.3 可知, 2004 年后 MPU 和 DRAM 将具有相同的半间距。此外, MPU 的栅氧化硅沟道长度的缩小对晶体管速度提高是很重要的。

历史上, 为了保持 Moore 定律每 1.5~2 年芯片功能翻一番的目标, 除了缩小特征尺寸外, 一般还要加大芯片面积, 约每年增加 12%。但是, 单位功能成本每年又应该降 20%~30%。因此, 半导体工业必须持续提升设备生产率, 提高制造良品率, 采用大尺寸晶圆, 关键是要增加每个晶圆可用的芯片数量。所有这些都依赖于设计和工艺技术改进目标的完成, 否则将面临压力, 即放慢 Moore 定律或单位功能成本下降的速率,