



国外电子信息经典教材

Digital Signal Processing
with Field Programmable Gate Arrays
Second Edition

数字信号处理的 FPGA 实现

(第 2 版)

(美) Uwe Meyer-Baese 著
刘 凌 译



清华大学出版社

国外电子信息经典教材

数字信号处理的 FPGA 实现

(第 2 版)

(美) Uwe Meyer-Baese 著

刘 凌 译

清华大学出版社

北 京

EISBN: 3-540-211195-5

Digital Signal Processing with Field Programmable Gate Arrays, Second Edition

Uwe Meyer-Baese

Copyright©2004 by Springer Press Ltd.

Authorized translation from the English language edition published by Springer Ltd.

All Rights Reserved. For sale in the People's Republic of China only.

Chinese simplified language edition published by Tsinghua University Press.

本书中文简体字版由德国施普林格公司授权清华大学出版社出版。未经出版者书面许可，不得以任何方式复制或抄袭本书内容。

北京市版权局著作权合同登记号 图字：01-2002-4078

版权所有，翻印必究。举报电话：010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签，无标签者不得销售。

本书防伪标签采用特殊防伪技术，用户可通过在图案表面涂抹清水，图案消失，水干后图案复现；或将表面膜揭下，放在白纸上用彩笔涂抹，图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

数字信号处理的FPGA实现(第2版)/(美)迈耶-贝斯(Meyer-Baese, U.)著；刘凌译.

—北京：清华大学出版社，2006.6

书名原文：Digital Signal Processing with Field Programmable Gate Arrays, Second Edition

(国外电子信息经典教材)

ISBN 7-302-12858-8

I. 数… II. ①迈…②刘… III. 现场可编程门阵列—应用—数字信号—信号处理 IV. TN911.72

中国版本图书馆CIP数据核字(2006)第034354号

出版者：清华大学出版社 地址：北京清华大学学研大厦

<http://www.tup.com.cn> 邮编：100084

社总机：010-62770175 客户服务：010-62776969

组稿编辑：曹康

文稿编辑：李阳

封面设计：康博

版式设计：康博

印刷者：北京密云胶印厂

装订者：三河市新茂装订有限公司

发行者：新华书店总店北京发行所

开本：185×260 印张：29.25 字数：730千字

版次：2006年6月第1版 2006年6月第1次印刷

书号：ISBN 7-302-12858-8/TP·8174

印数：1~4000

定价：58.00元(含光盘)

出版说明

电子信息产业是一项新兴的高科技产业，有“朝阳产业”之称，有着巨大的潜力和广阔的发展前景。近年来，我国电子信息产业的飞速发展，大大推动了对电子信息类人才的需求，迫切需要我国的高等院校能够培养出大批符合企业要求的电子信息类人才。

教育与教材的关系始终是密不可分的，教材的合适与否会直接影响到培养人才的质量好坏。虽然目前我国高校中现行的电子信息类教材曾经对我国电子信息类人才的培养做出了非常重要的贡献，但是确实普遍存在着一些问题，如“课程系统老化”、“内容落伍”、“惯性大，更新速度慢”、“针对性差”、“缺乏原创精品”等等，教学内容和课程体系的改革已经成为目前教学改革过程中的当务之急。

基于这种背景，我们决定在国内引进并推出一套“国外电子信息经典教材”，通过系统地研究和借鉴国外一流大学的相关教材，为我国高校的课程改革和国际化教学进程提供参考和推动作用。

为了组织该套教材的出版，我们在国内聘请了一批资深的专家和教授，共同成立了教材编审委员会。由编委会结合目前国内高校电子信息类专业的课程体系和教学内容，从 McGraw-Hill Education、Thomson Learning、John Wiley & Sons 和 Springer 等一批国际著名的教育出版集团，精选出一套“国外电子信息经典教材”。列选的每本教材都经过了国内相应领域的资深专家推荐和审读，对于一些基础类的专业课程，我们列选了多种不同体系、不同风格和不同层次的教材，以供不同要求和不同学时的同类课程使用。为了确保该套教材的质量，我们聘请了高校相应专业的资深教师和相应领域的专家担纲译者，加强了该套教材各个出版环节的编审力量和质量控制。另外，为了丰富国内的教学资源，我们在引进教材的同时也积极引进了教材配套的教学资源。

该套教材的读者对象为电子信息与电气工程类专业的本科生，同时兼顾相关工程学科各专业的本科生或研究生。该套教材既可作为相应课程的教材或教学参考书，也适于相应技术领域的工程师和技术人员参考或自学。

尽管我们作了种种努力，但该套教材书目选择的恰当性，内容的合理性，都还有待于通过教学实践来检验。首先感谢选用该套教材的广大教生对我们的支持，同时期待广大读者积极为该套教材提出意见或建议。

译者序

众所周知，信号与信号处理是信息科学中近十几年来发展最为迅速的学科之一。而 FPGA(Field Programmable Gate Array, 现场可编程门阵列)正处于革命性数字信号处理技术的前沿。全新的 FPGA 系列正在越来越多地替代 ASIC 和 PDSP 用于前端数字信号处理的运算。FPGA 具有许多与 ASIC 相同的特点，例如：在规模、重量和功耗等方面都有所降低。而且通过量更高、能够更好地防止未经授权复制、元器件和开发成本进一步降低，开发时间也大大缩短。还具有在线路中可重复编程的特性。从而可以产生更为经济的设计。正如我们现在已经看到的，FPGA 在数字信号处理中的大规模应用，正在日渐深入地影响我们的生产和生活，而且也必将在这—领域引起深刻的变革。可以这么说，数字信号处理的 FPGA 时代已经到来！本书的主旨就是讲述如何用 FPGA 实现数字信号处理。

四年前，我和同学合作翻译了本书的第 1 版，深刻地体会到作者 Uwe Meyer-baese 先生简洁明了的写作风格，而且本书仍旧承继了这一风格。与大多数强调信号处理理论的著作相比，本书摒弃了传统的说教内容，更多地从应用的角度出发，注重如何用 FPGA 实现这些理论，并且致力于找到解决问题的最合适途径。在本书的开头，简要地介绍了当前 FPGA 技术的发展和用于设计的元器件以及设计 DSP 系统的工具的技术发展水平，之后给出了频率合成器的设计研究示例。以示例教学的方式讲述了设计的编译步骤、仿真、性能评估、功耗估算和平面布置图。在后面的章节中系统地介绍了数制、算法和 FIR、IIR 滤波器的实现以及多级信号处理和各种傅立叶变换形式及其实现。第 7 章简要介绍了当前的前沿课题，对其中某些内容感兴趣的读者可以在其指导下，作进一步的研究。第 2 版新增的第 8 章主要介绍了自适应滤波器的设计，从而进一步扩大了 FPGA 的应用范围。此外，在第 2 章还新增了串行除法器 and 阵列除法器以及完整的浮点库文件的说明。有关第 2 版的新增内容，原作者已在第 2 版前言中作了详尽说明，在此就不再赘述。本书还附带了一张 CD，附录 D 对该 CD 的内容作了详细介绍，另外，附录 D 还包括全部 VHDL/Verilog 设计实例、实用程序以及源代码和文件。不过强烈建议读者还是亲自录入这些程序，并进行编译和测试，这样才能体会到作者程序构思的巧妙所在。

在本书第 1 版问世之时，FPGA 还是一项全新的技术，特别是对于国内而言，相应的中文资料少之又少，又加之本人水平有限，书中可能会存在一些不当之处。随着这几年 FPGA 技术的发展和国内这方面资料如雨后春笋般的涌现，也丰富了我对该技术的理解。本书对上一版内容进行了全面修订，惟望能够起到抛砖引玉的效果，衷心希望本书能够对读者学习、了解和掌握用 FPGA 实现数字信号处理起到一定的作用。在翻译和修订中定有不妥之处，恳请读者批评指正！请将您的反馈信息发送到 fwkbook@tup.tsinghua.edu.cn 信箱，我们将不胜感激！

另外，建议读者在阅读本书之前最好认真复习一下高等代数中多项式、行列式、矩阵、线性空间、线性变换和群、环、域等方面的概念和知识，能够熟练地完成各种矩阵的运算。并且最好是预先学习过信号与系统、数字信号处理和通信系统等相关课程，这样对您理解和掌握本书的知识要点会有极大的帮助，否则您可能会感到非常吃力，毕竟这并不是是一本简单的科普教材。

译者

2006年4月于北京

第 2 版前言

新版的书总会跟上本领域内的最新发展趋势，同时还会修订前版中的一些错误。为此，本书在第 2 版中进行了如下改进：

- 为本书设置了一个网页，其 URL 为：<http://hometown.aol.de/uwemeyerbaese/index/html>。该网站还提供了用 FPGA 实现 DSP 的其他信息、有效链接以及与设计相关的其他支持，如代码生成器和其他文档。
- 更正了第 1 版中的错误。可以从本书的网页或 Springer 的 www.springer.de 的网页上下载本书第 1 版的勘误表。进入 Springer 的网页后搜索 Meyer-Baese 即可。
- 新版中新增了许多内容，主要包括：
 - * 串行和阵列除法器的设计
 - * 完整的浮点库文件的说明
 - * 新增了第 8 章“自适应滤波器”
- Altera 当前的学生版已从 9.23 更新到 10.2，所有的设计示例、规模和性能测定，也就是说，很多表和图已经被 Altera 的大学教学演示板 UP2 的 EPF10K70RC240-4 元器件编译过。配有 EPF10K20RC240-4 的 Altera 的 UP1 教学板已不再使用。
- 可以(通过 E-mail 从 Uwe.Meyer-Baese@ieee.org 申请副本)获取自学所用的本书第 1 版的解决方案手册(有多达 65 个练习和 33 个其他的设计示例)。在第 2 版中还包括其他一些作业练习。

Uwe Meyer-baese
塔拉哈西市，2003 年 10 月

目 录

第 1 章 绪论	1
1.1 数字信号处理概述	1
1.2 FPGA 技术	2
1.2.1 按颗粒度分类	3
1.2.2 按技术分类	6
1.2.3 FPL 的基准	7
1.3 DSP 的技术要求	9
1.4 设计实现	11
1.4.1 FPGA 的结构	14
1.4.2 Altera EPF10K70RC240-4	17
1.4.3 案例研究：频率合成器	19
1.5 练习	24
第 2 章 计算机算法	28
2.1 概述	28
2.2 数字表示法	28
2.2.1 定点数	29
2.2.2 非传统定点数	31
2.2.3 浮点数	40
2.3 二进制加法器	43
2.3.1 流水线加法器	45
2.3.2 模加法器	49
2.4 二进制乘法器	50
2.5 二进制除法器	55
2.5.1 线性收敛的除法算法	57
2.5.2 快速除法器的设计	61
2.5.3 阵列除法器	65
2.6 浮点算法的实现	67
2.6.1 定点数到浮点数的格式转换	67
2.6.2 浮点数到定点数的格式转换	68
2.6.3 浮点数乘法	68
2.6.4 浮点数加法	70
2.6.5 浮点数除法	71

2.6.6	浮点数倒数	72
2.6.7	浮点数合成结果	74
2.7	MAC 与 SOP	74
2.7.1	分布式算法基础	75
2.7.2	有符号的 DA 数制	77
2.7.3	改进的 DA 解决方案	78
2.8	利用 CORDIC 计算特殊函数	79
2.9	练习	87
第 3 章	有限脉冲响应(FIR)数字滤波器	92
3.1	数字滤波器	92
3.2	FIR 理论	92
3.2.1	具有转置结构的 FIR 滤波器	93
3.2.2	FIR 滤波器的对称性	96
3.2.3	线性相位 FIR 滤波器	97
3.3	设计 FIR 滤波器	98
3.3.1	直接窗函数设计方法	99
3.3.2	等同纹波设计方法	101
3.4	常系数 FIR 设计	102
3.4.1	直接 FIR 设计	103
3.4.2	具有转置结构的 FIR 滤波器	106
3.4.3	采用分布式算法的 FIR 滤波器	108
3.5	练习	123
第 4 章	无限脉冲响应(IIR)数字滤波器	125
4.1	IIR 理论	127
4.2	IIR 系数的计算	129
4.3	IIR 滤波器的实现	132
4.3.1	有限字长效应	135
4.3.2	滤波器增益系数的最优化	136
4.4	快速 IIR 滤波器	137
4.4.1	时域交叉	137
4.4.2	群集和分散预先考虑的流水线技术	140
4.4.3	IIR 抽取设计	141
4.4.4	并行处理	142
4.4.5	采用 RNS 的 IIR 设计	145
4.5	练习	145

第 5 章 多级信号处理	148
5.1 抽取和插值	148
5.1.1 Noble 恒等式	150
5.1.2 用有理数因子进行采样速率转换	151
5.2 多相分解	151
5.2.1 递归 IIR 抽取器	155
5.2.2 快行 FIR 滤波器	156
5.3 Hogenauer CIC 滤波器	158
5.3.1 单级 CIC 案例研究	159
5.3.2 多级 CIC 滤波器理论	161
5.3.3 幅值与混叠畸变	165
5.3.4 Hogenaur“剪除”理论	167
5.3.5 CIC RNS 设计	172
5.4 多级抽取器	174
5.5 作为通频带抽取器的频率采样滤波器	176
5.6 滤波器组	179
5.6.1 均匀 DFT 滤波器组	180
5.6.2 双信道滤波器组	183
5.7 小波分析	195
5.8 练习	201
第 6 章 傅立叶变换	204
6.1 离散傅立叶变换算法	205
6.1.1 用 DFT 近似傅立叶变换	205
6.1.2 DFT 的属性	206
6.1.3 Goertzel 算法	209
6.1.4 Bluestein Chirp-z 变换	209
6.1.5 Rader 算法	212
6.1.6 Winograd DFT 算法	217
6.2 快速傅立叶变换算法	219
6.2.1 Cooley-Tukey FFT 算法	220
6.2.2 Good-Thomas FFT 算法	230
6.2.3 Winograd FFT 算法	232
6.2.4 DFT 和 FFT 算法的比较	235
6.3 傅立叶相关的变换	237
6.3.1 利用 DFT 计算 DCT	238
6.3.2 快速直接 DCT 实现	239
6.4 练习	240

第 7 章 前沿课题	246
7.1 矩形变换和数论变换	246
7.1.1 算术模 $2^b \pm 1$	248
7.1.2 采用 NTT 的高效卷积	249
7.1.3 采用 NTT 的快速卷积	249
7.1.4 NTT 的多维索引映射和 Agarwal-Burrus NTT	253
7.1.5 用 NTT 计算 DFT 矩阵	255
7.1.6 NTT 的索引映射	256
7.1.7 用矩形变换计算 DFT	258
7.2 差错控制和加密技术	259
7.2.1 源自编码理论的基本概念	260
7.2.2 分组码	264
7.2.3 卷积码	268
7.2.4 FPGA 的加密技术算法	275
7.3 调制和解调	289
7.3.1 基本的调制概念	289
7.3.2 非相干解调	293
7.3.3 相干解调	298
7.4 练习	305
第 8 章 自适应滤波器	309
8.1 自适应滤波器的应用	309
8.1.1 干扰的消除	310
8.1.2 预测	310
8.1.3 反演模拟	310
8.1.4 辨识	311
8.2 最优估计技术	312
8.3 Widrow-Hoff 最小二乘法算法	316
8.3.1 学习曲线	321
8.3.2 标准化的 LMS(Normalized LMS)	324
8.4 变换域 LMS 算法	325
8.4.1 快速卷积技术	325
8.4.2 应用正交变换	327
8.5 LMS 算法的实现	329
8.5.1 量化效应	329
8.5.2 LMS 算法的 FPGA 设计	330
8.5.3 流水线级 LMS 滤波器	333
8.5.4 转置形式的 LMS 滤波器	335

8.5.5 DLMS 算法的设计	336
8.5.6 应用 SIGNUM 函数(正负号函数)的 LMS 设计	339
8.6 递归最小二乘法算法	341
8.6.1 有限记忆的 RLS 算法	344
8.6.2 快速 RLS 算法的 Kalman 实现	347
8.6.3 快速后验 Kalman RLS 算法	351
8.7 LMS 与 RLS 参数的比较	351
8.8 练习	352
附录 A Verilog 源代码	357
附录 B VHDL 和 Verilog 编码	408
B.1 示例列表	410
B.2 参数化的模块库(LPM)	411
B.2.1 参数化的触发器兆函数(lpm_ff)	412
B.2.2 参数化的加法器/减法器兆函数(lpm_add_sub)	415
B.2.3 参数化的乘法器兆函数(lpm_mult)	418
B.2.4 参数化的 ROM 兆函数(lpm_rom)	422
B.2.5 参数化的除法器兆函数(lpm_divide)	424
附录 C 术语汇编	427
附录 D CD-ROM 文件“1readme.ps”	433
D.1 使用 MaxPlusII 以外的其他编译器	434
D.1.1 FPGA_CompilerII	434
D.1.2 模型技术	436
D.2 实用程序和文件	438
参考文献	440

第1章 绪 论

本章概述将要在本书中研究的算法和技术。首先简要介绍一下数字信号处理技术，然后重点讨论 FPGA 技术。最后研究 Altera EPF10K70 芯片和一个包括了芯片合成、时序分析、平面布置图和功耗分析的大型设计示例。

1.1 数字信号处理概述

长期以来，信号处理技术一直用于转换或产生模拟或数字信号。其中应用得最频繁的领域就是信号的滤波，我们将在第 3 章和第 4 章讨论这一问题。此外，从数字通信、语音、音频和生物医学信号处理到检测仪器仪表和机器人技术等许多领域中，都广泛地应用了数字信号处理 (digital signal processing, DSP) 技术。表 1-1 给出了 DSP 技术的一些应用概况^[6]。

表 1-1 数字信号处理的应用

应用领域	DSP 算法
通用领域	滤波和卷积、自适应滤波、检测和校准、谱估计和傅立叶变换
语音处理	编码和解码、加密和解密、语音识别和合成、扬声器的识别、回波消除、人造耳蜗植入的信号处理
音频处理	hi-fi 编码和解码、噪声消除、音频平衡、环境声学仿真、混频和编辑、声音合成
图像处理	压缩和解压缩、旋转、图像传输与分解、图像识别、图像增强、人造视网膜植入的信号处理
信息系统	语音信箱、传真、调制解调器、蜂窝移动电话、调制/解调、线路均衡器、数据加密和解密、数字通信和局域网、延拓频谱技术、无线局域网、广播和电视、生物医学信号处理
控制	伺服控制、磁盘控制、打印机控制、发动机控制、定向和导航、振动控制、动力系统监控器、自动化仪器仪表
仪表设备	波束成型、波形发生器、瞬态分析、稳态分析、科学仪器设备、雷达和声纳

数字信号处理已经发展成为一项成熟的技术，并且在许多应用领域逐步代替了传统的模拟信号处理系统。DSP 系统具有如下几项优点：如元器件对温度变化、老化以及对容许偏差的不敏感性。在过去，模拟芯片设计可以生产出越来越小的小片尺寸，可是发展到今天，随着现代亚微米设计所带来的噪声，使得数字设计在集成度方面可以比模拟设计做得更好。这些产品就

是紧凑的、低功耗并且是低成本的数字设计。

有两个事件加速了 DSP 技术的发展。其一是 Cooley 和 Tuckey(1965 年)对一种计算离散傅立叶变换(Discrete Fourier Transform, DFT)的有效算法的解密。我们将在第 6 章详细讨论这类算法。另一个里程碑就是可编程数字信号处理器(programmable digital signal processor, PDSP)在 20 世纪 70 年代后期的引入。这种 PDSP 能够在仅仅一个时钟周期内完成(定点数)“乘-累加”的计算,与同一时代“冯·诺伊曼(Von Neuman)”式微处理器为基础的系统相比较而言,有着本质上的改进。现代的 PDSP 可以包含更为复杂的功能,例如:浮点数乘法器、滚筒式移位器、存储体以及零架空的 A/D 和 D/A 转换器接口。EDN 每年都要出版一份有关可用的 PDSP 的详细综述^[7]。图 1-1 给出了一个依靠 PDSP 来实现模拟系统的典型应用示例。在研究了 FPGA 的架构之后,我们将在 1.2.1 节和第 2 章中再研究 PDSP。

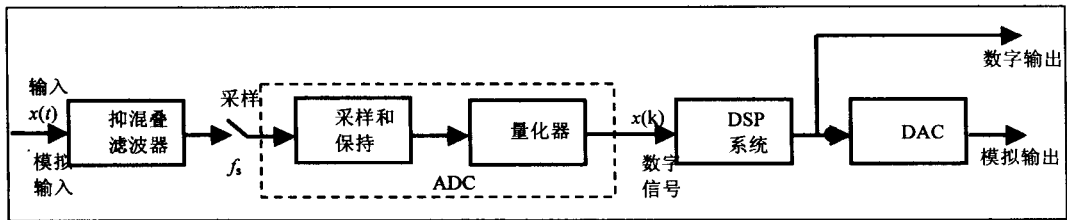
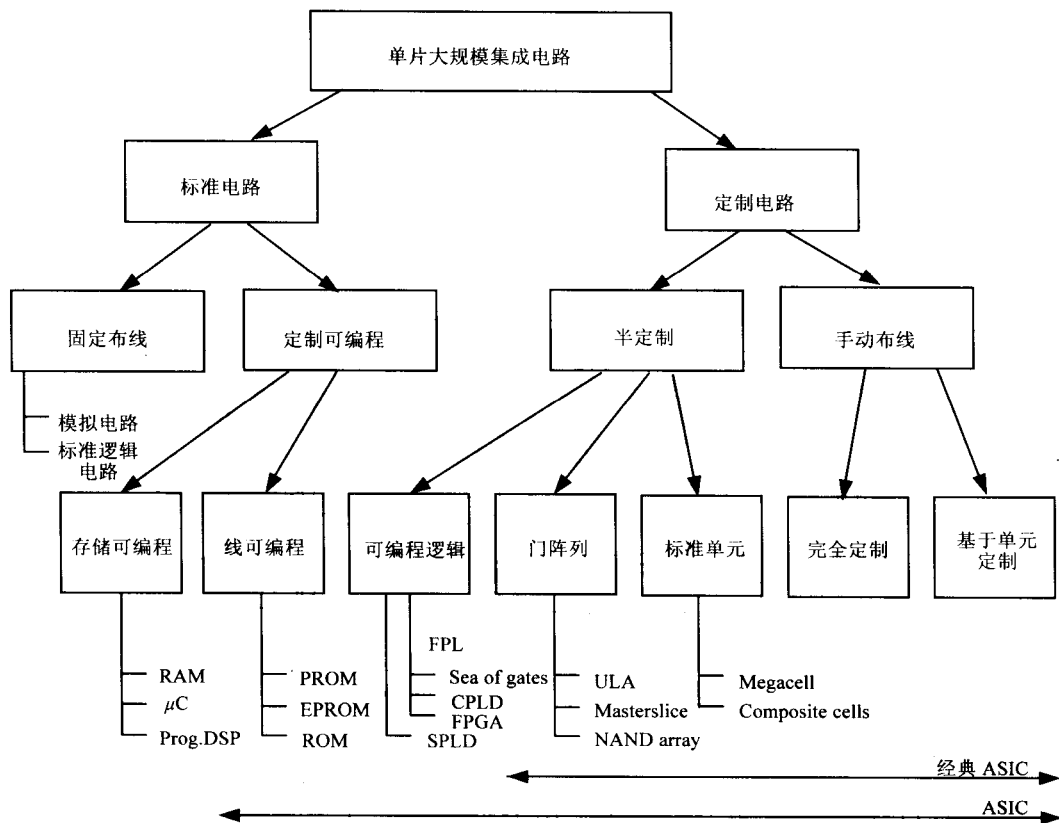


图 1-1 一个典型的 DSP 应用示例

1.2 FPGA 技术

VLSI(Very Large Scale Integration, 超大规模集成)电路可以按如图 1-2 所示进行分类。FPGA 是一类称为现场可编程逻辑(field-programmable logic, FPL)器件中的一员。FPL 被定义为含有现场可反复使用的小规模逻辑模块和单元的可编程器件¹。鉴于 FPGA 是特定用途的集成电路,所以 FPGA 被认为是一种专用集成电路(application specific integrated circuit, ASIC)技术。但是,通常设计 ASIC 类电路需要额外的半导体处理步骤,而 FPL 是不需要这些步骤的。这些额外步骤能够提供更高级别的、更高性能的 ASIC,但同时也增加了一次性工程成本(non-reoccurring engineering, NRE)。另一方面,门阵列通常是由“与非门之海”构成,后者的功能是在用户在“网络表”中提供的。在整个制造过程中都要使用这一网络表,以便获得最终金属层明显的清晰度。但是,可编程门阵列解决方案的设计者可以完全控制设计的实现过程,而不需要任何实际的集成电路制造设备或者因为后者而延缓设计进度。

1. Xilinx 称之为可配置的逻辑模块(configurable logic block, CLB), 而 Altera 称之为逻辑单元(logic cell, LC)或者逻辑元件(logic element, LE)。

图 1-2 VLSI 电路的分类(©1995 年, VDI 出版社^[4])

1.2.1 按颗粒度分类

逻辑模块规模与元器件的颗粒度相关,而元器件的颗粒度又与模块之间需要完成的布线(路由通道)工作量相关。3种常见的不同颗粒度分类如下:

- 小颗粒度(Pilkington 或者“门海(sea of gates)”架构)
- 中等颗粒度(FPGA)
- 大颗粒度(CPLD)

1. 小颗粒度元器件

由 Pilkington 半导体公司提供的小颗粒度元器件最初得到 Plessey 公司的认可,然后是 Motorola 公司的认可。基本逻辑单元包括一个单一与非门和一个锁存器(请参阅图 1-3)。由于采用与非门可以实现任何二进制逻辑函数(请参阅练习 1-1),所以与非门被称为通用函数。这一技术连同已经被认可的逻辑合成工具(例如 ESPRESSO)一起,还应用在门阵列的设计之中。在门阵列的与非门之间布线是采用额外的金属层来实现的。但对于可编程的结构来讲,这就成了一个瓶颈,因为与已经实现的逻辑函数相比,它对布线资源的利用率非常高。此外,构建一个简单的 DSP 对象就需要大量的与非门。例如:一个高速 4 位加法器就要用掉大约 130 个与非门。这使得小颗粒度技术在实现大多数 DSP 算法时并没有什么吸引力。

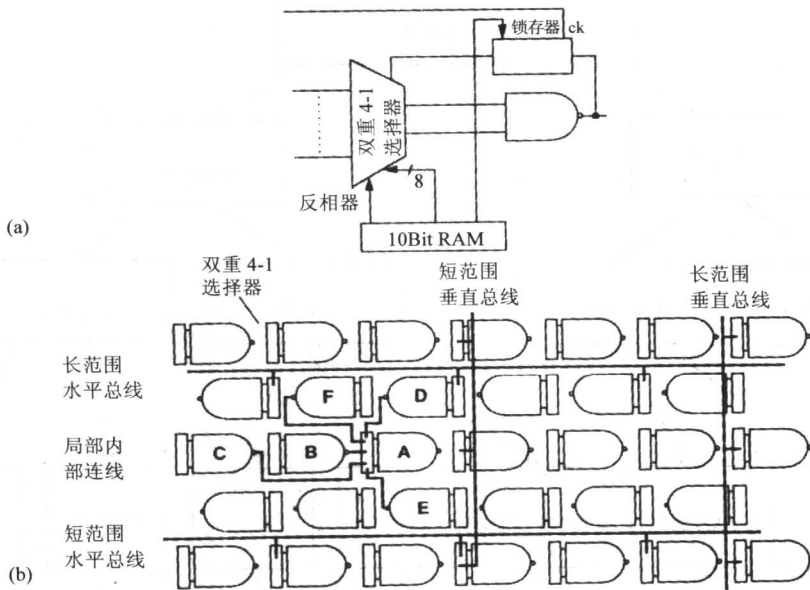


图 1-3 具有 10K 个与非逻辑模块的 Plessey ERA60100 结构^[8]
 (a) 基本逻辑模块 (b) 布线结构(© 1990 Plessey)

2. 中等颗粒度元器件

最为常见的 FPGA 结构如图 1-4(a)所示。图 1-5 给出了一个当前中等颗粒度 FPGA 元器件的具体示例。具有代表性的基本逻辑模块是小规模的表(例如: Xilinx Virtex, 具有 4 位到 5 位的输入表, 1 位或者 2 位的输出)或者由专用的多路复用器(multiplexer, MPX)逻辑来实现, 例如: 在 Actel 的 ACT-2 元器件中的所使用的 MPX^[9]。布线通道的选择范围是从短到长。带有触发器的可编程 I/O 模块就附在元器件的物理边缘。

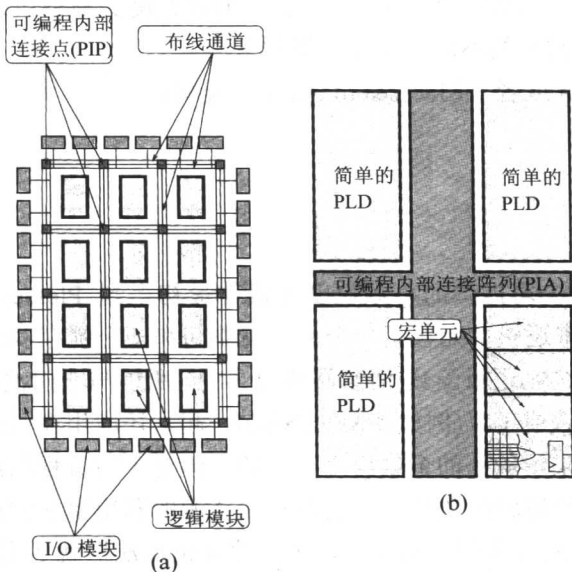


图 1-4 (a) FPGA 和(b) CPLD 的结构(©1995 年, VDI 出版社^[4])

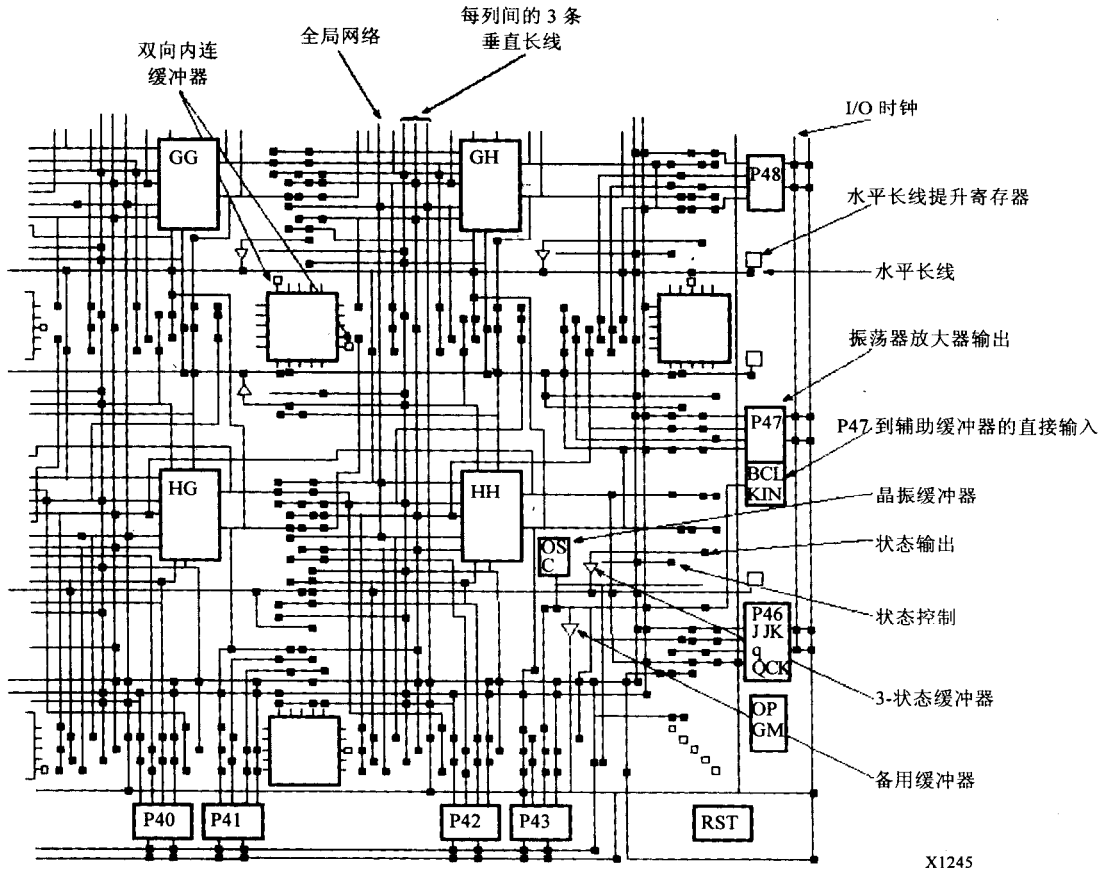


图 1-5 中等颗粒度元器件的示例(©1993 年, Xilinx)

3. 大颗粒度元器件

在图 1-4(b)中给出了大颗粒度元器件的特性, 诸如复杂的可编程逻辑元器件(complex programmable logic devices, CPLD)。这些复杂的可编程逻辑元器件(CPLD)可以定义成是由简单可编程逻辑元器件(simple programmable logic devices, SPLD)组合而成的, 例如: 如图 1-6 所示的传统 GAL16V8 芯片。这类 SPLD 芯片由一个充当与/非阵列的可编程逻辑阵列和一个通用 I/O 逻辑模块组成。通常, CPLD 中的 SPLD 具有 8 到 10 个输入端, 3 到 4 个输出端, 并且支持大约 20 个乘积项。在这些 SPLD 模块之间的宽带总线(Altera 称之为可编程内连阵列, (programmable interconnect arrays, PIAs))上有可能存在短暂的延迟。通过将总线与固定的 SPLD 时限结合起来就能够提供与 CPLD 之间可预先计算的管脚到管脚之间的短暂延迟。